

采用增强型硅基氮化镓功率场效应晶体管(eGaN[®] FET)



Johan Strydom、David Reusch、Steve Colino及Alana Nakata

宜普电源转换公司(EPC)的增强型氮化镓(GaN)功率晶体管具备超快速开关特性,在性能方面的改进是硅基功率MOSFET所无法实现的。高效氮化镓器件有利于标准功率转换器的拓扑并增强其性能至目前采用MOSFET的设计所不可能达到的水平,在提高转换器的效率之同时也能够维持转换器的设计的简洁性。

使用氮化镓场效应晶体管(eGaN FET)与使用先进功率MOSFET是非常相似的。但是,由于氮化镓器件具备明显更高的性能,因此我们需要考虑额外的设计和测试因素,从而确保器件可以高效及可靠地工作。

为了帮助用户容易从功率MOSFET转用新一代的电源管理器件,本应用笔记将阐述增强型氮化镓器件的一般工作原理、栅极驱动器技术、电路的布局、散热管理技术和测试产品时所需要考虑的各项因素。

氮化镓场效应晶体管和硅基氮化镓技术的一般说明

结构

要实现一个器件的成本效益可以从使用目前的生产基础设施及使用较少生产步骤的工艺开始。我们在较低成本的低分辨率CMOS代工厂生产氮化镓场效应晶体管(eGaN FET)。宜普电源转换公司的产品的工艺始于在硅晶圆上增加一层非常薄的氮化铝(AlN)层,从而把器件的结构和衬底隔离。在这层上面增加一层具有非常高阻抗性的氮化镓层,我们就是在这氮化镓层上构建氮化镓晶体管。再在氮化镓层上增加一层氮化镓铝(AlGaN)层,它会对氮化镓层产生挤压。由于氮化镓具备压电特性,因此被挤压时会将电子吸附到氮化镓的表面。集中在一起的电子被称为二维电子气(2DEG)。进一步的工艺是在栅极下方形成一个耗尽区域,然后增加数层金属层,从而将三个端子——栅极、漏极和源极连接起来。图1展示了氮化镓器件的结构。这种结构被重复多次而构建成一个功率器件。结果是为功率开关提供了一个简单易用、精巧及具备成本效益的解决方案。除了一些差异外,

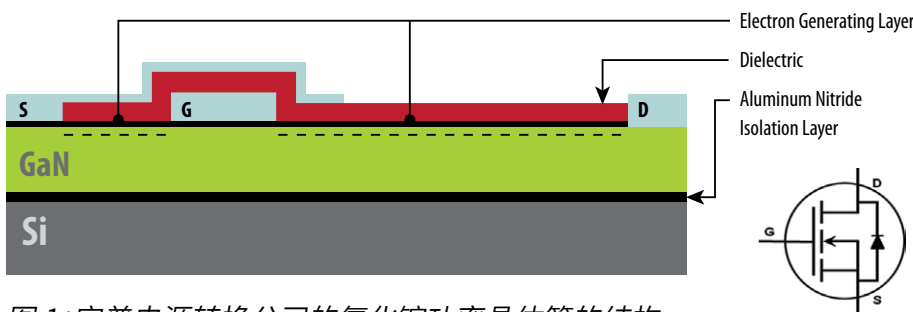


图 1: 宜普电源转换公司的氮化镓功率晶体管的结构。

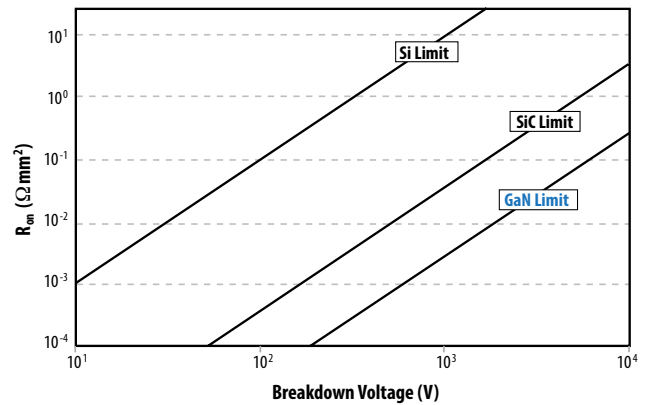


图 2: 电阻与崩溃电压的关系。

氮化镓器件的行为与硅MOSFET相似,我们将稍后讨论这些差异。

要构建一个较高压的器件,需要增加漏极和栅极之间的距离。由于二维电子气的阻抗性很低,因此与硅器件相比,增加阻断电压能力对阻抗的影响要小很多。图2显示了氮化镓、碳化硅和硅器件的导通电阻和阻断电压的折衷。硅MOSFET技术在经历了30年的发展后已经接近它的理论极限,其进程减慢至在性能上要取得很小的增益也需要投放很高的开发成本。反观年轻的氮化镓技术,从宜普电源转换公司推出的第一代至第四代eGaN FET可以看到,这种技术的发展非常迅速。

工作原理

宜普电源转换公司的eGaN FET的行为与硅功率MOSFET非常相似。在栅极上施加一个相对于源极的正向偏置会产生一个吸附电子的场效应,从而在漏极与源极之间构成一个双向的沟道。当从栅极除去偏置时,栅极下方的电子将扩散进氮化镓层,从而重新构成一个耗尽区域,使器件再次具备阻断电压的能力。图3和图4分别显示了EPC2001的转换特性,以及 $R_{DS(on)}$ 与 V_{GS} 之间的关系。转换特性显示出随 V_{GS} 变化的电流能力。这是与MOSFET非常相似的地方,

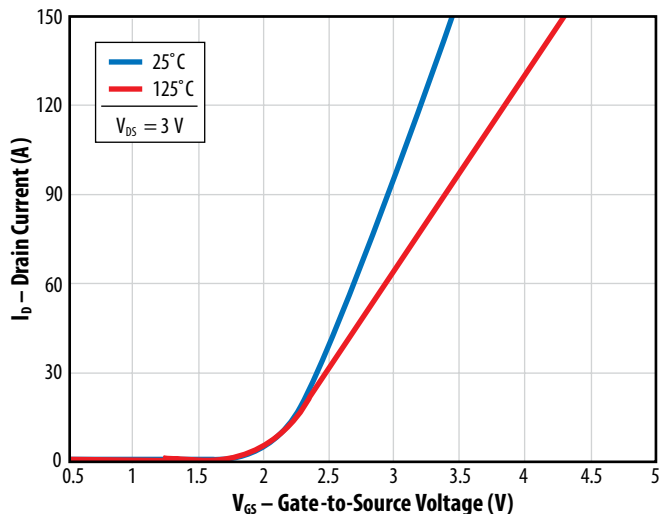
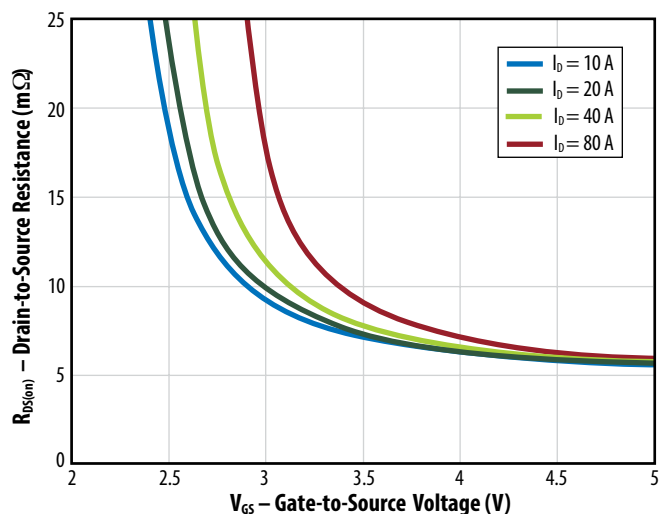


图3: EPC2001的转换特性。

图4: EPC2001在不同电流下 $R_{DS(on)}$ 与 V_{GS} 的关系。

除了具备相同 $R_{DS(on)}$ 的氮化镓场效应晶体管的跨导 (di_D/dv_{GS}) 高出很多外, $R_{DS(on)}$ 与 V_{GS} 的关系曲线表明, 当 V_{GS} 在 4V 以上时, $R_{DS(on)}$ 的变化不大, 即是该曲线变得相当平坦。

漏极至源极的最大额定电压

漏极至源极的最大崩溃电压 (BV_{DSS}) 可以在宜普电源转换公司的氮化镓晶体管数据表内找到。

当具备电感性的负载在开关时, 必需留意这类负载有可能因为具备电感性“kickback”而使漏极电压超过最大的额定值。这种现象将引致漏极电压增加至超过崩溃电压及从器件的电感器散热。宜普电源转换公司的氮化镓晶体管的额定值不是针对雪崩模式操作, 但在 5ms 或以下的周期、 $10,000$ 次循环下, 氮化镓器件的过冲是器件的 BV_{DSS} 的 20% 。如果器件被置于较高压或更多次重复循环条件下, 就必需使用合适的有源或无源钳位/缓冲器来限制 V_{DS} 上升至一个安全的水平。另外, 必需使用合适的布局技术来限制电路的寄生电感, 从而限制系统中所含有的杂散电感性能量。

栅极驱动器

氮化镓场效应晶体管与硅器件不同的是它具备明显更快速的开关特性, 从而对栅极驱动器、布局和散热管理的要求有所不同, 而这些因素都相互影响。

不要超过栅极驱动器的最大额定值

从图4可以看到, 要全面增强器件的沟道, 在栅极和源极之间可以施加 4V 或以上的电压, 同时在栅极至源极电压的绝对最大值为 6V 。与功率 MOSFET 一样, 等效的栅极电路具备低栅极电阻和小栅极电容 (如图5所示)。如果使用半桥配置, 要注意不要让栅极发生过压或欠压。

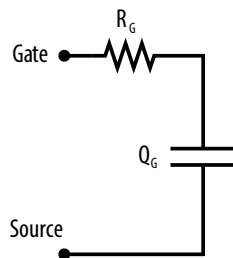
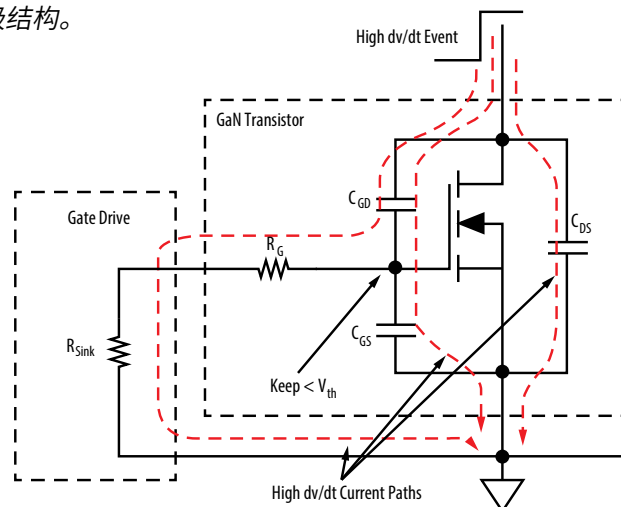


图5: 宜普电源转换公司的氮化镓功率晶体管的栅极结构。

dv/dt 抗扰度

在硬开关和软开关的应用中, 处于断开状态的器件的漏极有可能产生很高的正压转换速率 (dv/dt), 器件的各个电容会被快速充电, 如图6所示。当发生 dv/dt 的情况时, 漏极至源极电容 (C_{DS}) 会被充电。同时, 串联的栅极至漏极 (C_{GD}) 和栅极至源极 (C_{GS}) 的电容也会被充电。如果不解决这个问题, 经过 C_{GD} 电容的电流将流过 C_{GS} , 并在超过 V_{TH} 电压时对 C_{GS} 充电。使器件发生导通。这种事件有时被称为米勒导通, MOSFET 用户很清楚知道这会引致很大的耗损。

图6: 在断开时, 发生 dv/dt 的情况时对器件的影响, 以及为了避免由米勒所引致的击穿 (shoot-through) 的要求。

为了确定一个功率器件是否容易发生dv/dt的情况,我们需要评估作为漏极至源极电压函数的米勒电荷比(Q_{GD}/Q_{GS1})。小于1的米勒比理论上可以确保器件具备dv/dt抗扰能力[1]。从图7我们可以看到,最新一代的氮化镓场效应晶体管具备大幅减小了的米勒比,至少减小了两倍,因此整个产品线的米勒比在一半额定电压时都是小于1。图7中的三角形点显示出目前硅MOSFET的米勒比,它们大致上都要比氮化镓器件的米勒比高出很多。

di/dt抗扰度

如图8所示,当处于断开状态的器件的上升电流在共源电感(CSI)会产生一个电压阶数。这种正向电压阶数会在 C_{GS} 产生反向电压。如果电流正在上升,这将导致栅极电压变成一个负电压。如果处于断开状态的栅极环路LCR谐振电路的阻尼(damping)并不足够,这个在栅极上初步形成的负电压阶数将引致正向振铃现象并导致不想发生的导通和击穿,如图9所示。

如果damping足够,栅极断开环路有可能避免这类di/dt导通,虽然最好有一定程度的下冲,就像之前所提及的dv/dt抗扰度那样。然而,通过增加栅极下拉电阻来增加栅极断开电源环路damping可能会对dv/dt抗扰度产生负面的影响。因此,如果我们只是对具备marginal米勒电荷比的器件调整栅极电阻,这样可能不足以避免di/dt和/或dv/dt导通。更好的解决方案是通过改进封装和器件的布局来减小CSI。方法是将栅极环路和电源环路分开并尽可能靠近氮化镓器件,同时把GaN器件的内部电源电感减至最低,而两种环路都具有这种电感。

要获得更多关于电感对电路特性的影响的资讯,请参看「寄生电感对器件性能的影响」的文章。

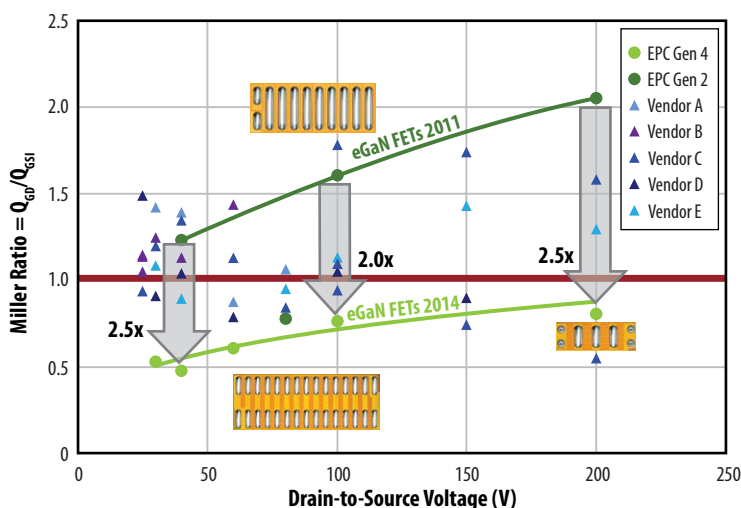


图7: 当器件的漏极至源极额定电压是一半时, 第二及第四代eGaN FET与先进硅MOSFET的米勒比的比较。

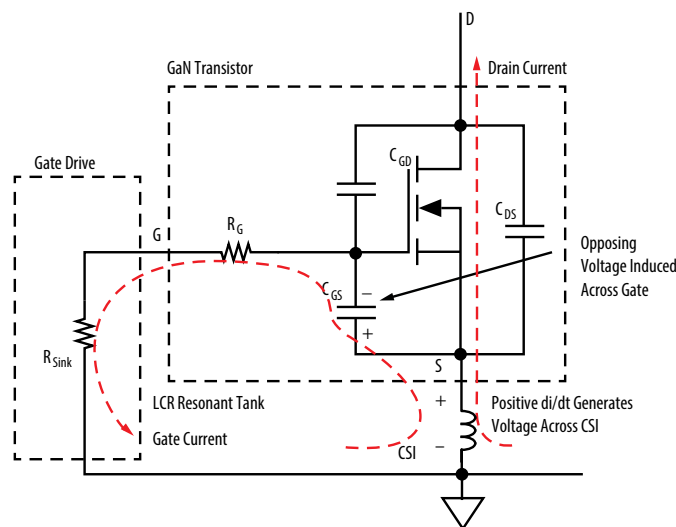


图8: 具有共源电感 (CSI) 并处于断开状态的器件的 positive di/dt 的影响。

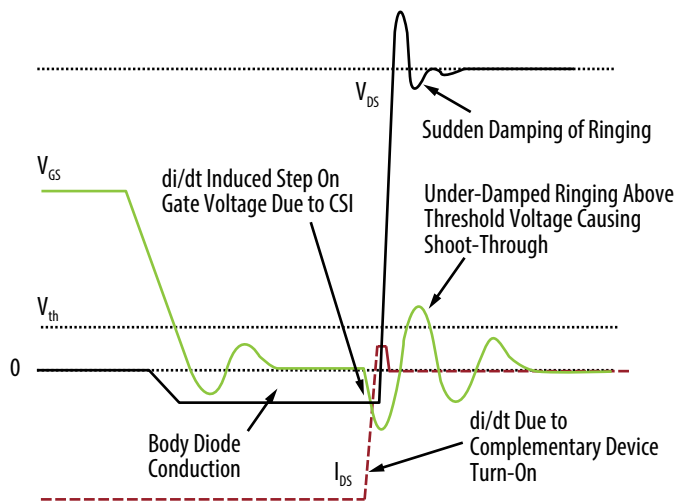


图9: 使用欠阻尼 (under-damped) 的栅极断开功率环路、处于断开状态的器件并由 di/dt 所引致的导通 (击穿) 情况。

以下是我们建议针对宜普公司的氮化镓晶体管的栅极驱动器的主要特性。要控制器与氮化镓场效应晶体管互相配合,它的驱动器也需要具备以下的特性:

- 接地反弹抗扰性能:栅极驱动器的设计应该假设驱动器接地和控制器接地可以显著不同,而输入逻辑引脚必需在逻辑状态下不受由噪声引致的变化所影响。
- 针对高侧驱动器的高dv/dt抗扰度:用来将控制逻辑信号传送到浮动高侧器件的逻辑隔离器或电平移位器需要对高dv/dt上升和下降时间具备抗扰能力,从而不会改变逻辑状态。在100V或以下,器件具备50V/ns的抗扰性能应该是足够的,而在较高电压下,器件需要具备较高的dv/dt抗扰特性。
- 具备低电感的表面贴装封装和最佳的pin-out:栅极驱动器需要靠近高速氮化镓器件并互相连接,从而把互连阻抗降至最低。这需要与氮化镓晶体管配合的pin-out和封装。与传统使用锡线接合的封装相比,我们推荐使用倒装晶片的WLCSP封装或DFN/QFN封装。与氮化镓晶体管配合的pin-out把VBS/HG/VSW相互放置在旁边,及把VCC/LG/PGND也相互放置在旁边。

- 把栅极电源环路电感减至最低:我们在设计栅极驱动器时,应该把在V_{DD}电源电容和实际栅极驱动器的功率器件(sink和source器件)之间的电感减至最低。这样可以使栅极驱动器的上升时间减至最短,以及实现驱动器di/dt最大值。要驱动具备50pF范围内的输入电容的较小型第三代氮化镓器件,我们最好使用具备上升和下降时间都在500ps范围或以下的驱动器。
- 栅极驱动强度:对于作一般用途的氮化镓驱动器,驱动器的速度需要与被驱动的器件的尺寸和速度配合。这种灵活性的要求需要一个具备低阻抗的栅极驱动器并配合可选的外部电阻。我们推荐的栅极驱动强度是具备1Ω至3Ω的上拉/下拉阻抗。如果阻抗高于这个范围的话,器件的速度会变得太慢(或限于在较低功率的应用);如果阻抗比这个范围低出很多的话,有可能出现振铃的问题——特别是当器件使用具备高电感和锡线接合式的封装时。
- 调整栅极驱动电源电压:低侧驱动器和尤其是高侧驱动器必需调整栅极驱动电源电压以避免在晶体管的栅极上发生过压的情况。栅极驱动的最大值应该是5V±0.5V,而我们推荐5V±0.25V。

- 死区时间:把死区时间减至最短可以减低‘体二极管’正向电压的损耗。死区时间最好在20ns或以下。要获得更多关于eGaN FET的死区时间的管理资讯,请参看「最佳死区时间以取得最佳效率」的文章。
- 器件工作在高频下:eGaN FET可以在10MHz频率以上开关。工作在高频的最佳栅极驱动器需要具备最短的导通时间、接地和高侧电源之间具备最小的内部电容,以及具备最小的反向恢复的自举电源,例如使用一个外部的肖特基二极管。要获得更多关于驱动器对器件在高频工作时的影响,请参看「在高频工作的硬开关转换器」的文章。

更详细的讨论请参看「eGaN® FET的驱动器及布局的考虑因素」的文章。

与增强型氮化镓器件兼容的IC的列表,请浏览我们的网站,网址是

www.epc-co.com/epc/Products/eGaNDrivers.aspx。

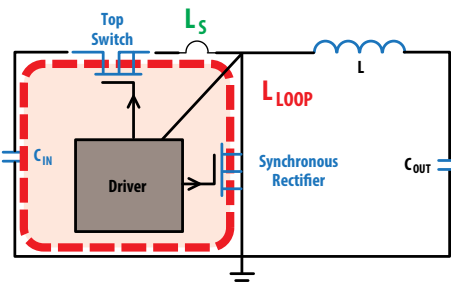


图10:具有寄生电感的同步降压转换器。

布局的考虑因素

由于宜普电源转换公司的氮化镓晶体管具备快速开关和大电流承载能力的特性,因此在设计印刷电路板并使用这些器件时需要考虑一些额外的因素。让我们看看一个降压转换器的例子来说明一下。

在一个实际的降压转换器中,有两种主要的寄生电感会对转换器的性能构成重大的影响(如图10所示):

1. 共源电感(Common Source Inductance - L_S)是指漏极至源极电流路径和栅极驱动环路重叠所产生的电感。
2. 高频环路电感(L_{LOOP})是一种功率转换环路电感,它由多种寄生电感组成,包括来自输入电容的正极并经过顶部器件、同步整流器、接地回路和输入电容。

共源电感(L_S)已经被表明为影响器件性能的关键参数,因为它直接影响器件的驱动速度([2]-[4])。共源电感主要受器件的封装电感所控制,而不同的封装具有不同的电感([5]、[6])。eGaN FET所使用的LGA封装(如图11b所示)具有低共源电感,从而可以减少损耗,如图11a所示。

高频环路电感(L_{LOOP})影响开关转换时间和器件的漏极至源极的电压峰值。印刷电路板的布局和器件封装的电感控制了高频环路电感。如果在应用中使用具

备低封装寄生电感的器件,例如采用LGA封装的eGaN FET,印刷电路板的布局将成为影响高频环路电感的主要因素([7]-[10])。

由于eGaN FET大幅降低来自封装的电感,因此可以把CSI降至最低而它不再是构成寄生损耗的主要因素。由印刷电路板的布局所控制的高频环路电感则成为构成寄生损耗的主要因素,使得采用eGaN FET的印刷电路板的布局对器件在高频时的性能的影响至关重要。

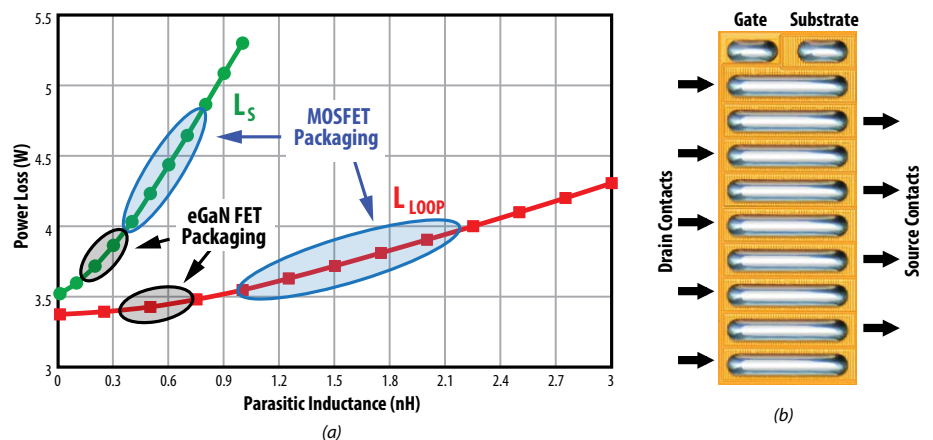


图11: a) 寄生电感对功率损耗的影响($V_{IN} = 12V$, $V_{OUT} = 1.2V$, $I_{OUT} = 20A$, $F_{SW} = 1MHz$)
上面开关器件: EPC2015、同步整流器 EPC2015。b) 使用LGA封装的eGaN FET。

eGaN FET使用最佳布局以减小寄生电感

为了使eGaN FET具备高速开关的特性，它们采用LGA封装，这种封装不只是具备较低内部电感，而且能够帮助用户设计具备超低电感的电路板。针对eGaN FET我们推荐的最佳布局非常优越，包括可实现更小的环路面积、自动抵消电场、不受电路板的厚度所影响的电感、单面印刷电路板设计，以及高效多层结构。这种设计将第一层内层用作大电流环路路径，如图12 b所示。这个环路路径位于顶层的功率环路的下方，如图12a所示，从而可以使用最小的环路面积并具备自动抵消电场特性。图12c的侧视图所展示出的概念是在使用多层结构的印刷电路板上构建出纤薄型的自动抵消环路。

改善了布局把输入电容靠近上方的器件，而正输入电压端子则处于上方的eGaN FET的漏极连接的旁边。eGaN FET处于与横向及垂直功率环路案例的相同位置。在两个eGaN FET之间是一连串交错式开关节点和接地过孔，它们的排列方式与用作同步整流器的eGaN FET的LGA脚片匹配。交错式的开关节点和接地过孔重复地排列在同步整流器的底部。

这些交错式过孔提供了三大优势：

- 1) 位于两个eGaN FET之间的一组过孔可以缩短高频环路电感路径，从而实现较低的寄生电感。
- 2) 位于同步整流器eGaN FET的下方有一组过孔旨在提供额外过孔，使同步整流器eGaN FET可以降低电阻及导通损耗。
- 3) 另外的交错式的过孔组具有反向电流，减低涡流及近接效应，并且降低交流的导通损耗。

散热考虑

具备高功率密度的器件必需不只是因为能够产生更少的热量而变得高效，而是可以实现优越的导热性能。封装的散热效率可以从比较 $R_{\theta JC}$ 和 $R_{\theta JB}$ 这两个参数来确定，该参数并与封装面积作出比较。 $R_{\theta JC}$ 是从结点至外壳的热阻值，这是从eGaN FET的有源部分至硅衬底的顶部(包括侧边)的热阻值。 $R_{\theta JB}$ 是结点至电路板的热阻值，这是从eGaN FET的有源部分至印刷电路板的热阻值。对于这个路径来说，热量必需通过锡条散至电路

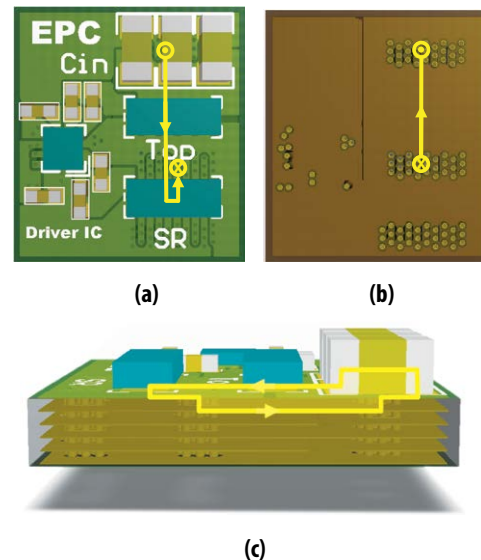


图12:我们推荐采用eGaN FET的最佳功率环路 a) 顶视图 b) 第一层内层的顶视图 c) 侧视图。

板的铜线。表1比较了数个受欢迎的表面贴装MOSFET封装和两个受欢迎的eGaN FET封装的散热特性。

图13显示了表1所列出的每种封装的结点至电路板的热阻值($R_{\theta JB}$)。红色方型表面贴装MOSFET封装的热阻值，蓝色圆点代表eGaN FET封装的热阻值。我们可以看到，大多数的封装范例都落在单条趋势线上，这表明热阻主要取决于封装尺寸而不是封装技术。相反地，图14

显示了从结点至外壳的热阻值($R_{\theta JC}$)。与Blade封装或eGaN FET封装相比，CanPAK和用双面散热方式的SO8封装从封装顶部散热的效率都低很多。当标准化至相同面积后，eGaN FET的电阻值要比Blade[11]还要低出30%以上。因此，eGaN FET的双面散热封装成为最高效的散热封装，而且最适合用于高功率密度的电源设计。

器件的封装类别	$R_{\theta JC}$ (°C/W)	$R_{\theta JB}$ (°C/W)	面积 (mm ²)
Blade [11]	1	1.6	10.2
CanPAK S [12]	2.9	1	18.2
CanPAK M [13]	1.4	1	30.9
S308 [14]	-	1.8	10.9
S308 Dual Cool [15]	3.5	2.7	10.9
Super SO8 [16]	20	0.9	30.0
Super SO8 Dual Cool [17]	1.2	1.1	30.0
EPC2001 eGaN FET [18]	1.0	2.0	6.7
EPC2021 eGaN FET [19]	0.5	1.4	13.9

表1:封装面积与 $R_{\theta JC}$ 、 $R_{\theta JB}$ 热阻值的比较

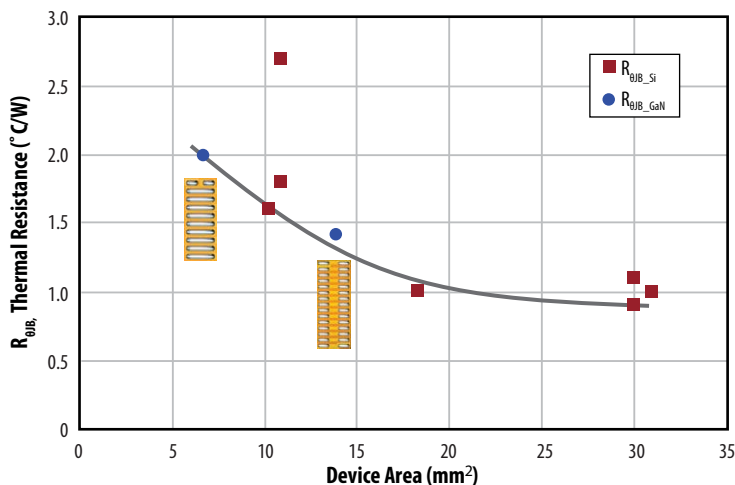


图13: 从表1所列出的不同封装的结点至电路板的热阻值 ($R_{\theta JB}$)。蓝色圆点代表eGaN FET的热阻值。红色方型点代表硅MOSFET的热阻值。

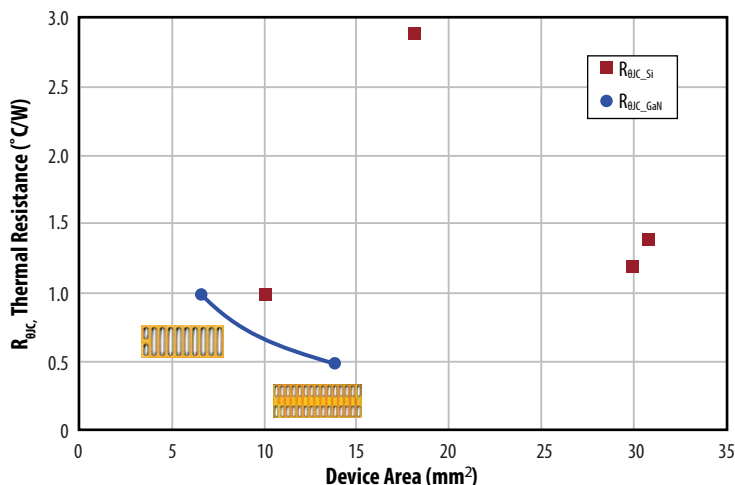


图14: 从表1所列出的不同封装的结点至外壳的热阻值 ($R_{\theta JC}$)。蓝色圆点代表eGaN FET的热阻值。红色方型点代表硅MOSFET的热阻值。

宜普电源转换公司的氮化镓晶体管的另外一个优势是在两个散热路径都可以改善热阻,如图15所示。首先,通过额外的散热过孔可以减小电路板至环境的热阻,但连接内部和外部铜层的散热过孔是以横向方式散热。

此外,可以利用以下两种方法减小散热接面材料(TIM)的阻抗:

1) 减小器件至散热器接面的厚度:一般来说除了散热接面材料外,在散热器和器件之间还要同时使用某种垫片,因为焊接散热器时的力度不能按压到器件,以免器件发生破裂的情况。这种垫片形成了散热器和氮化镓器件之间所需要的最短距离。

2) 使用散热接面材料包围整个器件而不只是它的顶部(外壳):这样可以减小热阻,因为器件周边的总面积比它的顶部面积还要大,如图16所示。

使用双面散热方式、强制空气散热和使用独特的印刷电路板材料,例如DBC(直接结合的铜金属) [20]或绝缘金属衬底(IMS)都有可能进一步改善器件的散热性能。

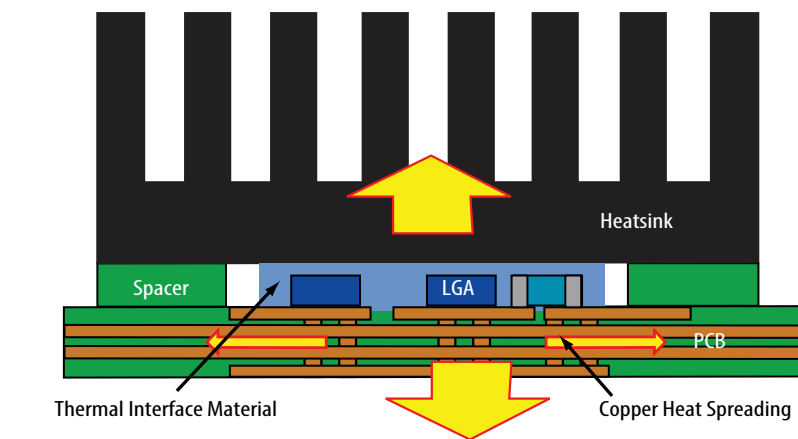
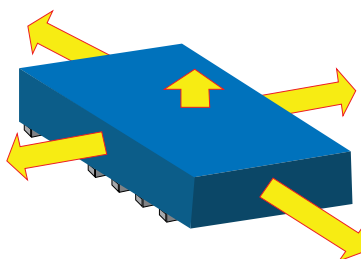


图15: 表面贴装在印刷电路板上、用LGA封装的氮化镓晶体管的双面散热示意图展示顶部散热器及散热过孔,热量经电路板散出。



Perimeter of die adds additional surface area

Part Number	Die Area (mm ²)	Perimeter Area (mm ²)
EPC2001	6.70	7.86
EPC2015	1.85	3.82
EPC2010	5.80	7.10
EPC2012	1.57	3.60

图16: 用LGA封装的氮化镓晶体管的晶片面积及晶片的周边面积。

使用器件模型仿真电路行为

虽然增强型器件的工作原理与硅MOSFET非常相似，但是我们不能使用基于物理特性的传统MOSFET模型来构建出氮化镓器件的模型，因为氮化镓晶体管的物理特性与MOSFET的分别很大。宜普电源转换公司开发的增强型氮化镓晶体管的模型[21]混合了物理特性和现象学功能，构建出紧凑型的spice模型，它具备可接受的模拟和聚合特性，其传导和阈值参数已把温度的影响计算在内。图17展示了增强型氮化镓晶体管的基本等效电路。主要元素包括由电压控制的电流源 $I_D(V_{GS}, V_{DS})$ 、电容 $C_{GD}(V_{GS}, V_{DS})$ 、 $C_{GS}(V_{GS}, V_{DS})$ 和 C_{DS} ，以及终端电阻 R_S 、 R_D 和 R_G 。

为了演示器件模型和电路的考虑因素，我们搭建并测试了一种简单的电路来对器件的性能与模型所预测的性能作出比较(见图18)。

电路中包含一个电压电源，它使用一个10 k Ω 电阻对一个13 μ F的电容器充电。该电阻将电压电源和测试器件隔离。氮化镓晶体管由一个5 V脉冲进行驱动，电容则通过一个0.8 Ω 的电阻和具有0.1 Ω 的杂散电阻的器件进行放电。比较演示电路的不同仿真结果表明与测量值合理地相对应。虽然不是完美，高精度的模型复制了过冲和振铃现象。图19显示了叠加栅极和漏极电压与测量电路和仿真电路的时间的关系。

宜普电源转换公司开发的模型准确地复制了器件工作时电路的基本反应。这些器件模型可以在网站下载，网址是www.epc-co.com/epc/esignSupport/DeviceModels.aspx。

曲线追踪仪和自动测试的考虑因素

宜普电源转换公司的增强型氮化镓晶体管的行为一般很像N沟道功率MOSFET。用于N沟道功率MOSFET的常用曲线追踪仪、参数分析仪及自动化分立式器件的参数测试仪都可以用来找出氮化镓晶体管的特性。下面是针对表征DC参数的通用指南，它使用了Tektronix 576曲线追踪仪、Keithley 238参数分析仪或TESEC 881-TT/A分立式器件测试系统。

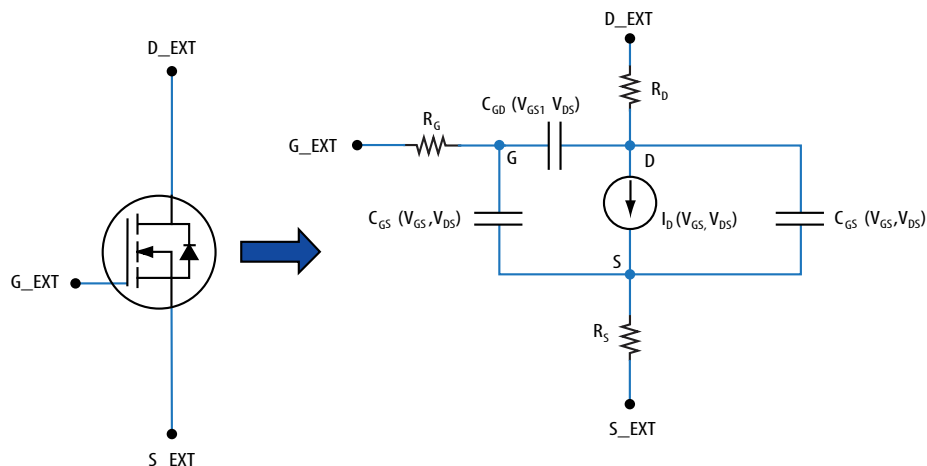


图17: 氮化镓晶体管模型构建的等效电路。

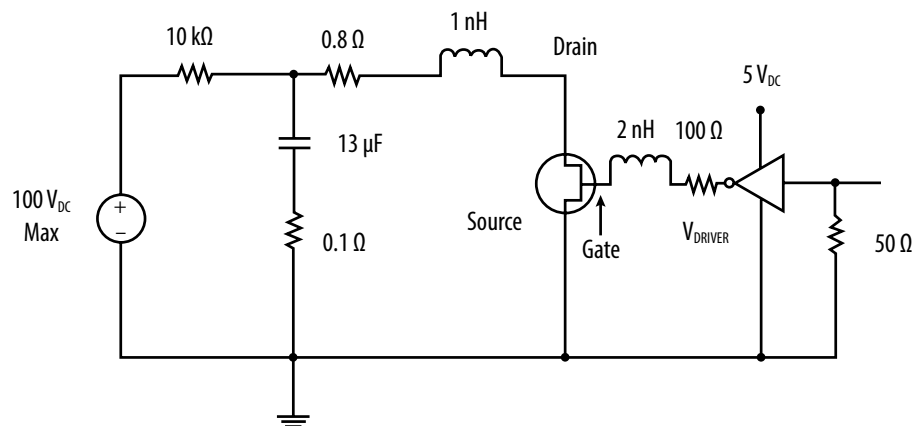


图18: 基本演示电路的原理图。

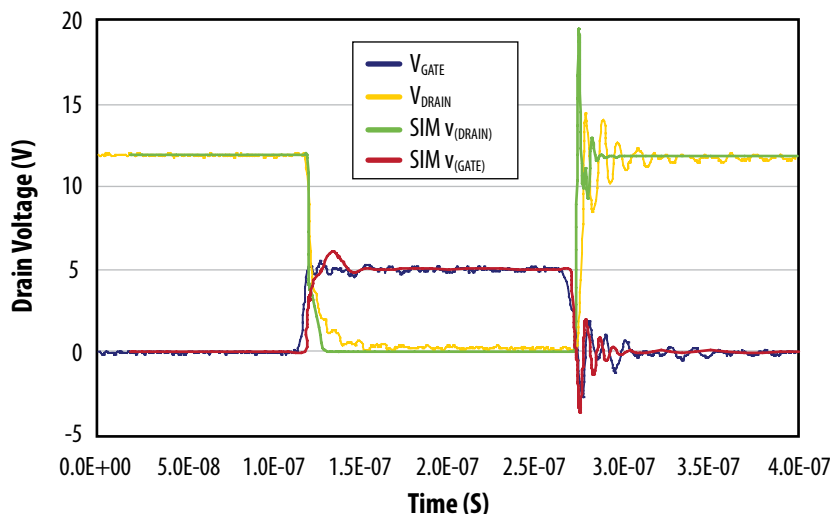


图19: 仿真与测量所得的演示电路的比较。

注意：氮化镓晶体管易受静态参数影响。氮化镓晶体管具有很小的电容和低的最大栅极电压。必须使用腕带、接地垫和其它ESD预防措施，从而避免超过器件的最大额定值。

测量 V_{TH} 值

V_{TH} 值是指栅极至源极的电压($V_{DS} = V_{GS}$)，它产生数据手册上所刊载的特定漏极电流。该测试通常是在漏极和栅极短路时进行。

进行 V_{TH} 曲线追踪仪测试要注意的事项：

如果在测量 V_{TH} 期间的栅极没有串联电阻(R_G)，你可能会在栅极上看到振荡现象，从而形成图20所示的那种典型S曲线。振荡电压有可能变成比输入电压高出很多倍。这些振荡现象可以破坏或毁掉器件。

测量 I_{GSS} 值

I_{GSS} 值代表漏极短路至源极时，栅极至源极的漏电流。栅极上的正向电压不要超过6V，或者负向电压不要超过4V，因为这是器件的栅极的最大额定值。为了精确地测量出 I_{GSS} 值，在漏极和源极之间具有非常低的短路阻抗是非常重要的。我们不建议利用自动测试仪对 I_{GSS} 进行测试时使用Autorange的功能，例如使用TESEC 881-TT/A，因为在测试期间改变范围可能导致峰值电压，从而有可能毁掉栅极。

测量 $R_{DS(on)}$ 值

$R_{DS(on)}$ 是指 V_{GS} 为5 V时漏极至源极的阻抗。由于 $R_{DS(on)}$ 易受温度影响，因此在测试时必需把结点的热量减至最小。所以我们通常使用漏极脉冲的测试方法来测量出 $R_{DS(on)}$ 值。精确的 $R_{DS(on)}$ 测量需要在漏极和源极使用Kelvin Sense。检测点的位置对 $R_{DS(on)}$ 的读数的影响很大。我们不建议利用自动测试仪对 $R_{DS(on)}$ 进行测试时使用Autorange的功能，例如使用TESEC 881-TT/A，因为在测试期间改变范围可能导致峰值电压，从而可能毁掉栅极。

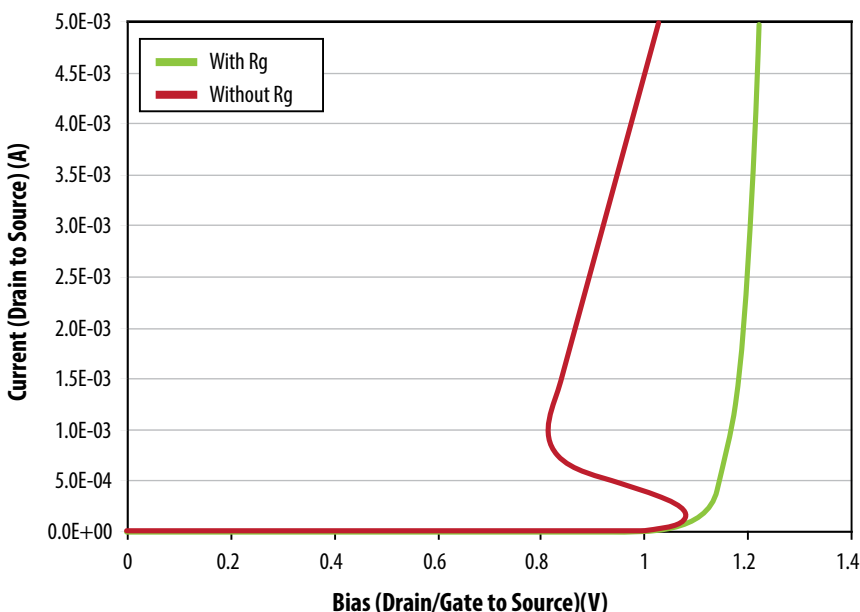


图20: 100 V eGaN FET在使用栅极电容和没有使用栅极电容时的 V_{TH} 曲线的比较。

我们不建议在裸片上使用探针测量 $R_{DS(on)}$ 。如果在探针/焊球接触点具有太高的电流密度，可能会破坏器件。

测量 I_{DSS} / BV_{DSS} 值

BV_{DSS} 是 $V_{GS} = 0$ V时器件的额定电压。 I_{DSS} 是在特定的漏极至源极电压的漏极电流，相等或低于器件在 $V = 0$ V时的额定电压。宜普公司的氮化镓器件的真正击穿电压通常远高于器件的最大漏极至源极的额定电压值。所以最好不要对器件进行 BV_{DSS} 测试，因为会超过 BV_{DSS} 的最大额定值。如果超过了最大额定值，器件的 $R_{DS(on)}$ 会劣化。此外，重要的是要将栅极和源极短路以避免栅极相对于源极悬浮而使器件意外地导通。如果在 I_{DSS} 测试过程中发生这种情况，有可能破坏器件。

就像与测量 I_{GSS} 和 $R_{DS(on)}$ 一样，我们不建议利用自动测试仪对 I_{DSS} 进行测试时使用Autorange的功能，例如使用TESEC 881-TT/A，因为在测试期间改变范围可能导致峰值电压，从而可能毁掉栅极。也必需避免使用「Function BV_{DSS} 」，因为在固定的漏极电流下，测量所得的漏极至源极电压有可能超过器件的 V_{DS} 的最大额定值。用户在测量 I_{DSS} 时应首先确定以上提及的电压测试装置没有峰值。我们建议使用受控的斜坡电压来帮助避免发生电压过冲。

很重要的是将栅极和源极短路，以避免栅极相对于源极悬浮，从而使器件意外地发生导通的情况。如果在测试 I_{DSS} 过程中发生这种情况，有可能破坏器件。将栅极设定为0 V是不够的，而栅极至源极必需具有一个非常小的短路阻抗。

最后要注意的事项

一个器件如何可以简单易用取决于用户的技巧、开发中的电路的困难程度、新器件与用户使用过的器件的差异，以及有没有可以帮助用户使用新器件的工具。

新一代增强型氮化镓晶体管的行为与现有的功率MOSFET是非常相似的，只是前者的速度更快，因此用户可以凭着他们的设计经验利用氮化镓元件设计出具备更高性能的产品。与硅MOSFET相比，eGaN FET具备相对地较高的频率响应，不仅在性能上得以跃升，它是用户在设计电路布局时的另一个可考虑的高效元件。

另一方面，氮化镓器件还具备多个特性使得它比以前的硅器件更为简单易用。举例来说，它的阈值电压几乎在宽阔范围的温度下不会产生变化，而导通电阻的温度系数也要比硅器件低出很多。

列表 2 总结了硅功率 MOSFET 与 EPC2001C 氮化镓晶体管的基本特性的比较。简单易用的工具也可以使全新器件易于使用。宜普电源转换公司开发了全套器件模型，可供用户下载使用。这些模型相当可靠地预测电路的性能，从而可以提高工程师的生产力并可以快速地把产品推出市场。

我们的应用笔记和设计提示汇集了工程师们多年以来的集体经验和智慧。我们的**网上图书馆**收集了丰富的应用笔记、白皮书及学术期刊。此外，「**氮化镓晶体管-高效功率转换器件**」（第二版）现已出版[22]，它是一本对氮化镓技术及其应用作详尽的阐释及分析的教科书。

功率 MOSFET 还没有出局，但它在性能和成本方面的改进已经走到尽头。在未来的十年内，由于氮化镓晶体管在性能和成本方面极具优势，因此它将成为主导技术，并且随着我们进一步缩短氮化镓技术的学习曲线，氮化镓与 MOSFET 技术的绩效差距将逐渐扩大。

参考资料:

- [1] Wu, T. "Cdv/dt Induced Turn-On In Synchronous Buck Regulators", white paper, International Rectifier Corporation
- [2] A. Elbanhawy, "Effects of parasitic inductances on switching performance," in Proc. PCIM Eur., May 2003, pp. 251-255.
- [3] G. Nobauer, D. Ahlers, J. Sevillano-Ruiz, "A method to determine parasitic inductances in buck converter topologies," in Proc. PCIM Eur., May 2004, pp. 37-41.
- [4] B. Yang, J. Zhang, "Effect and utilization of common source inductance in synchronous rectification," in Proc. IEEE APEC'05, Mar. 2005, vol. 3, pp. 1407-1411.
- [5] M. Pavier, A. Woodworth, A. Sawle, R. Monteiro, C. Blake, and J. Chiu, "Understanding the effect of power MOSFET package parasitic on VRM circuit efficiency at frequencies above 1 MHz," in Proc. PCIM Eur., May 2003, pp. 279-284.
- [6] D. Reusch, D. Gilham, Y. Su and F.C. Lee, "Gallium nitride based multi-megahertz high density 3D point of load module," APEC 2012. pp.38-45. Feb. 2012.

	典型100 V 功率 MOS-FET	增强型氮化镓晶体管 EPC2001C
最大栅极至源极电压	±20 V	+6 V/-5 V
工作温度	150°C	150°C
雪崩能量	OK	没有额定值
栅极阈值电压	2-4 V	0.8-2.5 V
栅极至源极漏电流	数个 nA	数个 μA
栅极阻抗	数个 Ω	0.3 Ω
开关电荷	高	很低
二极管反向恢复电荷	高	零
R _{DS(on)} 125°C/25°C 的比值	2.2	1.65
V _{TH} 125°C/25°C 的比值	0.66	0.95

表2: 总结100 V 硅功率 MOSFET 与100 V eGaN FET的比较。

- [7] T. Hashimoto, T. Kawashima, T. Uno, Y. Satou, N. Matsuura, "System in package with mounted capacitor for reduced parasitic inductance in voltage regulators," Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE, pp.187-191, 24-28 Feb. 2008.
- [8] Y. Kawaguchi, T. Kawano, H. Takei, S. Ono, A. Nakagawa, "Multi Chip Module with Minimum Parasitic Inductance for New Generation Voltage Regulator," Power Semiconductor Devices and ICs, 2005.
- [9] A. Ball, M. Lim, D. Gilham, F.C Lee, "System design of a 3D integrated non-isolated Point Of Load converter," Applied Power Electronics Conference and Exposition, 2008. Twenty-Third Annual IEEE, pp.181-186, 24-28 Feb. 2008.
- [10] D. Reusch, F.C. Lee, Y. Su, D. Gilham, "Optimization of a High Density Gallium Nitride Based Non-Isolated Point of Load Module," Energy Conversion Congress and Exposition (ECCE), IEEE, Sept. 2012.
- [11] Infineon Blade BSN012N03LS datasheet, www.infineon.com
- [12] Infineon CanPAK S-size BSF134N10NJ3 G datasheet, www.infineon.com
- [13] Infineon CanPAK M-size BSB012N03LX3 G datasheet, www.infineon.com
- [14] Infineon S308 BSZ075N08NS5 datasheet, www.infineon.com
- [15] Texas Instruments S308 Dual Cool SON 3.3x3.3mm CSD16323Q3C datasheet, www.TI.com
- [16] Super SO8 BSC010N04LS datasheet, www.infineon.com
- [17] Texas Instruments Super SO8 Dual Cool SON 5x6mm CSD16321Q5C datasheet, www.TI.com
- [18] Efficient Power Conversion EPC2001 datasheet, <http://epc-co.com/epc/Products/eGaNfETs/EPC2001.aspx>
- [19] Efficient Power Conversion EPC2021 datasheet, <http://epc-co.com/epc/Products/eGaNfETs/EPC2021.aspx>
- [20] D. Reusch, "High Frequency, High Power Density Integrated Point of Load and Bus Converters," Ph.D. dissertation, Virginia Tech, <http://scholar.lib.vt.edu/theses/available/etd-04162012-151740/> 2012.
- [21] R. Beach, A. Babakhani, R. Strittmatter, "Circuit simulation using EPC device models," epc-co.com/epc/documents/product-training/Circuit_Simulations_Using_Device_Models.pdf
- [22] A. Lidow, J. Strydom, M. de Rooij, D. Reusch "GaN Transistors for Efficient Power Conversion," Second Edition, Wiley, ISBN 978-1-118-84476-2.