

# eGaN® FET和積體電路的組裝



當客戶要求功率半導體（電晶體、二極體或積體電路）使用更好的封裝時，他們的要求可分為六類[1]：

1. 封裝可以小一點嗎？
2. 封裝電感可以降低嗎？
3. 產品的導電損耗可以降低嗎？
4. 封裝的散熱效率可以更高嗎？
5. 產品價格會更低嗎？
6. 封裝可以更可靠嗎？

EPC的eGaN®FET和積體電路採取了非常不同的方法來封裝其功率半導體——我們完全放棄了封裝，並且同時改善了上述各方面的要求。EPC的創新晶圓級、柵格陣列（LGA）和球柵陣列（BGA）封裝實現了更高的功率密度[2]。圖1展示出EPC2001C的安裝面，焊盤間距為0.4毫米，而EPC2045的球距為0.5毫米。

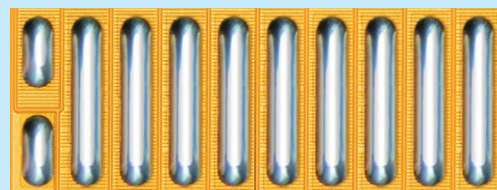


圖1 (a)：EPC2001C的安裝面[2]。

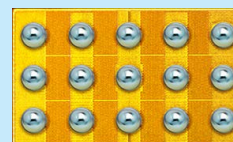


圖1 (b)：EPC2045的安裝面。

## Over 30 Billion Hours in the Field

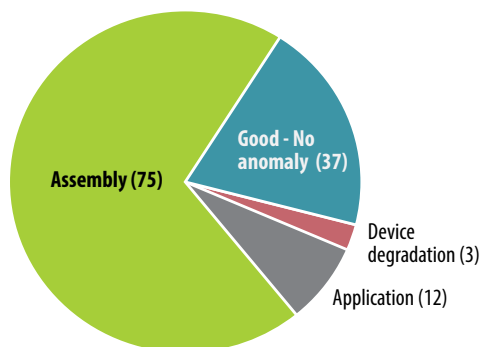


圖2：在實際應用超過300億小時後，eGaN元件僅出現了三個與元件相關的故障。現場故障的最大原因是不良組裝。

廣泛的測試已經證明，當應用電路設計正確時，eGaN FET和IC是可靠的[3]。事實上，在2010年到2017年間，在總共300億小時以上的現場實際使用中，只有127個元件發生故障。其中75個故障是由不良組裝技術或不良印刷電路板（PCB）設計所造成的[3]。圖2的圖表顯示了127個故障的情況。

要確保高可靠性，並發揮eGaN元件的最大性能，最重要的是遵循一些簡單的PCB設計和組裝準則 -- 我們在這篇應用筆記中闡述這些準則並舉例說明，如果沒有遵循這些準則，可能會出錯的例子。

註：如果您的設計需要跟這些推薦的模板厚度/焊料組合不一樣，請聯繫EPC團隊以協助開發。採用WLCSP封裝的EPC芯片不兼容波峰焊接製程技術。如有任何提問，請電郵至 [info@epc-co.com](mailto:info@epc-co.com)。

## 概述

要實現可靠、高良率的組裝，採用LGA或BGA封裝的eGaN元件必須做到：

1. 每個焊點都有正確的PCB阻焊層定義的（SMD）佔位面積，以確保在清潔的PCB表面正確控制焊錫。
2. 採用正確的焊錫量和回流焊工藝，以提供足夠的高度清洗焊盤之間的所有助焊劑，但不能有過多的焊錫，否則接點會在回流焊期間變得不穩定、傾斜或塌陷。
3. 清洗焊盤之間的所有助焊劑，然後在接通電源之前必需完全乾燥。
4. 如果元件在潮濕環境下進行組裝，需使用底部填充物。

圖3顯示了一個正確安裝的元件的側面視圖。



圖3：正確安裝的eGaN元件（側面視圖）。

## eGaN® FET和IC的印刷電路板設計考慮因素

電源設計人員可能不像數位電路設計師那樣熟悉具有精細間距的元件。本節將涵蓋設計人員在設計eGaN元件的佔位面積時所需要考慮的許多設計因素。

連接eGaN元件與PCB的焊點品質對於可靠的電、散熱和機械連接至關重要。定義焊點品質的因素包括對稱性、體積、高度和光潔度。這些因素可能會被主要關注佈局的设计人員所忽視，因此，元件製造商必須在產品資料表中提供清晰和簡單的準則。這些準則包括推薦的佔板面積（銅尺寸和阻焊開窗）和焊膏模版設計。

### 1. 阻焊定義的焊盤

對於eGaN元件，針對LGA和BGA推薦的阻焊層定義的（SMD）佔板面積如圖4（右側）所示。圖4（左側）展示了一個通常用於PCB設計的非阻焊層定義的（NSMD）佔板面積焊盤。在我們對客戶的組裝設備中調查元件故障時，我們發現PCB製造商修改了Gerber檔案，以適應其內部製造更大封裝的設計準則的實例，因此改變了我們推薦的設計。

如果在推出最後完成的電路板之前進行設計審查，就可以在報廢或重組裝費用之前，已經可以注意到這個問題。圖5顯示了SMD焊盤如何通過確保焊接後的對稱焊點，來減少機械應力。相反，使用NSMD佔板面積會導致不對稱的焊點，因為銅和阻焊層之間100%完美對準是不可能的。而SMD佔位面積在PCB的製造公差內可確保抗擾性。

### 2. 阻焊層品質

並不是所有的阻焊層都是相同的，重要的是要知道在確定阻焊層時要什麼，以獲得一個高品質的PCB，其厚度和穩定性是最重要的。如果阻焊層太厚，很難適當地滴塗焊膏，因為壓入焊膏需要的距離變大了。

如果阻焊層不均，則可能使焊料阻礙模版被正確地放置在板上。阻焊層缺陷或過多的阻焊層開窗會導致焊球高度降低，在極端情況下會引致開裂和/或晶片傾斜，甚至開路。由此產生的變形焊點將隨著機械應力的增加而冷卻，這可能加速熱量所引起的元件故障。

適用於採用eGaN元件的PCB阻焊層屬於IPC-SM-840 class T，例如Taiyu 4000HFX L.P.I、PSR-2000/LF02/CA-25或類似的阻焊層。重要的是，在PCB製造檔案中說明，PCB製造商不可以增大或修改阻焊層。

雷射直接成像（LDI）應該用於將阻焊層與公差對準，如原圖中所規定或相對於銅層的2密耳。最後，不應該裁切阻焊層。如果裁切，設計師務必要確保佈局軟體的設計規則正確，且正確地設計了佔板面積。

### 3. 焊點體積

板與元件之間的焊點高度對機械應力也很重要。確定焊點的高度可影響可靠性、電氣和散熱性能之間的平衡。如果焊點高度太低，元件將受到由高溫引起的機械應力影響，這將導致焊球或焊點之下的金屬疲勞。元件就位太高會出現更高的電氣和熱應力（這是由於來自PCB的熱萃取效應降低了）[3]。

每個元件的最佳高度是不同的。對於LGA和BGA元件，額外的選項如各種焊錫類型必須是決定設計的部份考慮因素。圖6顯示了不同焊錫類型可能得出不同的模版設計。應該注意的是，如果客戶希望Type 3和Type 4焊錫使用相同阻焊層，EPC可以為客戶提供可使用這兩種焊錫類型的阻焊層。這些建議也將顯示在數據表中。

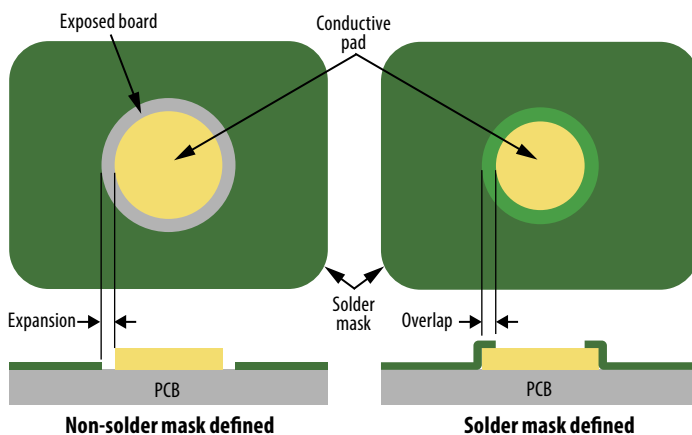


圖4：阻焊層定義與非阻焊層定義的焊盤。

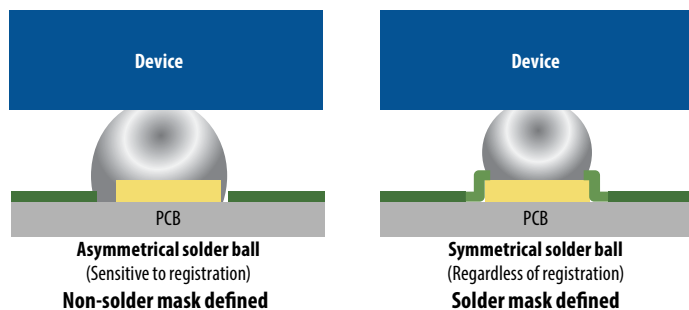


圖5：銅對阻焊層對準，對焊球對稱性的影響。

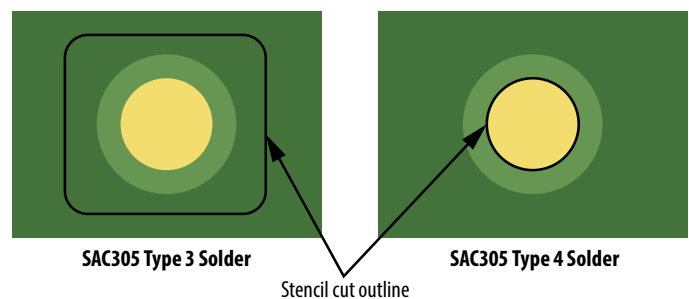


圖6：焊錫類型對模版設計的影響。

### 4. 焊盤光潔度

許多設計人員選擇在PCB板使用熱風整平焊錫光潔度（HASL），在焊盤上沉積焊錫。這些焊錫沉積物在焊盤上產生少量焊錫，增加了通過模版滴塗的焊錫量。增加的焊錫將增加焊點焊錫量，最後增加焊點體積及其品質。

此外，HASL過程是不精確的，通常會在不同數量的焊盤上產生不均勻的焊錫，我們可以在圖7（右側）看到。這可能導致晶片傾斜或焊點開裂。建議使用化學鍍金（ENIG）焊盤光潔度，它可以產生非常均勻、平坦的焊盤，如圖7（左側）所示。

對於ENIG光潔度，推薦符合IPC-4552的150微英寸的典型鍍（Ni）厚度和3 - 5微英寸的金（Au）厚度。

## 5. 絲網

雖然傳統上絲網在PCB中的作用不那麼重要，但它可以影響可靠性函數，因為它有厚度，所以可妨礙回流焊過程中助焊劑的流動。

如果回流焊過程中助焊劑的流動受阻，可導致晶片傾斜和助焊劑殘留。在組裝過程中，絲網也可用於正確對準晶片，而許多設計人員往往會設計完全密封的絲網圖案並勾畫出元件的外形，如圖8（右側）所示。這可導致在回流焊過程中，當助焊劑不能從晶片下面流出時而形成阻塞。如果在晶片四周或大部份地方使用較厚的絲網，問題會更大。助焊劑阻塞可導致晶片下面積存未固化的助焊劑，並且可形成熱和電枝晶（請參看下面如何解決元件遇到故障的部份）。

在絲網四壁的不同位置開窗，可防止阻塞，如圖8（左側）所示。絲網也可能是焊盤受污染的源頭，應該小心避免這種情況發生。絲網也應該保持盡可能的薄，供應商可以做到遠遠低於1密耳（可能在0.7密耳範圍）。

## 6. 通孔

由於eGaN元件體積小和它對電氣性能的要求，因此通孔也是PCB設計的主要部份[4]。通孔尺寸由設計人員決定，他們必需瞭解各種限制，這取決於如何使用通孔。

基本通孔是PCB層之間的垂直連接，由一個銅環組成。製造時限制了通孔的尺寸在至少6密耳範圍內，而銅環最少是5密耳。設計人員可能發現這已經超過了一些eGaN元件的焊點間距，而可能會作出相同的妥協。靠近晶片的通孔，應該包裹好（被阻焊層覆蓋），以防止焊錫在回流焊過程中進入孔內，並防止由於晶片附近的銅暴露了而導致間隙電壓的問題。

在某些情況下，可能需要將通孔置於元件焊盤下。如果需要這樣，通孔必須進行填充並封蓋（capped），以防止在回流焊過程中最高焊點高度所需的焊錫流入孔內。封蓋是為了防止填充料在焊球下出氣。此通孔應在佈局設計軟體中包裹好，以便焊盤阻焊層開窗，如果與通孔重疊，才確定覆蓋或暴露通孔的哪個部份。完成的通孔必須與焊盤其餘部份的高度相同。這將確保適當的焊膏滴塗。

有些設計可能需要許多通孔用來分配電流，並增加轉移到另一層的所有電流。雖然通孔連接到相同的電節點，製造上的限制要求通孔至少具有10密耳的壁到壁之間的距離，以防止電路板發生問題，並確保相同的板厚度光潔度。元件附近或元件內覆蓋好的通孔，可形成高點，導致模版就位較高而導致生產時焊錫過度沉積。當使用元件附近或元件內的通孔時，請確保PCB製造商知道您對模版就位的關注和要求。

有些設計可能有最小通孔的尺寸限制，這意味在元件的焊盤下放置通孔是不可能的，而是必須放在元件的旁邊，如圖9（頂部）的設計範例所示。圖9（底部）顯示了一個焊盤限制中沒有通孔的設計，從照片中我們可以清楚看到，FET焊盤已被鍍覆，通孔已經看不見了。

## 7. 對準各層

組成PCB的許多層需要對齊（對準）。這可確保電路板操作正常，並規定一個對準公差。同一個類型的層跟不同類型的層，有不同的規定。這些通常已被此對準的層都是銅對銅、銅對阻焊層、銅對孔和銅對絲網（通常不規定，但可幫助放置晶片）。

對於銅層來說，如果沒有通孔，大部份PCB層的對準公差規定在2密耳。如果有通孔，最少需要3密耳。

## 8. 堆疊PCB層

堆疊定義了構成PCB的每層的厚度。採用eGaN FET和IC的PCB通常使用1和2盎司之間（35和70微米之間）的銅厚度，由所需的設計和電流密度決定。絕緣層通常使用諸如FR4或FR370-HR的材料製成。推薦使用具有較高玻璃轉換率（ $T_g$ 至少180°C）的基板，從而取得較高的可靠性。

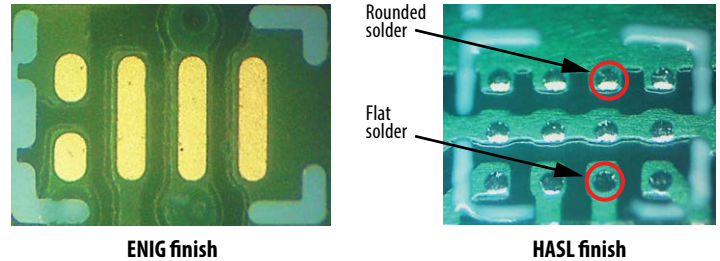


圖7: ENIG光潔度與HASL光潔度顯示不均勻的焊錫高度

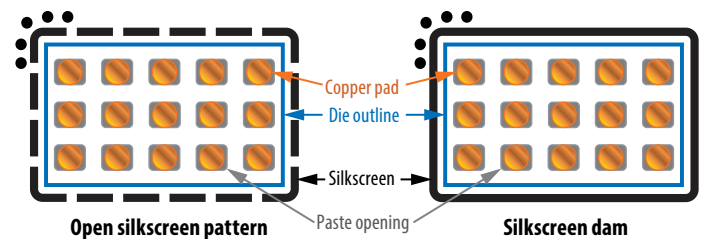


圖8: 元件的焊盤，左圖是open device outline絲網，右圖是dammed-closed device outline絲網。

可製造性和電氣性能之間的平衡決定絕緣層的厚度。100 V元件的最佳佈局規定在層1（如頂部）和層2之間採用5密耳的芯材厚度。由於對稱性的要求，隨著預浸層的調整，這也將迫使層3和層4達到5密耳厚，以滿足最終電路板的厚度（通常1.5毫米或62密耳）。對於較高電壓元件，同時要確保適當的“爬電”要求，建議最低芯材厚度為12密耳。預浸層將調整到大約25密耳。圖10顯示了一個典型的PCB層堆疊。

## 9. 板材平整度

一個較少為人所知的PCB技術規格是電路板的平整度。它仍然是一個重要的規格，因為過度彎曲的板可妨礙模版正確地在板上就位，從而可能導致無法正確地對焊盤滴塗焊膏。一個最大水準或垂直尺寸為200毫米（8000密耳）的陣列的平整度，規格是每米40毫米（每英寸7.5密耳）。

## 10. 基準點

在組裝時放置元件的過程中，基準點用於對準元件。由於eGaN元件具精細間距，通常需要將基準點添加到PCB上。有兩種類型的基準點，全域和本地。全域基準點用於對齊PCB陣列，而本地基準點用於單板。大多數設計將需要本地基準點，從而配合eGaN元件的要求。

一個典型板應該至少有三個基準點，至少要有兩個垂直對齊和兩個水準對齊。基準點應靠近板邊緣位置，並盡可能互相遠離。這種放置方法改善了更遠距離的對準。如果各個eGaN元件位於板的一側，那麼基準點應彼此接近。一個直徑為40密耳的基準點可支援大多數組裝人員的設計。

## 11. 電路板或陣列尺寸限制

基於eGaN元件的PCB和PCB陣列的尺寸必需較細小。因為較大的電路板更難對準具有細小外形尺寸的eGaN元件而較難實現精確組裝。電路板和陣列應該每邊限制在200毫米。對於陣列，建議將電路板旋轉，以盡可能地把各PCB的eGaN元件盡可能靠近。這允許使用更大的板，使得對準位置仍然可以盡可能地靠近eGaN元件。

## eGaN元件的組裝過程

到目前為止的討論，都集中在PCB設計及其可製造性。在以下這一部份中，我們將討論組裝過程。

### 12. 選擇焊膏

EPC公司目前使用Kester NXG1 Type 3 SAC305和Kester NP505-HR SAC305 Type 4焊膏來焊接eGaN元件。兩種焊膏都具有88.5%金屬的免清洗助焊劑。

為了防止熱氣和電氣枝晶的形成，建議即使使用免清洗助焊劑，也要從板上清洗掉助焊劑。EPC使用Technical Devices Company的Nu/Clean AquaBatch XL標準系統中的Kyzen Aquanox® A4625化學品，來清除免清洗助焊劑。

如果使用免清洗助焊劑而沒有把它沖洗掉，建議在回流後以150°C烘烤最少60分鐘。這確保免清洗助焊劑的固化，有助防止形成枝晶。

如果用水沖洗助焊劑，需要在eGaN元件的四周進行沖洗，以確保完全清除助焊劑。傾斜元件會阻礙沖洗，並導致助焊劑殘留在晶片下面。因此，建議使用低離子含量的免清洗助焊劑，然後把它清洗乾淨。

### 13. 模版設計

推薦使用100微米厚度的雷射切割不銹鋼模版。光滑壁雷射切割模版很可能會釋放所需的滴塗量。Type 3焊膏比Type 4焊膏需要更大的開窗，我們提供針對兩者的建議，並針對每個晶片配置，可供參考[15]。如果必須使用壓印模版，可能需要略微增加開窗尺寸，以釋放合適的焊錫量。

### 14. 回流焊曲線

圖11顯示了根據焊膏製造商對焊膏的建議、針對eGaN元件推薦的回流焊曲線。使用焊錫膏時，應該常常遵循供應商推薦的回流焊曲線。

### 解決PCB設計和組裝的問題

如果沒有遵從正確的PCB設計規則，可能會出現許多問題。不良組裝技術都可能加劇這些問題。這一節介紹我們曾經遇到的問題，並解釋原因。

### 放置晶片力度

放置晶片的力度太大容易損壞晶片。EPC建議把最大背壓設置為 50 psi 或更低。如欲瞭解更多信息，請參閱第 11 階段產品可靠性測試報告。

### 15. 電枝晶

電枝晶的形成被認為是當助焊劑暴露在電壓時，發生離子污染而形成導電枝晶[5]。電壓越高，形成枝晶的速度越快。電枝晶可能快速導致元件發生故障，因為在它形成的過程中，除了發生短路，它們也可以產生大量的熱量。圖12顯示在一個eGaN FET的焊錫條周圍，枝晶形成的例子。

### 16. 熱枝晶

熱枝晶是一個相對較新的發現，不要與電枝晶混淆，儘管它們看起來可能類似。它們是在熔爐冷卻過程中，由助焊劑裂縫引起的。沒有冷卻的焊錫可能擴散進入助焊劑裂縫。這些焊錫絲可以顯著降低焊點之間的電氣距離，並可能在工作時出現故障。即使使用免清洗助焊劑，在組裝後，助焊劑裂縫仍然可以存在。圖13顯示了在沒有晶片的PCB上的一條助焊劑裂縫。

熱枝晶與金屬熔化中看到的傳統熱枝晶略有不同，後者的成核源 (nucleation source) 導致在超冷液體的粒子中生長出“手臂”[6,7,8]，從而形成枝晶。通過清洗免清洗助焊劑，可以避免或消除這種枝晶的形成。

圖14也顯示了熱枝晶的例子。

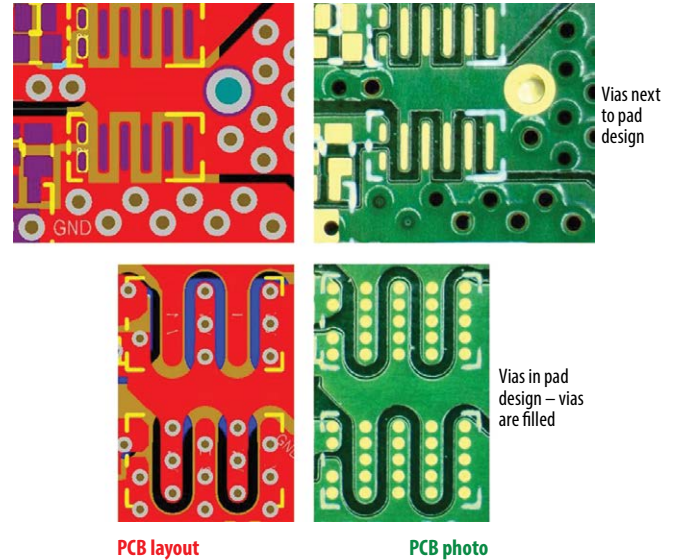


圖9: 與FET相鄰通孔 (頂部) 和通孔在FET焊盤內 (底部) 的佈局設計。

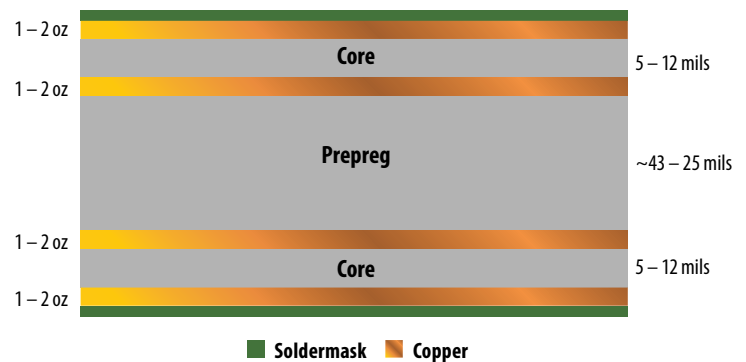


圖10: 適合eGaN元件的典型PCB的層堆疊。

### 17. 不良焊錫附著力

受污染的焊盤會導致不良焊錫附著力、空洞和大部份區域的焊錫未能溶化。大多數污染來自不良PCB製程，其阻焊層殘留物，留在焊盤上，例如來自受污染的清洗液體。阻焊層焊劑流至焊盤和絲印殘渣都是焊盤受到污染的常見來源。

圖15顯示了乾淨的焊盤光潔度 (左側) 與極度污染的焊盤光潔度 (右側) 的例子。不良焊錫附著力可能導致開路，而在高電流元件中，因為電流被迫進入沒有規定的方向，將導致電流密度過高而最終引起元件故障。圖16顯示了焊料熔化問題的一個例子。

### 18. 焊點開裂

焊點裂紋主要是由熱引致的機械應力所形成的。如果在組裝過程中，焊錫在應力條件下固化，就可能加速元件故障，因為固化應力加至由熱膨脹和收縮引起的應力。

一個眾所周知的熱迴圈期間，焊點應力的行業分析模型[9]是：

$$\epsilon = \frac{(\Delta\alpha \cdot \Delta T \cdot DNP)}{h} \quad (1)$$

其中：

$\epsilon$  = 焊點應力

$\Delta\alpha$  = 晶片和PCB之間的熱膨脹係數的差異 [°C-1]

$\Delta T$  = 迴圈溫度擺動 [°C]

DNP = 中性點距離 (基於晶片尺寸和焊點/焊條位置的應力質心) [m]

h = 焊點間隙 (standoff) 高度 [m]

方程式1推薦了一個非常高的焊點高度，將熱引致的應力，減至接近零，但這並不總是可行的。熱引起的應力與可靠性之間的平衡，通常由元件製造商來決定，並刊載於產品數據表中。對於eGaN元件來說，阻焊層定義的焊盤進一步減少了回流焊過程中引起的應力。

圖17顯示焊點開裂的一個例子。

### 19. 焊錫空洞

焊錫空洞是焊錫內的空間，如圖18所顯示。焊錫空洞可能有各種各樣的起因，包括在焊盤上不良焊錫附着力、回流焊期間污染焊盤的出氣、不足的元素間隙高度[10]和錯誤的焊錫曲線。

空洞可減少元件和PCB焊盤的接觸面積，並導致焊點內不均勻的機械和熱力引致的應力。久而久之，這些空洞可能增加而導致元件發生故障。

### 20. 晶片傾斜

晶片傾斜可能由多種原因引起，如不良焊錫附着力、焊膏滴塗不均勻、回流焊期間過度振動、非最優化的溫度曲線，以及過大的阻焊層或過大的焊錫模版孔徑。晶片傾斜影響元件的可靠性，因為它會導致晶片不均勻的熱機械應力。它也可能顯示焊點發生短路或開路。圖19顯示了一個傾斜的eGaN元件。

### 21. 底部填充物

底部填充物適用於暴露於潮濕環境的電路板的應用。潮濕環境和其他污染物可能使枝晶生長。可在150°C工作的EPC元件的可用底部填充物包括Hysol FP4531和Al Technology MC7685-UF5。

### 22. 設計示例

圖20是一個採用LGA的EPC2001C剖面圖 (它也適用於BGA佔板面積)，用NC257-2 SAC305 [13] 無鉛、利用免清洗焊膏把兩盞司銅頂層的金屬層安裝在PCB上。橫截面積代表焊錫量。根據數據表顯示，焊點半徑為100微米，橫截面積為15.7平方納米。使用NC257-2 SAC305無鉛、免清洗3型焊膏，其金屬負載為88.5%，模版厚度100微米，阻焊層寬度約180微米。

### 23. 檢查

eGaN元件具有機械堅固特性，在批量組裝中，良率很高。不過，如果不採取幾項標準預防措施以保證充分的焊錫回流、減少晶片過度傾斜和避免殘留的未固化助焊劑，元件仍然可能損壞。

儘管eGaN元件的設計使回流的焊錫目視可見，但確定元件是否正確回流的最好方法是生成X射線圖像。圖21和22顯示了用焊錫模版製程組裝的EPC2019的X射線圖像。圖21顯示有空洞和不均勻形狀接點的圖像，表示潛在的焊錫量或回流焊問題。在圖22中可以看到，最少空洞和一致性接點，代表高可靠性和優越的熱和電特性。

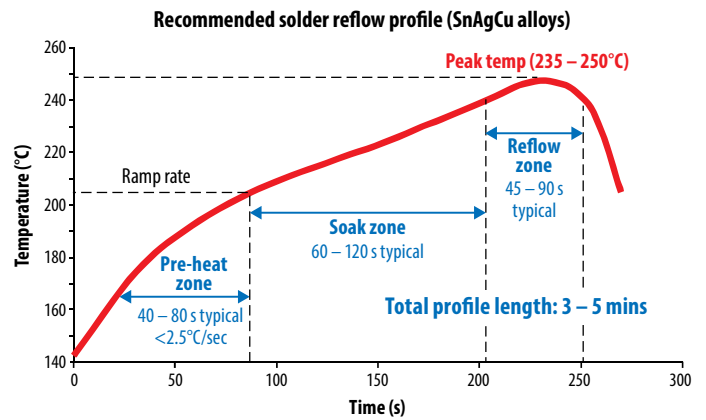


圖11: 推薦的焊錫回流焊曲線。

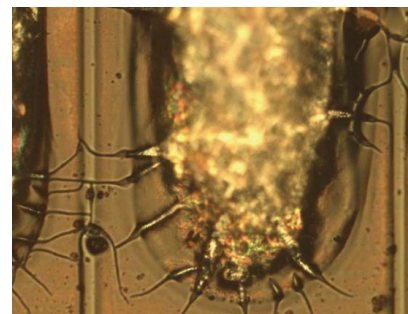
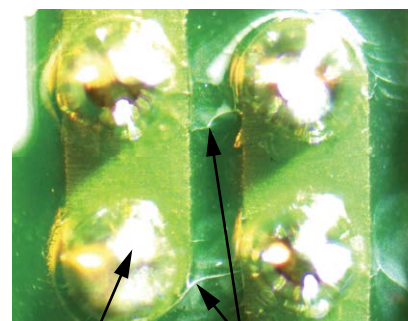


圖12: eGaN FET的焊錫條周圍，在暴露於殘留助焊劑後所形成的電枝晶。



Solder bump      Cracked flux path

圖13: 沒有晶片時，在開裂的殘留助焊劑中，熱枝晶形成的例子。

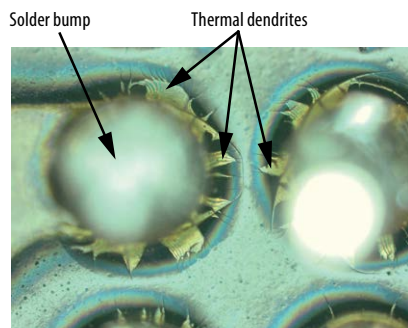


圖14: eGaN IC在開裂的殘留助焊劑中所形成的熱枝晶。

## 24. 清洗

如果組裝時所用的焊錫使用了需要清洗的助焊劑，晶片傾斜可能會阻礙沖洗並導致助焊劑殘留在晶片下面。這種殘留助焊劑會導致枝晶（見圖12）快速形成，並進一步導致早期元件故障。因此，建議使用低離子含量的免清洗助焊劑，然後清洗免清洗助焊劑。有些EPC元件需要用特定的方式清洗，從而把晶片下方清洗乾淨。請注意，必需把元件清洗乾淨以去除助焊劑。圖23中顯示EPC2001C晶片，至少從三面清洗乾淨，才可以去除所有助焊劑。

### 關於LGA和BGA封裝

元件是無鉛和無鹵素。符合RoHS的LGA和BGA封裝採用錫/銀/銅焊錫，其構成為95.5%錫、4%銀、0.5%銅；或錫/銀焊錫，其構成為97.5%錫、2.5%銀。所有無鉛產品的潮濕敏感度為1級（MSL1 260°C），即最高商用半導體級別。

### 於工程實驗室組裝元件的速查指南

工程師可以直接安裝EPC的eGaN元件在PCB板上，無需採用粘助焊劑在回流焊錫時固定元件的位置。一個可接受無鉛（PbF）製程的示例，使用Kester TSF6502免清洗助焊劑。關於晶片的放置與移除的速查指南及相關的視頻，都可以在EPC的網站中找到，網址是(<http://epc-co.com/epc/DesignSupportbr/Applications/AssemblyBasics.aspx>)。

### 總結

基板柵格陣列（LGA）和球柵陣列（BGA）封裝為工程師提供低電感、小尺寸和優越的散熱性能，從而充份發揮eGaN技術的性能。通過合適的製造技術，利用eGaN元件組裝將可實現具有高良率、長壽及高可靠性的產品。

採用LGA和BGA封裝的元件的佔板面積必須是阻焊層定義的。阻焊層設計應採用數據表上所推薦的焊盤。

正確的焊錫量和回流曲線將有助於確保所安裝的晶片都是保持在水準（level）的位置，並有足夠的間隙，以進行適當的清洗。必需從四面八方進行清洗和確保元件完全乾透，從而去除所有殘留物，否則將形成枝晶。

調整回流焊溫度曲線，以確保完全回流並避免晶片發生傾斜。

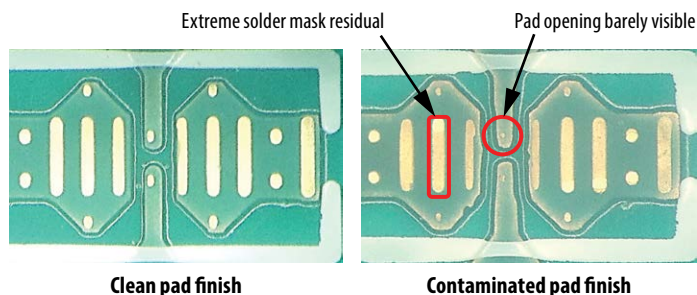


圖15: 污染焊盤與乾淨焊盤的例子。



圖16: 不良焊錫熔化的例子。

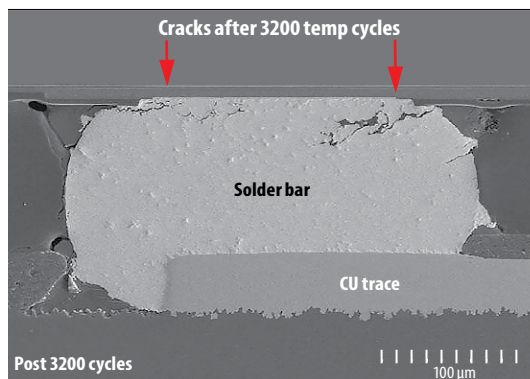


圖17: eGaN IC焊點X射線的橫截面，顯示了焊點開裂。

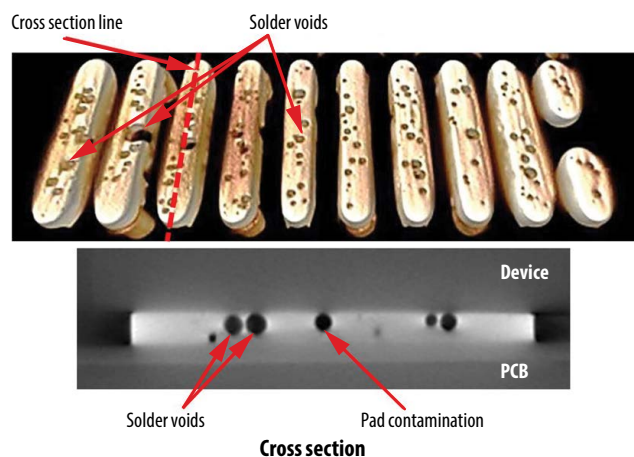


圖18: eGaN FET的3D X射線顯示了過多的焊點空洞（頂部），焊盤上的污染物在焊錫形成空洞（底部）。

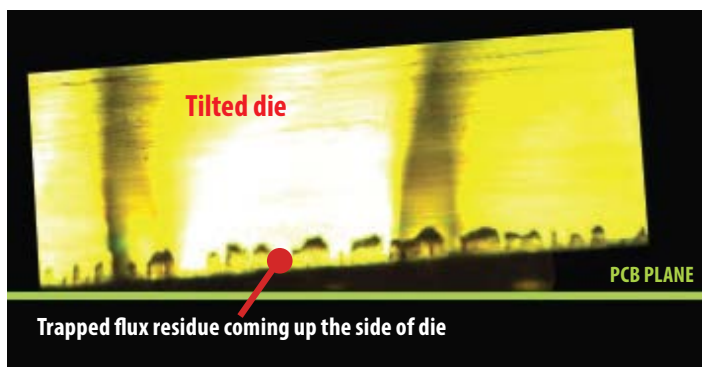


圖19: 焊接後出現嚴重晶片傾斜的eGaN元件的側面視圖。

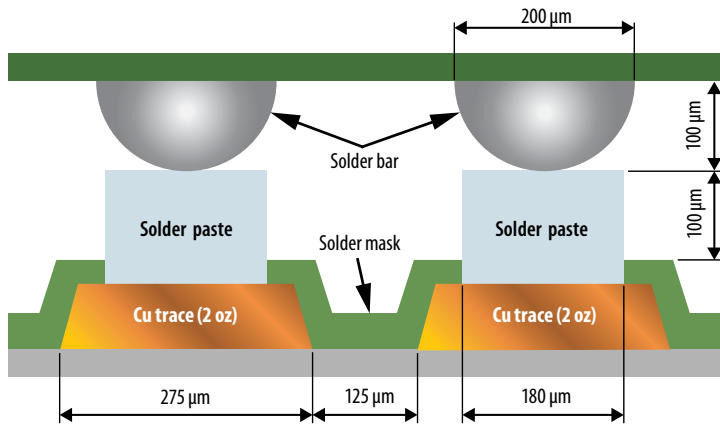


圖20: 採用EPC2001C的PCB橫截面 (回流焊之前)。

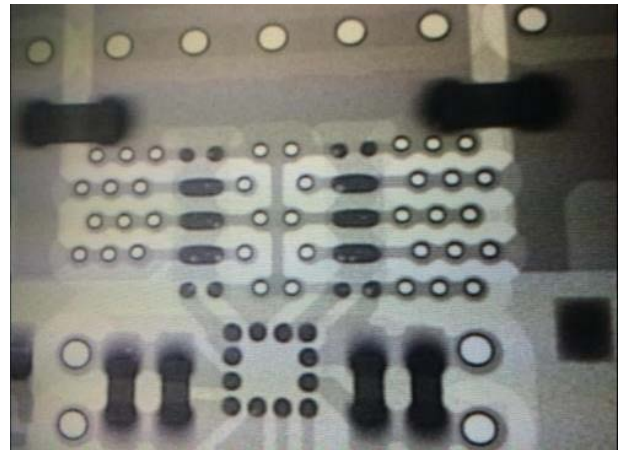


圖21: 顯示EPC2019和LM5113驅動器的X射線板。這圖像顯示了EPC元件和驅動器，焊錫條中的空洞和不均勻外觀的接點形狀。這顯示可能是焊膏量或回流焊發生問題。

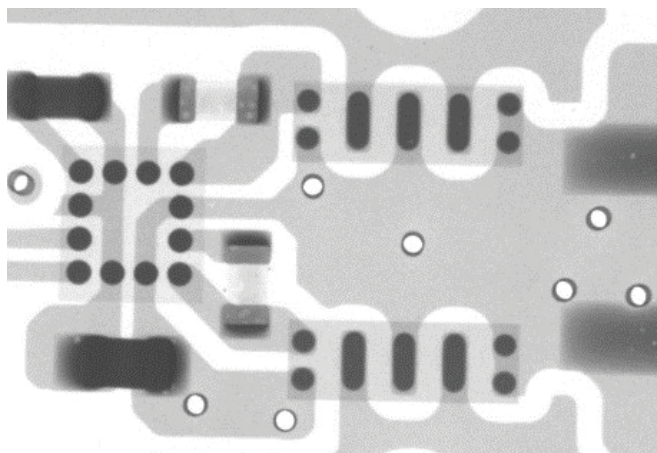


圖22: 使用了回流焊的EPC2019和LM5113驅動器的X射線。在EPC元件或驅動器中沒有明顯空洞。接點是實心的暗色，接點的形狀大小一致及平均。

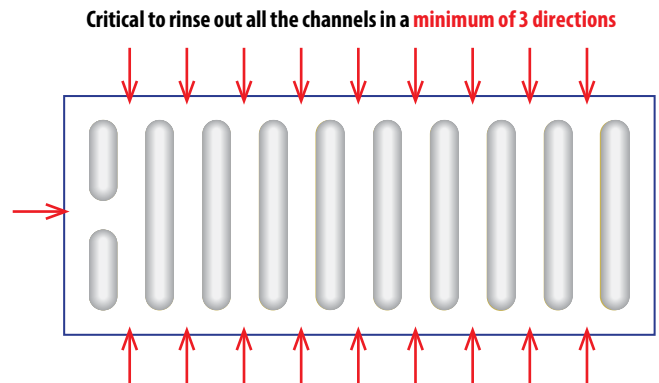


圖23: EPC2001C晶片和最少從三面清洗助焊劑的例子。

參考資料

1. A. Lidow, "Six Reasons to Rethink Power Semiconductor Packaging," <https://www.linkedin.com/pulse/six-reasons-rethink-power-semiconductor-packaging-alex-lidow>
2. A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion. Second Edition*, Wiley, ISBN 978-1-118-84476-2.
3. C. Jakubiec, R. Strittmatter, C. Zhou, "EPC eGaN® FETs Reliability Testing: Phase 8," 2016, [Online] Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase8.aspx>
4. D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," Applied Power Electronics Conference, APEC 2013, pp. 649–655, 16-21 March 2013.
5. R. Ambat, M. S. Jellesen, D. Minzari, U. Rathinavelu, M. A. K. Johnsen, P. Westermann, P. Möller, "Solder Flux Residues and Electrochemical Migration Failures of Electronic Devices," Proceedings of the Eurocorr 2009, Paper No. 8141, 6-10 September 2009.
6. "Development of Thermal Dendrites," 366-2012-Lecture7, Course: MATE 366, School: Drexel University.
7. V. Pines, A. Chait, M. Zlatkowski, "Thermal diffusion dominated dendritic growth – an analysis of the wall proximity effect," Journal of Crystal Growth 167 (1996) 383–386
8. R.F. Sekerka, S.R. Coriell, G.B. McFadden, "The effect of container size on dendritic growth in microgravity," Journal of Crystal Growth 171 (1997) 303–306
9. Denis Barbini, Ph.D. & Michael Meilunas, "Reliability of Lead-Free LGAs and BGAs: Effects of Solder Joint Size, Cyclic Strain and Microstructure," IPC APEX EXPO Conference Proceedings.
10. Muffadal Mukadam, Michael Meilunas, Peter Borgesen, Ph.D., K. Srihari, Ph.D., "Assembly and Reliability Issues Associated With Leadless Chip Scale Packages," October 2, 2006.
11. <http://www.mv-group.biz/images/loctite.pdf?nonline=208d580d695356b06651cd3ccceaabfc>
12. [http://www.shinetsu.co.jp/encap-mat/e/product/k\\_s/smc/index.html](http://www.shinetsu.co.jp/encap-mat/e/product/k_s/smc/index.html)
13. NC257-2 SAC305 Datasheet - [http://www.aimsolder.com/sites/default/files/nc257\\_sac305\\_solder\\_paste\\_tds.pdf](http://www.aimsolder.com/sites/default/files/nc257_sac305_solder_paste_tds.pdf)
14. M. de Rooij, A. Nakata, "Designing Manufacturable and Reliable Printed Circuit Boards Employing Chip Scale eGaN® FETs," International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), May 2017, pp 1399–1406.
15. A. Lidow, J. Strydom, M. de Rooij, Y. Ma, *GaN Transistors for Efficient Power Conversion. First Edition*, Chapter 10, Power Conversion Publications, ISBN 978-0-615-56925-3.

資料如有更改，  
恕不另行通知。  
2018年9月修訂版