

# eGaN® FETベースのパワー段を最適なレイアウトで設計する方法



## 動機

eGaN FETは、Si MOSFETよりもはるかに高速にスイッチングできるので、寄生インダクタンスを最小限に抑えるために、プリント回路基板のレイアウト設計に細心の注意を払う必要があります。寄生インダクタンスによって、オーバーシュートの電圧が大きくなり、スイッチングの遷移が遅くなります。このアプリケーション・ノートでは、これらの不要な影響を避け、コンバータの特性を最大限に引き出すために、eGaN FETを使って最適なパワー段のレイアウトを設計するための鍵となるステップについて検討します。

## スイッチング動作への寄生インダクタンスの影響

図1に示すように、3つの寄生インダクタンス、すなわち、1) パワー・ループのインダクタンス ( $L_{loop}$ )、2) ゲート・ループのインダクタンス ( $L_g$ )、3) 共通ソースのインダクタンス ( $L_s$ ) によって、スイッチング特性が制限されます。eGaN FETのチップスケール・パッケージは、トランジスタ自体の内部において、インダクタンスをかなり排除しているので、主な制限要因としてプリント回路基板が残ります。各寄生インダクタンスは、動的電流経路とその戻りループによって囲まれる全領域によって生じます (WP009: 特性への寄生容量の影響を参照)。

## eGaN FETベースのパワー段の最適レイアウト

パワー・ループとゲート・ループのインダクタンスの最小化は、最適な戻り経路を形成するためにプリント回路基板内部の層を利用することで実現できます。デカップリング・コンデンサは、ハイサイドのトランジスタのドレインの近くに配置されています。プリント回路基板のビアは、インダクタンスを低く保つために、誘電体の厚さを意図的に薄く保った第1の内部層を経由して、コンデンサの接地端子をローサイドのソースに接続するために使われます。この最適レイアウト手法の例が図2です。

ゲート・ドライバは、各トランジスタ、または、それが駆動するトランジスタのゲート端子とソース端子に、できる限り近くに配置し、バイパス/ブートストラップ・コンデンサとゲート抵抗は、ゲート電流の方向がパワー・ループに対して直交するように配置しなければなりません。共通ソース・インダクタンスを最小化するには、ゲートの戻り電流経路をソース端子のパワー・ループと分離することが重要です。

詳細については、以下の資料を参照してください。

- ・書籍: GaNパワー・デバイスとアプリケーション
- ・ウェビナ: GaNデバイスの性能を最大化するためのレイアウト手法

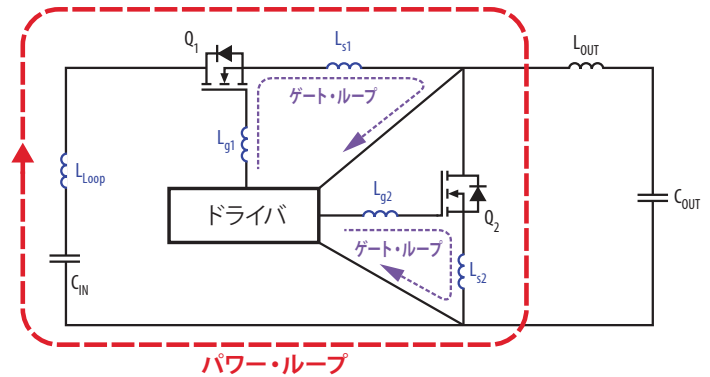


図1: 寄生インダクタンスと動的電流ループを強調した eGaN FETベースのパワー段の等価回路

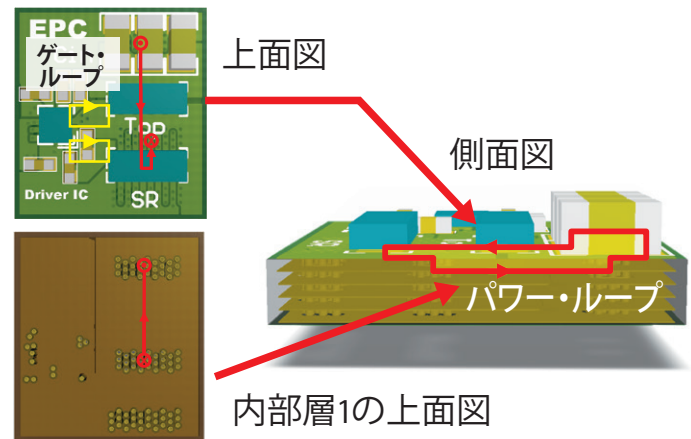
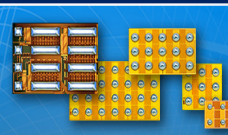


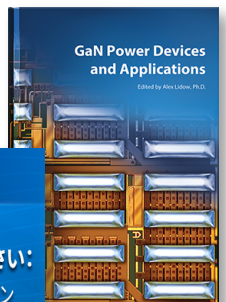
図2: 動的電流ループ経路を強調したeGaN FETベースのパワー段の最適レイアウト

## オンデマンド GaNのウェビナ・シリーズ



焦点を絞ったウェビナのEPCの GaNエキスパートに参加してください:

- ・設計のヒント・GaNのアプリケーション
- ・市場のサクセス・ストーリー・信頼性



## 最適なレイアウトがコンバータ特性にどのように役立つか

eGaN FETを使ったコンバータ・システムは本質的に、同等のSiベースの設計よりも優れており、最適なレイアウト技術によって、これらの利点が一段と強化されます。図3は、500 kHzで動作する48 V入力、12 V出力のバック・コンバータにおけるeGaNの利点を示しています。S308パッケージの100 VのSi MOSFETと100 VのeGaN FETであるEPC2045とを比較しています。どちらのコンバータも最適なレイアウト技術を採用していますが、超小型チップスケールのEPC2045は、大きなSi MOSFETよりもループ・インダクタンスがかなり小さくなります。図3は、GaNの高速スイッチング能力とループ・インダクタンスが小さいことの組み合わせによって、Si版と同じピーク・オーバーシュート電圧を維持しながら、eGaN版は電圧のスルーレートが5倍に達していることを示しています。スイッチング・エッジの高速化は、システム特性に非常に大きな影響を与えます。

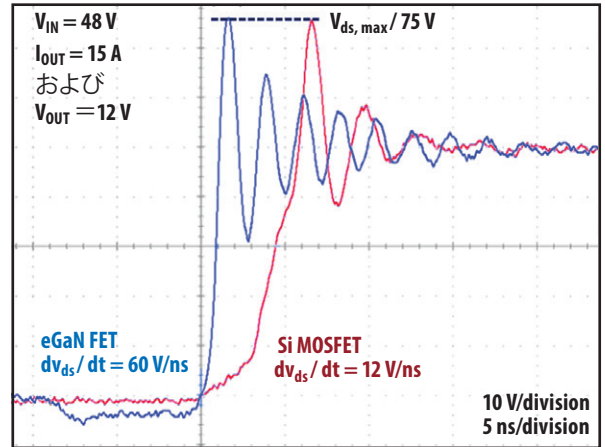


図3: 100 VのSi MOSFETの例に対するeGaN FET (EPC2045)を使った最適なレイアウトの48 V入力、12 V出力のバック・コンバータのスイッチ・ノードの波形の比較。

## モノリシックのeGaNハーフブリッジIC

eGaN ICのモノリシック化によって、ループ・インダクタンスがさらに改善されます。例えば、図4は、10 Aで48 V入力、12 V出力の1 MHzバック・コンバータとして動作する場合のモノリシック・パワー段EPC2152 (緑色の線)のシステム効率です。図4の黒い「X」は1 MHzでの最先端のシリコン・ソリューションの性能の比較です。GaNモノリシック・パワー段は、シリコンのソリューションと比べて、電力損失を50%削減できます。

図4は、ドライバとパワーFETを同じチップに集積することによって得られる利点も示します。青色の線は、同一のハーフブリッジで測定された効率ですが、ディスクリートGaN FETと、別のSiベースのICでのドライバとレベル・シフト回路を使っています。効率が大幅に向上する2つの主な理由は、(1)ドライバとパワー・デバイスが同じチップ上で密接に接続している場合のゲート・ループのインダクタンスの減少、および(2)2つのパワーFETのモノリシック集積化によって、パワー・ループの全体のインダクタンスが半分になります。

## 結論

eGaN FETはスイッチング速度が速いので、寄生インダクタンスを最小限に抑え、これらの高度なデバイスを十分に活用するために、パッケージとレイアウトの技術の改善が必要です。チップスケールのeGaN FETは、パッケージのインダクタンスをほぼゼロに低減すると同時に、プリント回路基板のパワー・ループを超低インダクタンスにできます。プリント回路基板のレイアウトを最適化することは、eGaN FETベースの設計の特性を最大化するための重要なステップです。

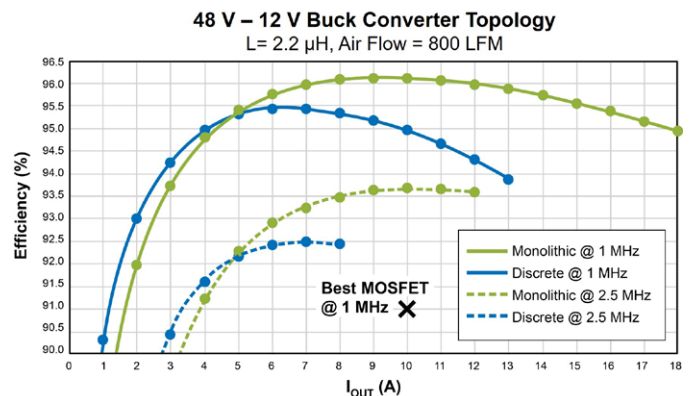


図4: 1 MHzで動作するパワー段EPC2152 (青色の線)は、10 Aでの全体的な電力損失(コイルと制御ICを含む)で、48 V<sub>IN</sub>、12 V<sub>OUT</sub>で動作する場合の最良のSi MOSFETソリューション(黒色のX)よりも50%低くなっています。緑色の線は、パワー段がシリコンICによって駆動されるディスクリートGaN FETで形成された場合の性能の比較です。

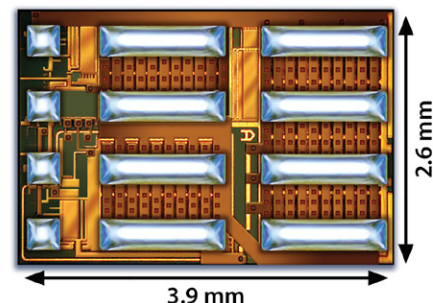


図5: 80 V、15 AのePower™ Stage ICのEPC2152。

## 詳細については、

info@epc-co.comに電子メールで、またはお近く

の販売代理店にお尋ねください

EPCのウェブサイト: [epc-co.com/epc/jp/](http://epc-co.com/epc/jp/)

[bit.ly/EPCupdates](https://bit.ly/EPCupdates) に登録、または22828に「EPC」とテ

キスティングすれば、EPCの最新情報を受信できます



eGaNは、Efficient Power Conversion Corporation, Inc.の登録商標です

