

エンハンスメント・モードGaNのFETとICの視覚特性評価ガイド



Alana Nakata、プロダクト・エンジニアリング部門バイス・プレジデント、Efficient Power Conversion Corporation

EPCのエンハンスメント・モードのトランジスタと集積回路の物理的特性の詳細な説明は、すべてのデバイスがユーザー向けに出荷される前に満たさなければならない視覚的基準を含めて示されています。この記事は、「eGaN FETのアセンブリ」¹と「EPCのGaNトランジスタのパラメータ特性のガイド」²の2本の関連記事と組み合わせて使い、エンハンスメント・モードGaNのFETとICの先進的な形状を利用する回路とシステムを開発するための一連のツールを提供します。この結果として前例のない性能を引き出します。

窒化ガリウム (GaN) 技術の概要

2009年6月、Efficient Power Conversion Corporation (EPC) は、パワーMOSFETの代替として特別に設計された最初のエンハンスメント・モードの窒化ガリウム・オン・シリコン・パワー・トランジスタを作製し製品化しました。これらの製品は、標準のシリコン製造技術と設備を使って、低コストで大量生産するために開発されました。EPCのGaN技術の詳細については、www.epc-co.com/epc/jpをご覧ください。

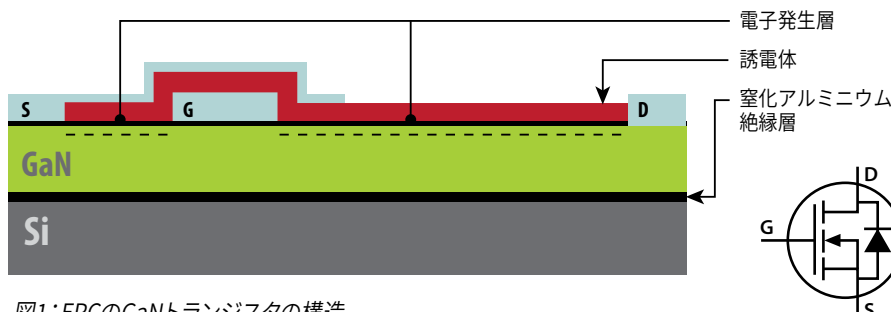


図1: EPCのGaNトランジスタの構造

構造

デバイスの費用対効果は、既存の製造インフラを活用することから始まります。EPCのプロセスはシリコン・ウェハーから始まります。窒化アルミニウム (AlN) の薄い層をシリコン上に成長させて、デバイス構造を基板から絶縁します。このAlNの上に、高抵抗のGaNの厚い層を成長させます。この層は、アクティブ・トランジスタを構築するための基盤を提供します。アルミニウム、ガリウム、および窒素 (AlGaIn) で構成される電子生成材料がGaNの上に適用されます。この層は、そのすぐ下に豊富な自由電子を発生させます。さらに処理すると、ゲートの下に空乏領域が形成されます。トランジスタをエンハンスするために、nチャネルのエンハンスメント・モード・パワーMOSFETをオンにすると同じ方法で、正の電圧をゲートに印加します。この構造の断面を何度も繰り返して、完全なパワー・デバイスを形成しています。これが図1です。最

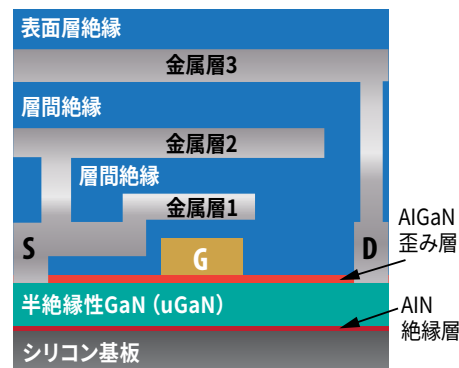


図2: デバイスの構造

終結果は、パワー・スイッチングのための本質的にシンプルで費用対効果の高いソリューションです³。EPCのGaNトランジスタは、ゲート、ドレイン、ソースの3つの端子すべてがチップの表面にある横型デバイスです。通常、EPCデバイスには、アクティブ・デバイスを外部と接続するために使う3層の金属があります(図2)。次に、図3に示すように、表面の金属層がはんだバンプの基盤として使われます。この構成によって、EPCのGaNトランジスタは、従来のパワーMOSFETパッケージの不要な要素、すなわちインダクタンス、熱抵抗、電気抵抗が大きく、コストが高く、信頼性を損なう要素を排除できます。

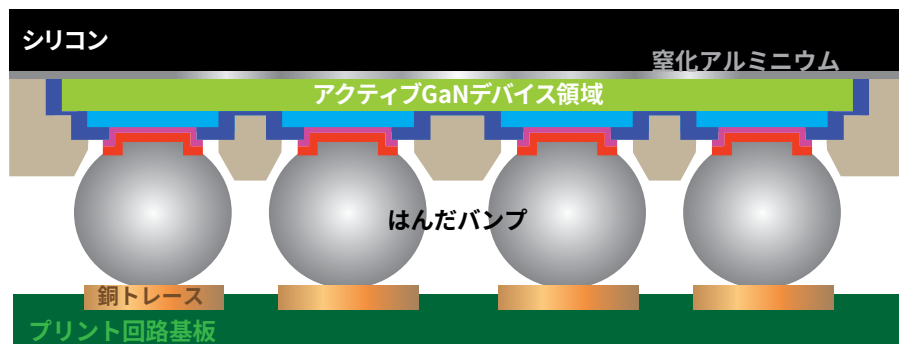


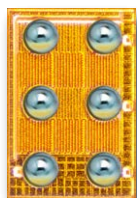
図3: フリップチップ

ビジュアル・ツアー

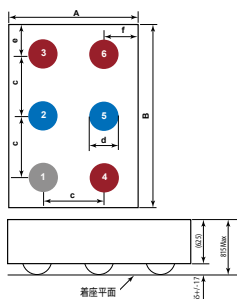
このセクションでは、選択したEPCのGaNトランジスタと集積回路の bumps および側面図が示されています。はんだバー、または、はんだボールは、プリント回路基板に信頼性の高い直接接続を確立するために使われます。複数の二酸化シリコン層と窒化シリコン層の上にあるポリイミド・コーティングを使って、アクティブ・デバイスを外部環境から密閉します。

このセクションでは、EPCのeGaN FETとICの一部を示します。製品の完全なリストについては、次のウェブサイトを参照してください：<https://epc-co.com/epc/jp/製品/eGaNfETとIC.aspx> (ダウンロード可能なPDF: 部品番号をクリックして、詳細ページに移動し、EPCのウェブサイトにあるデータシートにアクセスしてください)。

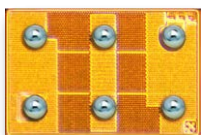
EPC2040



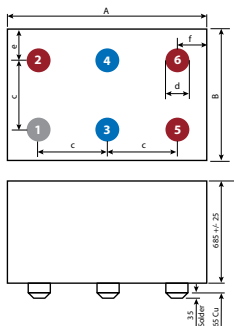
0.85 mm×1.2 mm
最大チップ・サイズ (μm) :
880×1230



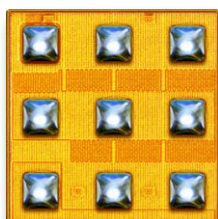
EPC2051



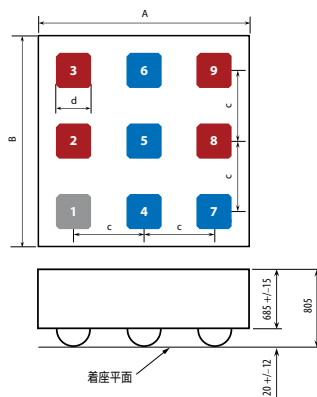
1.3 mm×0.85 mm
最大チップ・サイズ (μm) :
1330×880



EPC2214



1.35 mm×1.35 mm
最大チップ・サイズ (μm) :
1380×1380

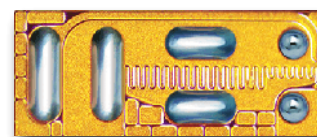


EPC8002

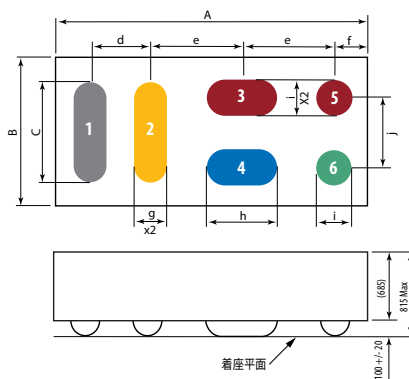
EPC8004

EPC8009

EPC8010



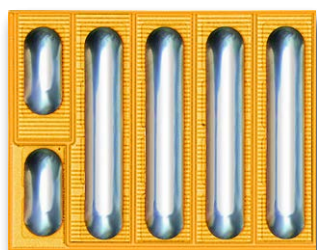
2.05 mm×0.85 mm
最大チップ・サイズ (μm) :
2080×880



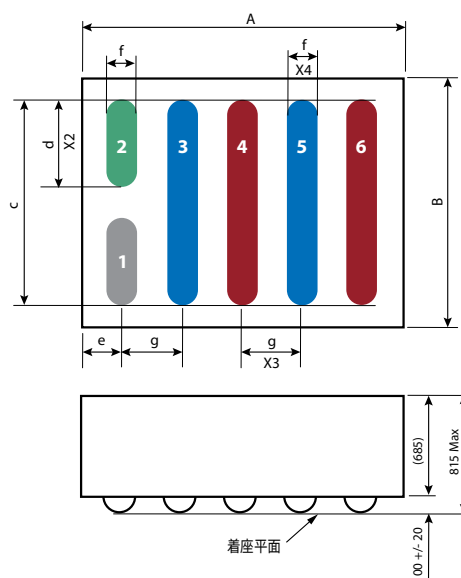
EPC2202

EPC2212

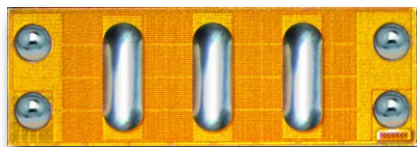
EPC2016C



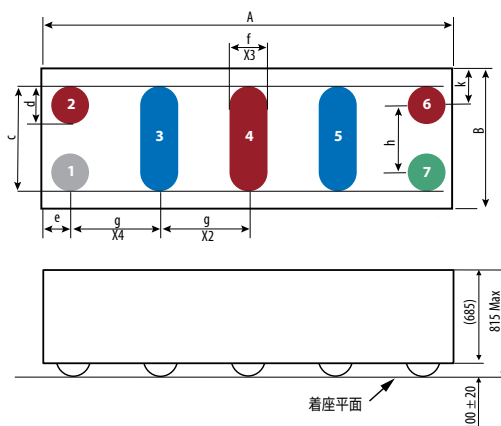
2.1 mm×1.6 mm
最大チップ・サイズ (μm) :
2136×1662



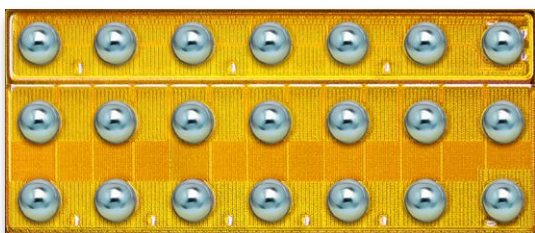
EPC2019



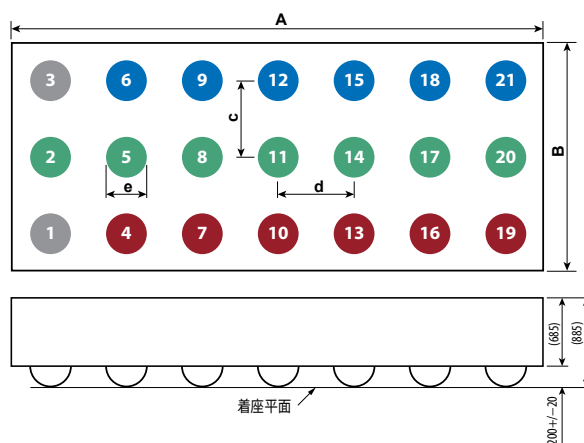
2.77 mm×0.95 mm
最大チップ・サイズ (μm) :
2796×980



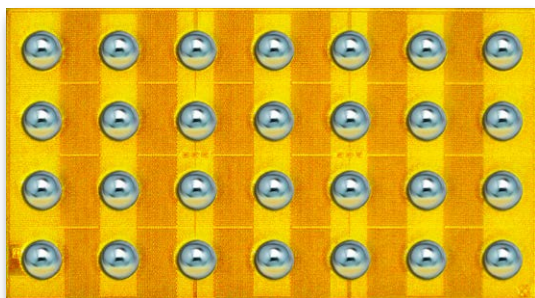
EPC2111



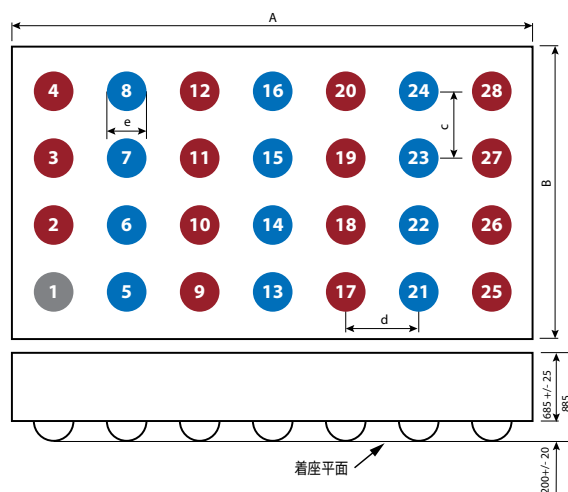
3.5 mm×1.5 mm
最大チップ・サイズ (μm) :
3530×1530



EPC2053

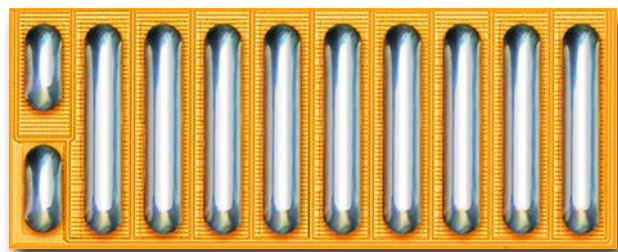


3.5 mm×2 mm
最大チップ・サイズ (μm) :
3530×1980



EPC2015C

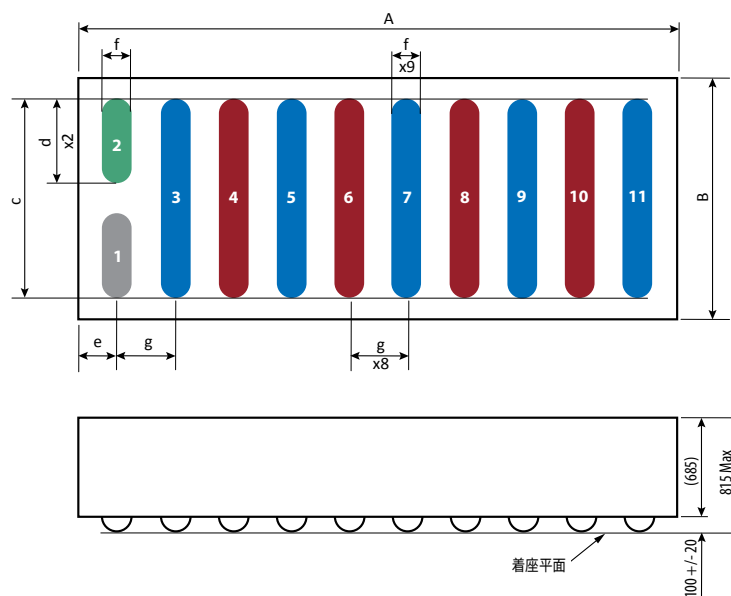
EPC2001C



4.1 mm×1.6 mm

最大チップ・サイズ (μm) :

4135×1662



EPC2029

EPC2030

EPC2031

EPC2032

EPC2033

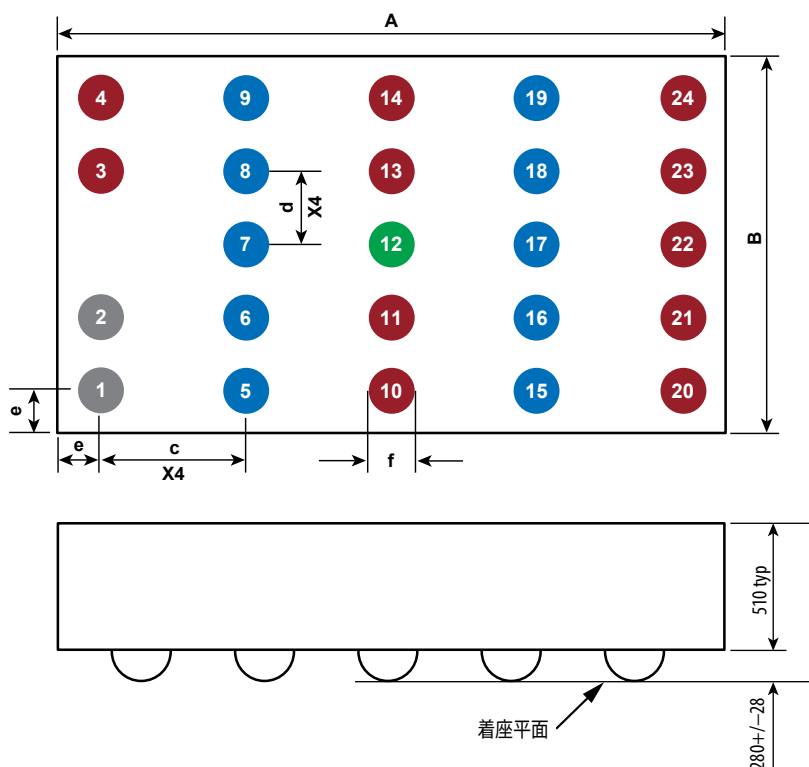
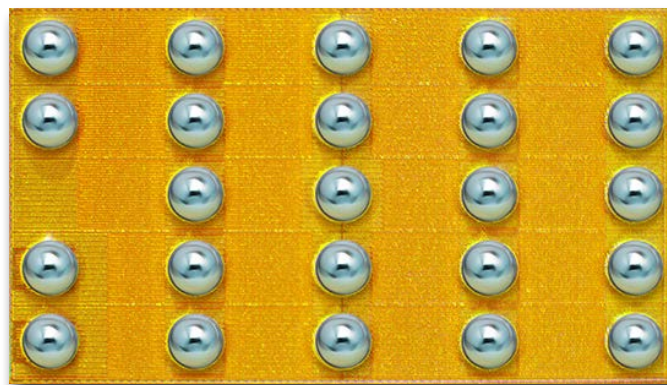
EPC2034

EPC2034C

4.6 mm×2.6 mm

最大チップ・サイズ (μm) :

4135×1662

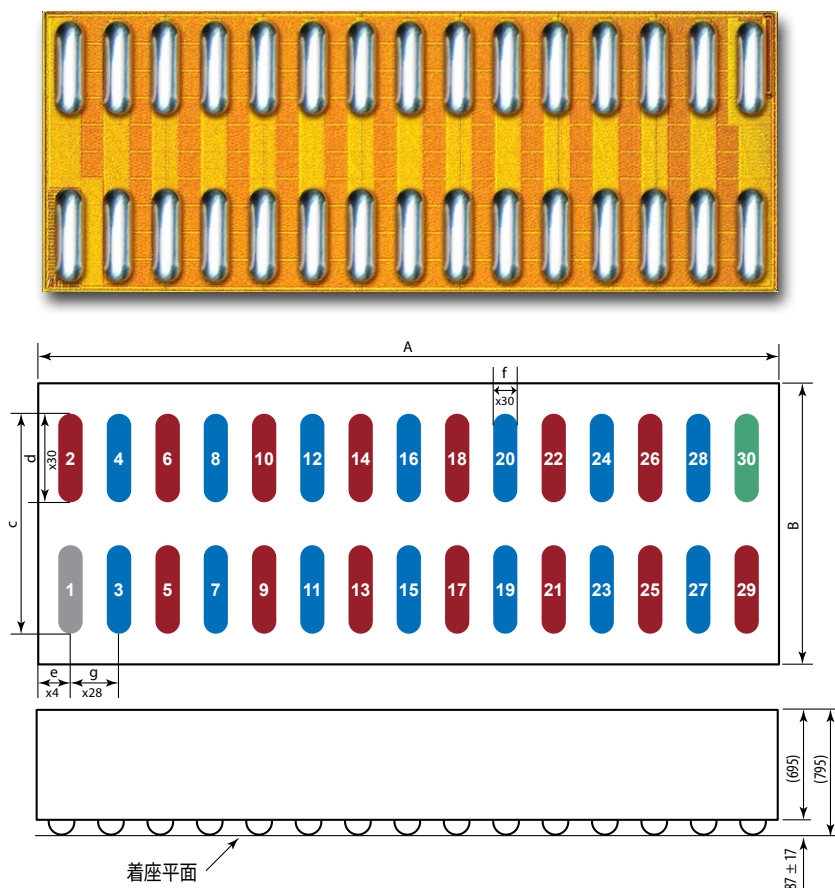


EPC2020
EPC2021
EPC2022
EPC2023
EPC2024
EPC2206

6.05 mm×1.6 mm

最大チップ・サイズ (μm) :

6080×2330

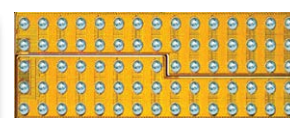
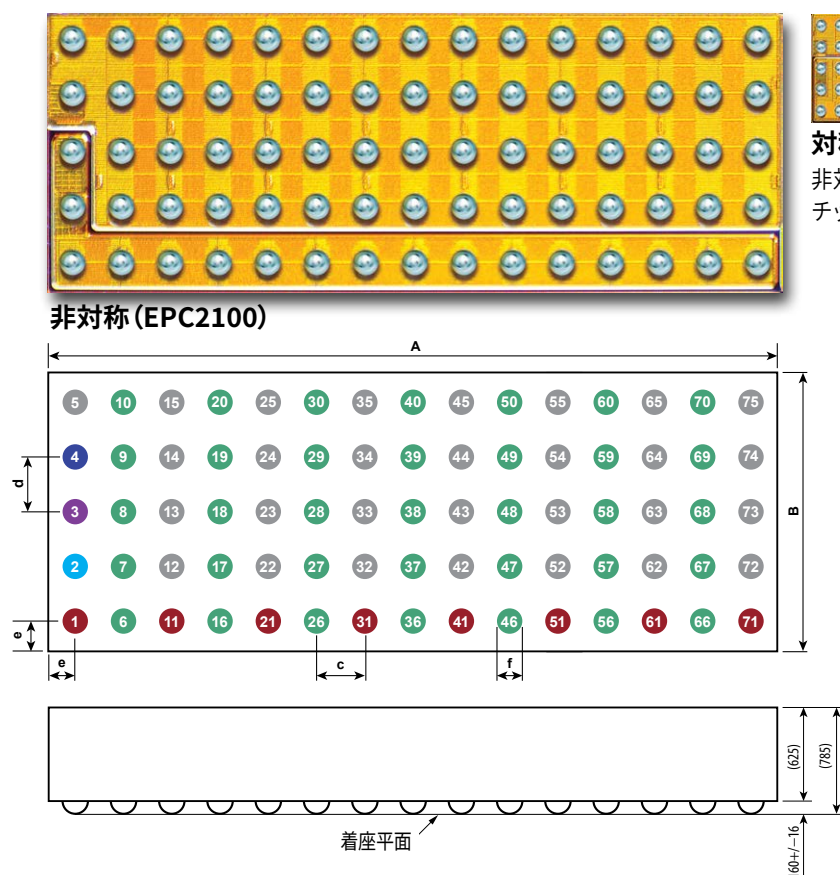


EPC2100-非対称
EPC2101-非対称
EPC2102-対称
EPC2103-対称
EPC2104-対称
EPC2105-非対称

6.05 mm×2.3 mm

最大チップ・サイズ (μm) :

6080×2330



対称

非対称構成と同じ
チップ・サイズ

このセクションでは、EPCのeGaN FETとICの一部を示しました。製品の完全なリストについては、次のウェブサイトを参照してください：

<https://epc-co.com/epc/jp/製品/eGaNfETとIC.aspx>

EPCは、これらのデバイスが非常に丈夫になるように設計しました。図4は、極端な機械的な誤用の後に、意図的にテストされたデバイスの例です。

図4a、b、c: 極端な機械的損傷のあるEPCトランジスタは、長期信頼性試験に完全に耐えました。この基板はデバイスに対して電氣的にアクティブではないことに注意してください。



図4c: 部品EPC1001 (上) は、 -40°C から 125°C の間で1000サイクルのTC (温度サイクル) 試験に合格しました。チップ幅は約 $1900\text{ }\mu\text{m}$ 。裏面の欠けは $250\text{ }\mu\text{m}$ 以上です。

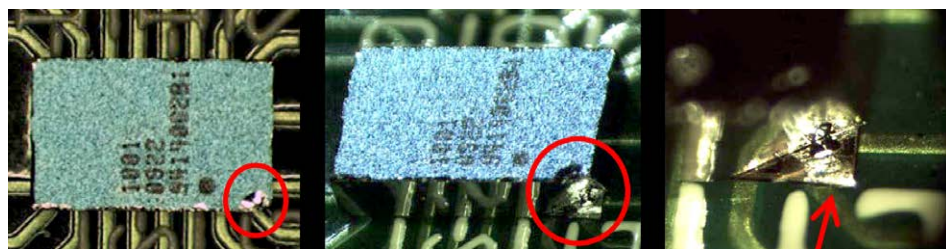


図4a: 視認による除外部品を上の写真に示します: 上の部品EPC1001は、 125°C で100 Vバイアスを加えて1000時間のHTRB (高温逆バイアス) 試験をした写真。チップの裏面は、チップの前面まで伸びています。右端: (矢印で示された領域) 1000時間のHTRB経過した後、角の上にぶら下がっているサポートされていないチップ構造。



図4b: 上の図に示されている視認除外部品: 角にかなりの欠けがある部品EPC1001。裏面の欠けが欠けを通して広がっています。チップは、まだアプリケーションで機能していました。プリント回路基板からの取り外した後のチップが示されています。

エッジの保護構造は、デバイスのアクティブ領域への損傷リスクを軽減します。図5は、標準的なエッジ構造の顕微鏡画像です。分かりやすくするために、元の設計プロットも左側に表示しました。組み立て中は、欠けやクラックが2つのダミー金属リングを超えないように注意する必要があります。

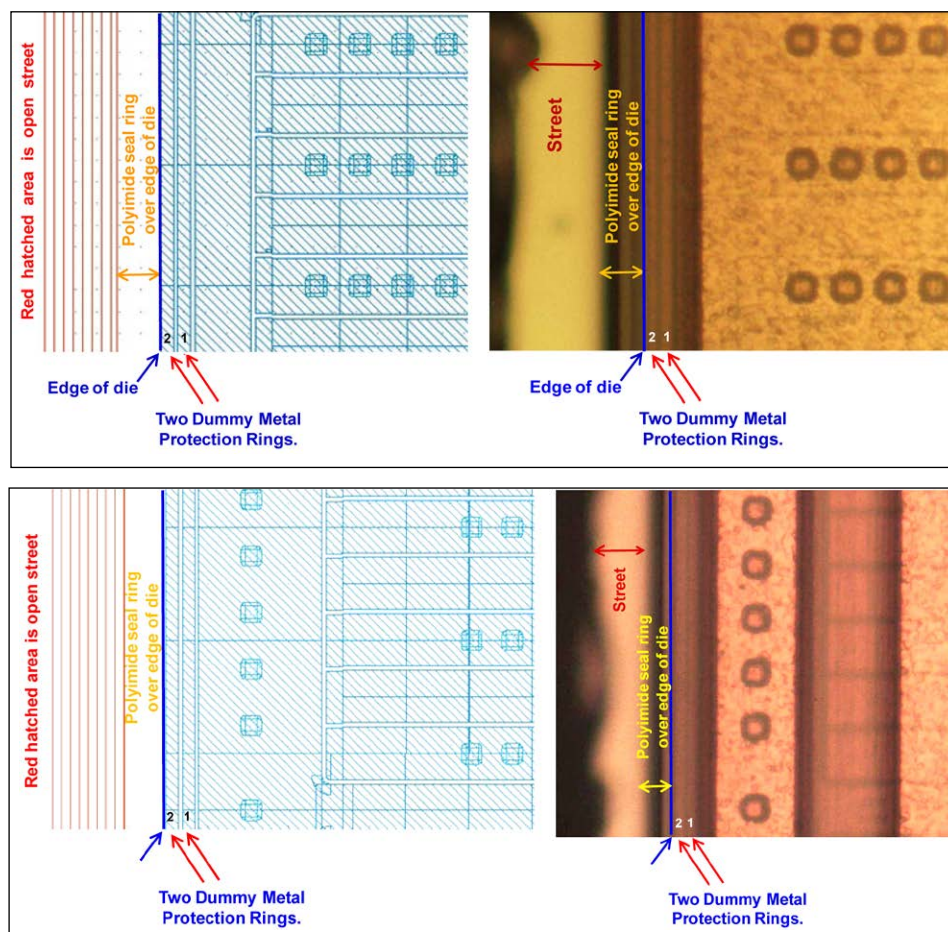


図5: EPCのチップ表面は、欠けがデバイスのアクティブ領域に侵入する可能性を軽減するように設計されています。写真は、2つのダミー金属リングとポリイミド・コーティングを含むエッジ構造です。

出荷基準

出荷前に、EPCデバイスの100%が電氣的にテストされ、目視検査されます。表1aと1bに、このアプリケーション・ノートの執筆時点で使われている視覚的な承認／除外の基準の概要をまとめました。次のページの表2aと2bに、これらの基準に対して測定された良好なチップと不良チップの両方のいくつかの例を示します。

表1a: 表面の目視検査基準

チップ表面 目視検査の分類	除外基準
残存ストリートの量	欠け／クラックが、2番目の（外側の）金属ダミー・リングを超えていなければ、残存ストリートの量はゼロになる可能性があります
欠け／クラック	欠け／クラックが2番目（外側、2番目）の金属ダミー・リングを超えている
損傷したはんだバンプ	バンプ間隔の元の距離の50%以上のはんだの引きずりや変位；バンプの高さが元の高さの30%に低くなる欠陥
異物	任意の2つのバンプを結ぶ異物
汚染／欠陥／金属残留物／ブリッジ材 (汚れやひどい変色として現れる場合があります)	バンプ間隔の元の距離の50%以上、または、隣接する金属線間の分離を消滅させる任意の汚染、欠陥、金属残留物、ブリッジ材
インクの点	チップ表面のインク
バンプの欠落	任意のバンプの欠落
粒子	粒子がバンプ間隔の元の距離を50%短くする場合は除外
ポリイミドのはく離、不良	2つの隣接する表面金属層をブリッジする領域
プローブ・マーク	プローブ・マークがなければ除外
プローブ針の引きずり	バンプ間隔の元の距離の50%以上のはんだの引きずりや変位、または金属線の交差
ひっかき傷	バンプ下の金属ブロックの幅の25%以上のポリイミドのひっかき傷

表1b: 裏面の目視検査基準

注: 基板はデバイスに対して電氣的にアクティブではありません

チップの裏面 目視検査の分類	除外基準
欠け／クラック	バンプなしの欠けの厚さの公称値は、各デバイスのデータシートに記載されている。MIL883では、欠けの深さがチップ全体の厚さの50%を超える場合は不合格。日付コード1944*で記載、欠けが任意のエッジで深さ100 µmを超える場合は除外
型番EPCXXXXの裏面マーキングを修正、裏面レーザー・マークの最初の行はXXXX	EPCの型番が最初のケガキ線で正しくない場合、またはマーキングが判読できない場合は除外
ポケットの向き	ポケットの方向が間違っている（位置決め点がキャリア・テープ穴の近くになければならない）
粒子	仕様策定中
ひっかき傷	仕様策定中
汚れ／変色／焼け跡	レーザー・マークが読めない

*注: 日付コード1944より以前は、欠けが広さ250 µmを超える場合は除外。

表2a: 承認／除外の分類のEPCのチップ表面の視覚的な例

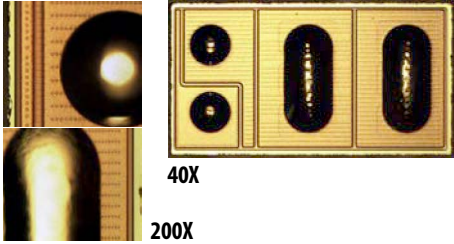
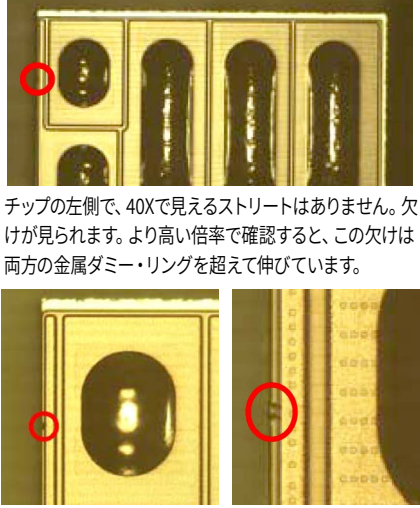
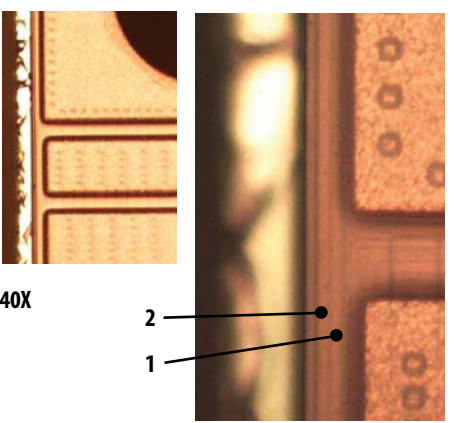
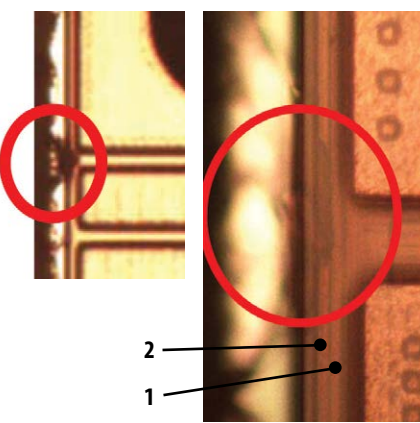
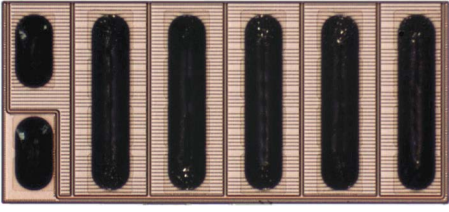
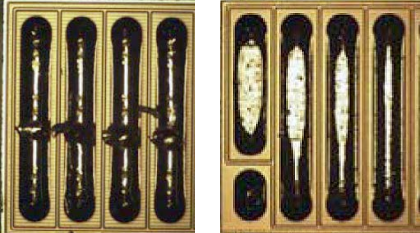
	承認	除外
残存ストリートの量 除外基準 残存ストリートの量は、欠け／クラックが2番目の（外側の）金属ダミー・リングを超えていなければ、ゼロにすることができます。 欠けとクラックのセクションを参照してください	承認  40X 200X 上の写真では、チップ周囲すべてに見られるストリート（細い白い線）。残存ストリート幅は変わる可能性があります。  40X 200X チップの左側の40Xで目に見えるストリートがなく、200Xで外側の金属ダミー・リングにクラックはありません。	除外  100X 200X チップの左側で、40Xで見えるストリートはありません。欠けが見られます。より高い倍率で確認すると、この欠けは両方の金属ダミー・リングを超えて伸びています。 100Xで左側の欠けが見られ、両方のダミー金属リングを越えています。200Xでは、両方のダミー金属リングを越える欠陥が確実に分かります。
欠け／クラック 除外基準 欠け／クラックが2番目（外側、2番目）の金属ダミー・リングを超えている	承認  40X 2 1 チップ・エッジ設計の1つのタイプの2つの金属ダミー・リングの400Xの写真。	除外  2 1 400Xの写真。欠陥は2番目の金属ダミー・リングの外側を越えています。
損傷したはんだバンプ 除外基準 はんだの引きずりまたは変位が、バンプ間隔の元の距離の50%を超える；バンプの高さが元の高さの30%減少する欠陥	承認  きれいなチップ	除外  はんだの引きずり 押しつぶされたバンプ

表2a: 承認/除外の分類のEPCのチップ表面の視覚的な例 (続き)

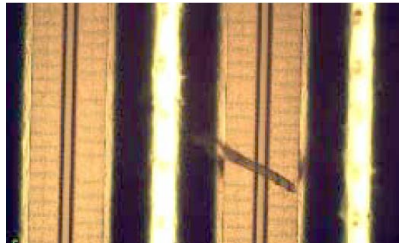
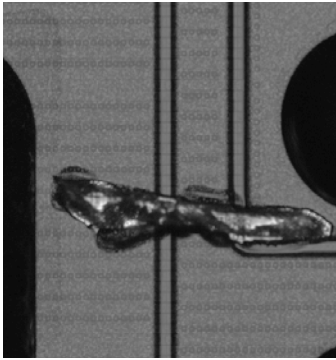
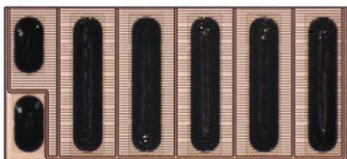
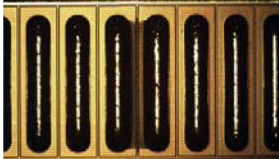
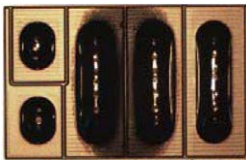
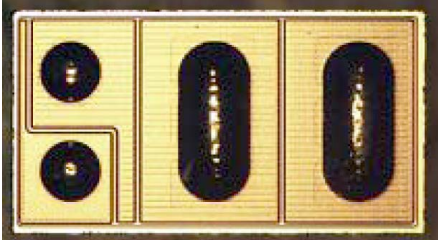
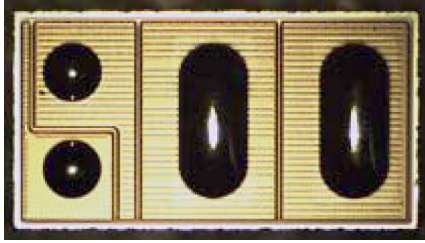
異物	承認	除外
除外基準 任意の2つのバンプをつなぐ異物	 異物なし(写真ではストリートがない)	 異物がブリッジしたバンプ
汚れ/欠陥/金属残留物/ブリッジ材料	承認	除外
除外基準 バンプ間隔の元の距離の50%を超えるか、隣接する金属線間の分離をなくす任意の汚れ、欠陥、金属残留物、またはブリッジ材料	 ブリッジなし、汚れなし(ストリートは写真では見えません)	 [台湾KVEEC社提供の画像]
インク点	承認	除外
除外基準 チップ表面のインク	  これらのチップにはインクがありません	  チップにインク点が見えます
プローブ・マーク	承認	除外
除外基準 プローブ・マークがない場合は除外	 このチップには、バンプにプローブ・マークがあります	 プローブ・マークなし:除外します

表2a: 承認／除外の分類のEPCのチップ表面の視覚的な例 (続き)

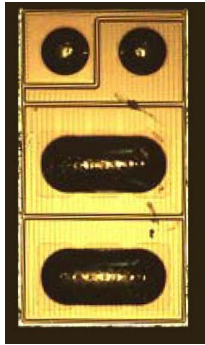
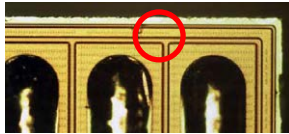
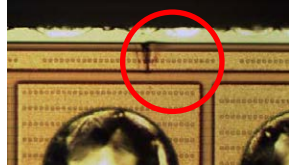
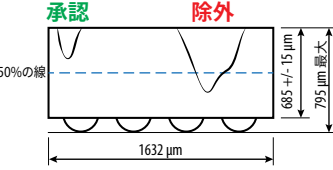
	承認	除外
引っかき傷 除外基準 バンプまたはブリッジした金属線の下の金属ブロックの幅の25%を超えるポリイミドの引っかき傷	 引っかき傷なし	 金属線をまたぐ引っかき傷   すべての金属ダミー・リングと最初の金属3リングにわたる引っかき傷による切断

表2b: 承認可能な分類と除外可能な分類のEPCチップの裏側の視覚的な例

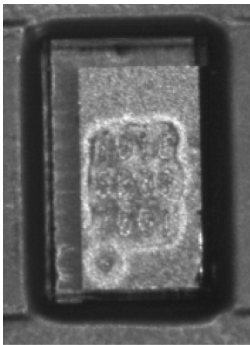
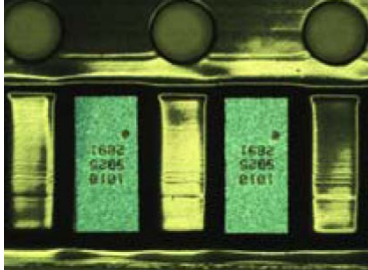
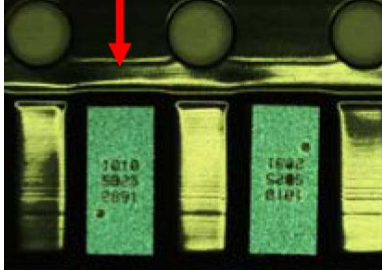
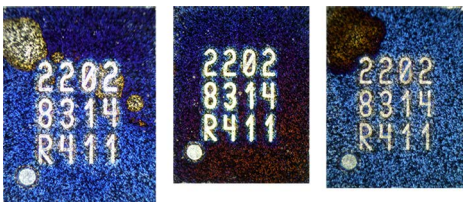
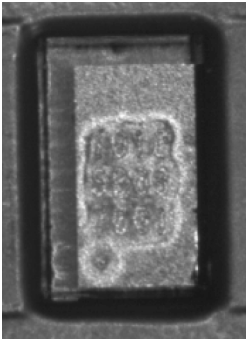
注: 基板はデバイスに対して電氣的にアクティブではありません

	承認	除外
裏面の欠け／クラック 除外基準 公称の欠けの厚さは、各デバイスのデータシートに記載されています。MIL883は、欠けの深さがチップ全体の厚さの50%を超える場合は除外します。日付コード1944*を記入し、欠けが任意のエッジから100 μmを超える深さの場合は除外。 チップの裏面の欠けの詳細 公称の欠けの厚さは、各デバイスのデータシートに記載されています。MIL883は、欠けの深さがチップ全体の厚さの50%を超える場合は除外します。日付コード1944*を記入し、欠けが任意のエッジから100 μmを超える深さの場合は除外。最大の長さが1632 μmの型番EPC2007Cの例を以下に示します: 	 チップの幅は0.9 mm以上 欠けの幅は100 μm以下  左と同じチップ: 裏面の欠けは 非常に浅い	 チップの幅は1.6 mm、欠けの幅は100 μm以下。 左下の角がチップの前面に崩壊

*注: 日付コード1944より前は、欠けの幅が250 μm を超える場合は除外

表2b: 承認可能な分類と除外可能な分類のEPCチップの裏側の視覚的な例 (続き)

注: 基板はデバイスに対して電氣的にアクティブではありません

	承認	除外
型番EPCXXXXの裏面マーキングを修正し、裏面レーザー・マークの最初の行はXXXX*になります 除外基準 最初のケガキ線のEPCの型番が正しくない場合、またはマーキングが判読できない場合は除外 裏面のレーザー・マークの2行目と3行目は、ロットのトレーサビリティ用 *特定のデバイスの部品のマーキング仕様については、データシートを参照	承認  EPC1010: 上の行は1010  EPC1012: 上の行は1012 変色しているが、読める	除外  読めない [写真はKYEC社の提供]
ポケットの向き 除外基準 ポケットの向きが正しくない (位置決め点は、キャリア・テープの穴に近い側になければなりません)	承認  キャリア・テープの穴と位置決め点は、いずれもテープのこちら側にあります	除外  左側のチップの向きが間違っている。 位置決め点がキャリア・テープの穴の反対側にある
汚れ／変色／焼け跡 除外基準 レーザー・マークが読めない	承認  レーザー・マークが読める  変色しているが、読める  裏面外観の変色	除外  読めない [写真はKYEC社の提供]

参考文献:

- [1] epc-co.com/epc/documents/product-training/Appnote_GaNAssembly-jp.pdf (AN009: eGaN FETと集積回路のアセンブリ)
- [2] epc-co.com/epc/documents/product-training/Characterization_guide-jp.pdf (AN004: eGaN/パラメータ特性のガイド)
- [3] epc-co.com/epc/documents/product-training/Appnote_GaNfundamentals-jp.pdf (AN002窒化ガリウム・パワー・トランジスタの基礎 (eGaN FETの基本))