



The eGaN® Technology
Journey Continues



eGaNデバイスのゲート故障メカニズムと
動的オン抵抗 $R_{DS(on)}$ の物理ベースのモデル
Alex Lidow, Ph.D.

本日は、ご参加いただき、ありがとうございます。

このウェビナーでは、eGaNデバイスのゲート故障メカニズムと動的オン抵抗 $R_{ds(on)}$ の物理ベースのモデルを使って、電圧と温度のすべての範囲でeGaNデバイスの寿命を予測する方法について説明します。

Thank you for joining us today.

In this webinar we will explain how physics-based models of eGaN device gate failure mechanisms and of dynamic $R_{ds(on)}$ can be used to project the lifetime of an eGaN device over all voltages and temperature ranges

チップとパッケージのストレス・テスト



RELIABILITY REPORT Phase Twelve Testings

EPC eGaN® Device Reliability Testing: Phase 12

Authors: Barry H. J., Steven Napp H. L., Gordon Lichten H. J., Donald Galbraith and Steve H. J., Chao Tang H. J., and Robert Lichten H. J., EPC Power Conversion

The rapid adoption of Efficient Power Conversion's (EPC) eGaN® devices in many diverse applications calls for continued accumulation of reliability statistics and research into the fundamental physics of failure in GaN devices. This Phase 12 reliability report adds to the growing knowledge base published in the five other reports (1-11) and covers several key new topics.

Customer eGaN® GaN power devices have been in volume production since March 2010 (12) and have established a remarkable reliability record. This report presents the strategy used to achieve this track record that virtual open field testing devices to fail under a variety of conditions to create stronger and stronger products for the industry.

NEED FOR ADDITIONAL STANDARD QUALIFICATION TESTING

Why test to fail in addition to standard qualification testing? Standard qualification testing for semiconductor typically involves stressing devices at or near the limits specified in their data sheets for a prolonged period of time, or for a certain number of cycles. The goal of qualification testing is to have some failures out of a relatively large group of parts tested.

This type of testing is inadequate since it only reports parts that passed a one specific test condition. No testing exists to the point of failure, an understanding of the amount of margin between the standard limits can be developed, and more represents an understanding of the stressor failure mechanisms, the root cause of failure, and the behavior of the device over time, temperature, electrical or mechanical stress, the safe operating life of a product can be determined over a stress general set of operating conditions for an available lifetime. This is the methodology for testing semiconductor devices, see reference (33).

Key Stress Conditions and Intrinsic Failure Mechanisms for GaN Power Devices

What are the key stress conditions encountered by GaN power devices and what are the intrinsic failure mechanisms for each stress condition?

As with all power transistors, the key stress conditions involve voltage, current, temperature, and humidity, as well as various mechanical stresses. There are, however, many ways of applying these stress conditions. For example, voltage stress on GaN VET can be applied from the gate terminal to the source terminal (V_{gs}) as well as from the drain terminal to the source terminal (V_{ds}). For example, thermal stress can be applied continuously at a DC bias, they can be cycled on-and-off, or they can be applied at high speed pulses. Current stress can be applied as a continuous DC current, or as a pulsed current. Thermal stress can be applied continuously by operating devices at a predetermined temperature extreme for a period of time, or temperature can be cycled by a variety of means.

Stressor	Device	Stressor	Stressor	Stressor	Stressor
Voltage	Stress	Stress	Stress	Stress	Stress
Current	Stress	Stress	Stress	Stress	Stress
Temperature	Stress	Stress	Stress	Stress	Stress
Humidity	Stress	Stress	Stress	Stress	Stress
Mechanical	Stress	Stress	Stress	Stress	Stress

Table 1: Stress Conditions and Intrinsic Failure Mechanisms for eGaN VETs

説明を始める前に、故障するまでテストするEPCの方法の概要を説明したいと思います。今日、半導体業界は、例えば、最大温度や最大電圧などの1つのデータ・ポイントでデバイスをテストすることによって、デバイスの品質認定を試みています。

次に、特定の時間(おそらく1000時間)後に、デバイスに故障が発生しないことを確認します。こうすると、デバイスが、いつ、なぜ故障するのが分かりません。

そこで、EPCは、すべてのストレス条件下で、デバイスが、いつ、どのように故障するかを判断するための非常に積極的なプログラムに着手しました。この表は、その要約です。

(ビルド1)左側の列は、ストレス要因です。

電圧、電流、電流と電圧の合算、電圧および電流の変化が大きいとき、温度、湿度、機械的ストレス、熱機械的ストレス、デバイスがストレスを受けるすべてのさまざまな方法、が含まれています。

(ビルド2)これから、固有の故障メカニズムの大規模なグループが見つかりました。

このとき、私たちがしなければならなかったことは、その故障メカニズムを見つけるために、データシートをはるかに超えたストレスをデバイスに与えることでした。

フェーズ12のレポートでは、いくつかの新しいメカニズムについて報告します。

(ビルド3)これを、この表の右側の列に示します。

緑色で表示されているレポートは、www.epc-co.comからオンラインで入手できるフェーズ12のレポートで説明されているものです。

番号が付いているものは、このレポートの最後にある参考文献で説明されています。これは、当社のウェブサイトから入手できるこれまでの信頼性レポートです。(ビルド4)

それでは、ゲートからソースへの電圧ストレスに基づく基本的な故障のメカニズムの1つを見てみましょう。

Before we get started, I just want to give an overview of EPC's test-to-fail methodology. Today, the semiconductor industry tries to qualify devices by testing them at one data point, say for example, maximum temperature and maximum voltage.

And then, making sure that no devices fail after a certain period of time, maybe a thousand hours. In doing that, you don't know when or why devices fail.

So EPC has embarked on a very aggressive program to determine when and how our devices fail under all stress conditions.

And this table is a summary of that.

(Build# 1) In the left-hand column, we have the stressors.

The include voltage, current, current and voltage together, high rate of change in voltage and current, temperature, humidity, mechanical stress, thermo mechanical stresses, all the different ways that a device will experience stress.

(Build#2) And from that, we found a large group of intrinsic failure mechanisms.

At times, what we had to do was stress devices well beyond the data sheet, in order to find that failure mechanism.

In the Phase 12 report, we report on several new mechanisms.

(Build#3) And it's shown here on the right-hand column.

The ones that are in green are the ones that are addressed in the Phase 12 report now available online at www.epc-co.com.

The ones that have numbers on them are addressed in references at the end of the report, which are previous phase reliability reports from EPC available on our website (Build #4).

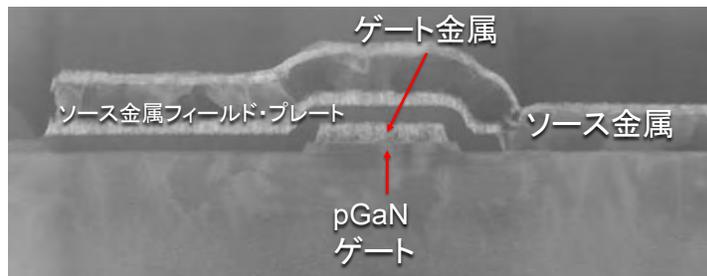
So, let's go ahead and look at one of the basic failure's mechanisms based on voltage stress on the gate to source.

ストレス - 電圧

ゲート-ソース間

当初、これは最も単純なケースであり、最も具体的な答えがあると考えられていました。ただし、時間の経過と共に、さらに掘り下げる必要のある未解決の問題がいくつかあることが分かりました。それが、きょう、報告する内容です。

Initially this was thought to be the simplest case and, the one with the most concrete answers to it. Over time, however, we found there were a few unanswered questions that needed more digging. That's what we will report on today.



まず、当社のeGaNトランジスタのゲートからソースへの構造を見てみましょう。

これは、走査型電子顕微鏡写真の断面図で、デバイスのさまざまな機能がどこにあるかを示しています。ソース金属、赤い矢印が指しているゲート金属、マグネシウムがドーピングされた窒化ガリウムであるpGaNゲートが見えます。窒化ガリウムの上に窒化アルミニウム・ガリウムの障壁があります。ソース金属とpGaNゲートの間の暗い領域にも気付くでしょう。これは窒化ケイ素です。

この断面を覚えておいてください。故障メカニズムについて説明するときに、これを使います。

To start off with, let's look at the structure of our gate to source in our eGaN transistors.

This is a scanning electron micrograph cross section,

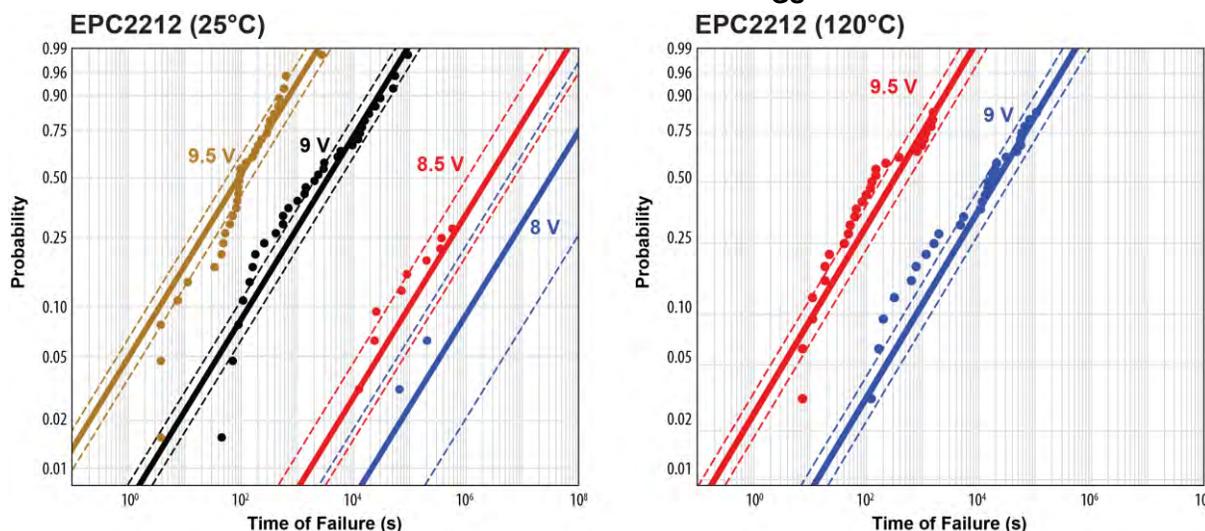
showing you where the various features of the device are.

You can see the source metal, the gate metal, where the red arrow is pointing, the pGaN Gate, which is a gallium nitride doped with magnesium. It sits on top of a barrier, which is aluminum gallium nitride, which sits on top of gallium nitride. You will also notice the dark area between the source metal and the pGaN Gate, and this is silicon nitride.

Keep this cross section in mind. We will go back to it as we talk about failure mechanisms.

ゲートの加速テスト:分析

データシートの最大値 = $6 V_{GS}$



データシートの仕様をはるかに超えた電圧を印加したデバイスを使って、デバイスがどのように故障するかをモニターしました。

左のグラフは、縦軸に故障の確率を示しています。

横軸は、故障するまでの時間です。

約32個のデバイスのグループを作り、バイアスを8V、8.5V、9V、9.5Vに設定しました。

そして、そのデバイスのゲートに対するデータシートの制限を超えたときを、正確に測定しました。

グラフから分かるように、しばらくして、9.5Vで最初のデバイスが故障し、その後、各電圧で多くのデバイスが故障しました。

9.5Vでは、約2000秒に達するまでに、32個のすべてのデバイスが故障したことが分かります。

この時間で、この直流電圧を印加すると、故障の確率は100%または1.0になります。

同じテストを、より高い温度で実施しました。

9Vおよび9.5Vで実施したときが右のグラフです。

So we took devices well beyond their data sheet to monitor how they fail. The graph on the left shows the probability of a failure on the vertical axis.

And on the horizontal axis, the time for that failure.

We took groups of about 32 devices and we put bias at 8 volts, 8.5 volts, 9 volts and 9.5 volts.

And we measured exactly when that device exceeded the data sheet limits for the gate.

And you can see, the first device failed at 9.5 volts after a little while, and then more and more devices failed at each voltage

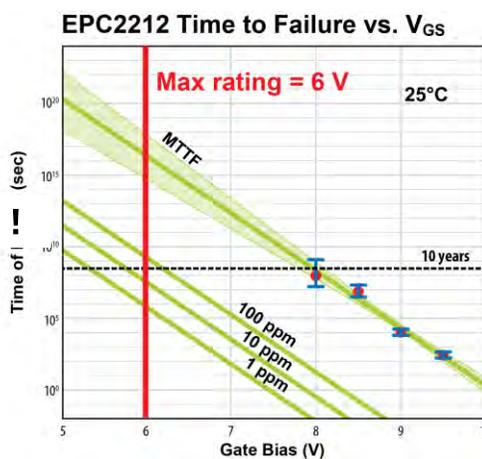
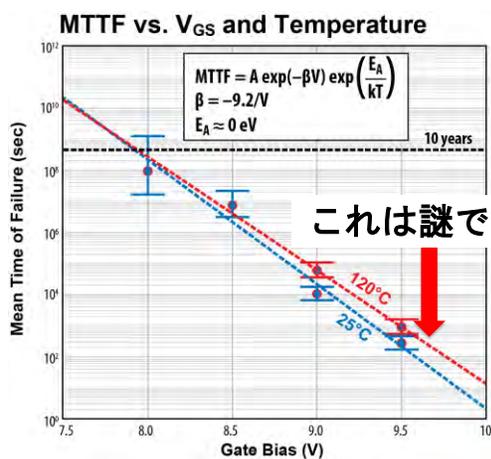
And at 9.5 volts you can see that by the time we get to about 2,000 seconds all 32 devices failed.

At this point in time, and with this applied DC voltage, the probability of failure is 100% or 1.0

We did that same test at a higher temperature.

You can see that in the graph on the right where we did 9 volts and 9.5 volts

ゲートの加速テスト:故障するまでの時間



以上から、これらのグラフを作成できます。

左の図は、デバイスの平均故障間隔MTTFとゲート電圧の関係を2種類の異なる温度で示しました。

右側は、ゲート・バイアスに対する故障するまでの時間で、特定の割合のときに、どうなるかという質問の答えです。

この場合、代表的なデバイスとして、車載認定のEPC2212を採用しました。もちろん、ゲート・バイアスを高くすると故障率が高くなり、平均故障間隔が短くなります。

右側は、故障の割合の観点から見た図です。

デバイスの最大定格である6Vを示すために赤色の縦線を引きました。最初の斜めの緑色の線は、1 PPMを示しています。これは、ゲートに100万分の1の故障が発生する場合の予測です。

さて、10年を示す点線まで、その線をたどると、10年で、ゲートに約5.25Vを印加したときに100万分の1が故障すると予測できることが分かります。

したがって、ゲートに5.25Vの直流電圧を印加し、10年間待った場合、この時間依存の絶縁破壊モデルに基づくと、約100万分の1の故障が発生します。

左側のグラフは、MTTFと温度の関係を示しています。温度による大きな変化はありませんが、実際には、MTTFが温度と共に上昇するのは奇妙に思

えます。(ビルド1)時間依存の絶縁破壊は、温度による小さな劣化が予想されますが、改善はありません。

From this, we can create these graphs.

On the left-hand side, we show the mean time to failure for devices versus gate voltage at two different temperatures.

And on the right-hand side, we answer the question, what is the time to failure for a certain percentage of the devices versus gate bias?

In this case, we took the automotive qualified EPC2212 as a representative device.

As you go to higher gate bias, the failure rate of course, increases, and the mean time to failure goes down.

On the right-hand side, we show that in terms of the percentage of failure.

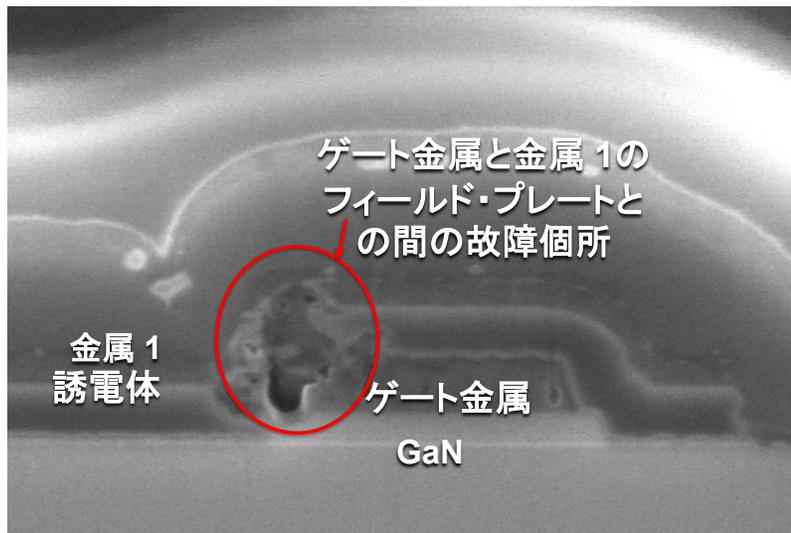
We drew a vertical red line to show the maximum rating of our devices, six volts, and you can see the first diagonal green line that says one PPM, that's a prediction when you'll see one part per million failures of our gates.

Now, if you follow that line up to the dotted line that says, 10 years, you'll see that at 10 years, we'd expect one part per million fail at approximately 5.25 volts on the gate.

So, if you put 5.25 volts, DC on our gate, and you waited 10 years, you'd see approximately one part per million failure based on this time dependent dielectric breakdown model.

The graph on the left shows the MTTF vs temperature. Whereas there isn't a large change with temperature, it does seem strange that the MTTF (build 1) actually goes up with temperature. Time dependent dielectric breakdown predicts a small degradation with temperature, not an improvement.

ゲートの故障はGaNの内部ではない



デバイスを故障させたとき、データシートの制限をはるかに超えることによって、これが分かります。

この図はゲートの断面図です。ゲート金属、金属フィールド・プレート、および金属フィールド・プレートとゲート金属の間の誘電体が見えます。ここで故障が発生しました。

実際、すべてのデバイスがこのように故障し、ゲートの左側にある場合と右側にある場合があります。

この最初の寿命の調査は、eGaN FETのゲートの信頼性の確かな現象論的モデルを提供しましたが、多くの基本的な質問には、未回答のままでした。すなわち、

- ・ 破壊強度をはるかに下回る電界で高品質の窒化ケイ素膜の誘電体破壊が発生するのはなぜですか？ そして、なぜ、この破壊がゲートの角で起こるのですか？
- ・ 温度が上昇するとゲートの寿命が延びるのはなぜですか？
- ・ ゲート電圧と平均故障間隔MTTFの単純な指数スケーリングは、eGaN FETに本当に適用できますか？ おそらく、GaNの故障の根本的な物理に基づいた別のモデルがあるのではないですか？

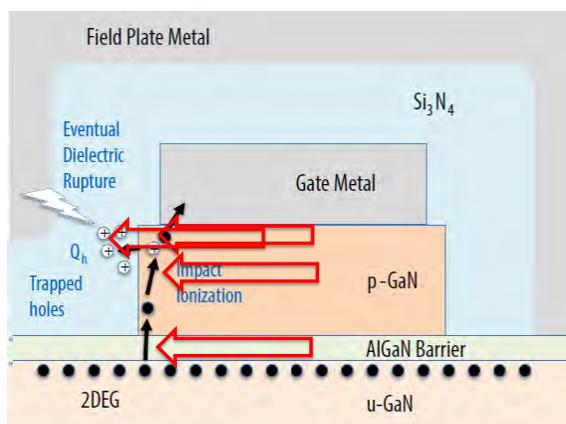
When we did fail devices, again, by going way beyond the data sheet limits, this is what we saw.

You can see a cross-section of the gate, the gate metal began underneath it, the metal field plate and the dielectric between the metal field plate and the gate metal, and that's where the failure occurred.

In fact, all the devices failed in this manner, sometimes on the left side of the gate sometimes on the right.

While this initial lifetime study provided a solid phenomenological model of gate reliability in eGaN FETs, many fundamental questions remained unanswered:

- Why does dielectric rupture occur in a high-quality silicon nitride film at an electric field well below its breakdown strength? And, why does this rupture occur at the corner of the gate?
- Why does gate lifetime increase as temperature rises?
- Is the simple exponential scaling of MTTF with gate voltage truly applicable to eGaN FETs? Is there perhaps a different model that is predicated on the root physics of failure in GaN?



これらの観察の統括として、EPCは、多段階のプロセスが、高いゲートソース間電圧 V_{GS} でのゲート故障の原因であると理論付けました。このプロセスの概略をここに示します。(ビルド1)最初のステップでは、電子が2次元電子ガス(2DEG)からp-GaNゲート層に注入されます。電子は、AlGaNヘテロ障壁にわたってトンネリングまたは熱電子放出によって注入されます。電子は、p-GaN層内に入ると、電界によって急速にエネルギーを獲得し、(ビルド2)一部は衝突電離を引き起こすために十分なエネルギーを獲得します。(ビルド3)これによって、特にゲート金属のすぐ下の高電界領域で、電子-正孔対が生成されます。

このプロセスの2番目のステップでは、電界の影響下で正

孔がゲート金属から離れます。ゲートの側壁の近くで、ある割合の正孔が Si_3N_4 誘電体に散乱し、そこで深い状態でトラップされます。(ビルド4)このプロセスは、 Si_3N_4 / GaN界面がタイプIIの千鳥状のバンド配列を持ち、 Si_3N_4 の価電子帯の最大値がGaNよりも高いという事実によって促進されます。これは、界面近くのGaNに生成された正孔には、誘電体への放出に対する障壁がない(または低い)ことを意味します。

このプロセスの最終ステップでは、正孔が誘電体にトラップされ、正電荷密度 Q_h が高くなります。この電荷は、次に、金属フィールド・プレートとゲート側壁近くのゲート金属との間の誘電体における電界を増加させます。この電荷密度が臨界密度(Q_c)に達すると、誘電体が破壊され、ゲート故障の故障解析で観察された側壁付近の一種の破壊的な損傷につながります。

As a result of these collective observations, EPC theorized that a multi-step process was responsible for gate failure at high V_{GS} . This process is shown schematically here (build 1). In the first step, electrons are injected into the p-GaN gate layer from the 2DEG. They are injected via tunneling or thermionic emission over the AlGaIn hetero-barrier. Once inside the p-GaN layer, the electrons gain energy rapidly from the

electric field (build 2), with some gaining sufficient energy to cause impact ionization (build 3). This leads to the generation of electron-hole pairs, particularly in the high field region just under the gate metal .

In the second step of this process, holes move away from the gate metal under the influence of the field. Near the sidewall of the gate, a certain fraction of holes scatter into the Si_3N_4 dielectric, where they become trapped in deep states (build4) . This process is aided by the fact that the $\text{Si}_3\text{N}_4/\text{GaN}$ interface has a Type II staggered band alignment whereby the valence band maximum in Si_3N_4 is higher than in GaN. This means holes generated in GaN near the interface have no (or low) barrier for emission into the dielectric.

In the final step of this process, holes become trapped in the dielectric, leading to a growing positive charge density Q_h . This charge, in turn, leads to an increasing electric field in the dielectric between the metal field plate and gate metal in the vicinity of the gate sidewall. Once this charge density reaches a critical density (Q_c), the dielectric ruptures, leading to the kind of catastrophic damage near the sidewall observed in failure analyses of gate failures.

衝突電離モデルの開発



$$G = \alpha_n \frac{|J_n|}{q} + \alpha_p \frac{|J_p|}{q} \quad \alpha_n = a_n e^{-(b_n/F)^m}$$

Ref	$a_n(1/cm)$	$b_n(V/cm)$	m
Ji et al. [12]	2.10E+09	3.70E+07	1
Ozbek [13]	9.20E+05	1.70E+07	1
Cao et al. [8]	4.48E+08	3.40E+07	1
Ooi et al. [15]	7.32E+07	7.16E+06	1.9

$$a_n(T) = a_{n,0}(1 - c\Delta T)$$

$c = 6.5 \times 10^{-3} K^{-1}$

$$G \approx \alpha_n \frac{|J_n|}{q} \quad J_n \gg J_p \quad MTTF \propto \frac{Q_c}{G} \quad MTTF \propto \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{qQ_c}{J_n a_{n,0}(1-c\Delta T)} \exp\left[\left(\frac{b_n}{F}\right)^m\right]$$

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{A}{(1-c\Delta T)} \exp\left[\left(\frac{B}{V+V_0}\right)^m\right]$$

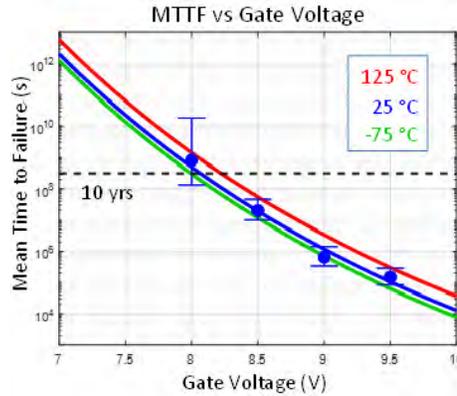
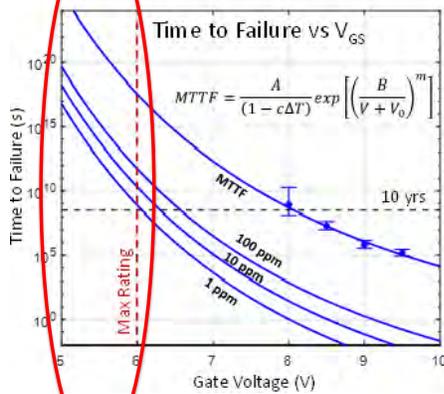
$m = 1.9$
 $V_0 = 1.0 V$
 $B = 57.0 V$
 $A = 1.7 \times 10^{-6} s$
 $c = 6.5 \times 10^{-3} K^{-1}$

これらのメカニズムはすべて、学術研究論文から提供された基本的な物理とデータを使って計算できます。ここに示されている式は、これらの計算であり、(ビルド1)強調表示されているところは、の電圧および温度のすべての条件下におけるeGaNデバイスのゲートの寿命を予測するための結果としての新しい方程式です。この方程式の右側には、以前の学術研究から得られたモデルで使われた変数があります。

では、これが実験データをどれだけうまく説明しているか見てみましょう。

And we can calculate all of these mechanisms using basic physics and data supplied from academic research papers. Shown here are these calculations and (build 1) highlighted is the resulting new equation for predicting the lifetime of eGaN device gates under all voltage and temperature conditions. To the right of this equation are the variables that were used in the model that come from prior academic research.

Now let's see how well this explains the experimental data.

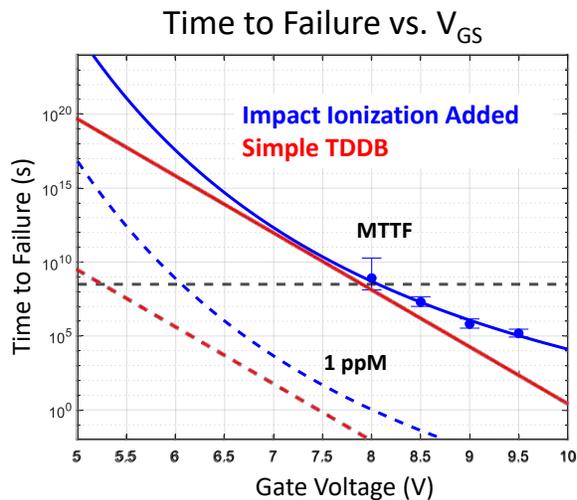


$$MTTF(V_{GS}, \Delta T) = \frac{A}{(1 - c\Delta T)} \exp \left[\left(\frac{B}{V_{GS} + V_0} \right)^m \right]$$

$m = 1.9$
 $V_0 = 1.0 \text{ V}$
 $B = 57.0 \text{ V}$
 $A = 1.7 \times 10^{-6} \text{ s}$
 $c = 6.5 \times 10^{-3} \text{ K}^{-1}$

(ビルド1)今、新たに得たこの方程式を使って、実験結果と比較できます。(ビルド2)ここでは、4つの異なる電圧レグについて25°Cで測定されたEPC2212の平均故障間隔MTTFとゲート-ソース間電圧 V_{GS} の関係を示します。実線は、衝突電離寿命モデルに対応しています。100 ppm、10 ppm、および1 ppmの故障までの時間の外挿も示しました。このモデルの電圧による不均一な加速が、(ビルド3)このデータとよく一致していることに注意してください。この電圧加速は、対数-線形空間で見ると、直線ではなく曲線として示されます。この新しいモデルは、ゲート-ソース間電圧 V_{GS} が上昇するにつれて電圧加速が減少することが観察された測定結果に、より良く適合します。このグラフに示されているように、このモデルは負の温度の係数も予測できます。(ビルド4)

(Build 1) Using the equation we just developed we can compare against our experimental results. (Build 2) Here we show the measured EPC2212 mean time to failure vs. gate to source voltage at 25°C for four different voltage legs. The solid line corresponds to the impact ionization lifetime model. Extrapolations of time to failure for 100 ppm, 10 ppm, and 1 ppm are shown as well. Note that the non-uniform acceleration with voltage of the model (build 3) matches the data well. This voltage acceleration appears as curved rather than linear when viewed in log-linear space. This new model provides a better fit to measurement, wherein the voltage acceleration is observed to decrease as gate to source voltage rises. The model also predicts the negative temperature coefficient (build 4) as can be seen in this graph.



この図は、衝突電離モデルと、以前に報告された単純な時間依存の絶縁破壊モデル(TDDDB)の比較です。リーズナブルな適合を示す広範な実験データが含まれています。部品は、以前に報告されたよりも低い電圧でさえ、信頼性が高いと言えます。直流5.25 Vで10年後の1 ppmの予測故障率の代わりに、10年後に直流6 Vで約 1ppmの故障率であることが分かるはずです。これは、ゲート故障によるフィールド故障がまだ発生していないという事実によって裏付けられています。

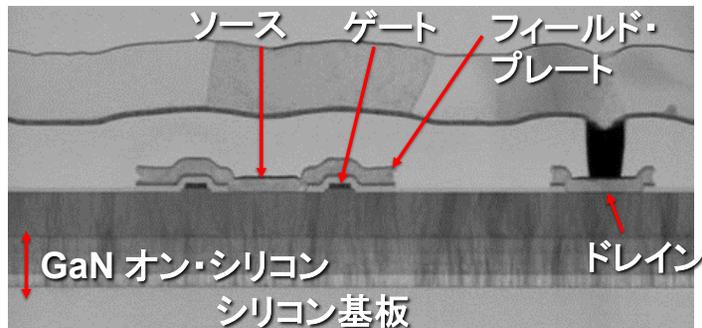
Here is a comparison of the impact ionization model and the simple time dependent dielectric breakdown model previously reported. Included is the extensive experimental data showing the reasonable fit. This implication is that parts are even more reliable at lower voltages than reported previously. Instead on 1 ppM projected failure rate after 10 years at 5.25 V DC, we now believe we should see about 1 ppM failure rate at 6 V DC after 10 years. This is supported by the fact that we have yet to have a field failure due to gate failure.

ストレス - 電圧

ドレイン-ソース間電圧

それでは、次のテーマです。より複雑で、間違いなく業界で多くの議論が行われているドレイン-ソース間電圧ストレスに行きましょう。

Now let's take that case and let's go to one that's more complicated and one that certainly has had a lot more discussion in the industry, and that's drain source voltage stress.



再び、断面から始めましょう。これがデバイスの外観です。

さまざまな異なるデバイスの断面ごとに、これらのテストを実施して、故障メカニズムを確定し、単一の故障メカニズムであることを確認する必要があります。

私たちは、これを実施し、ドレイン-ソース間電圧から単一の根本的な故障メカニズムを見つけます。

And we'll start off again with the cross-section, and this is what a device looks like.

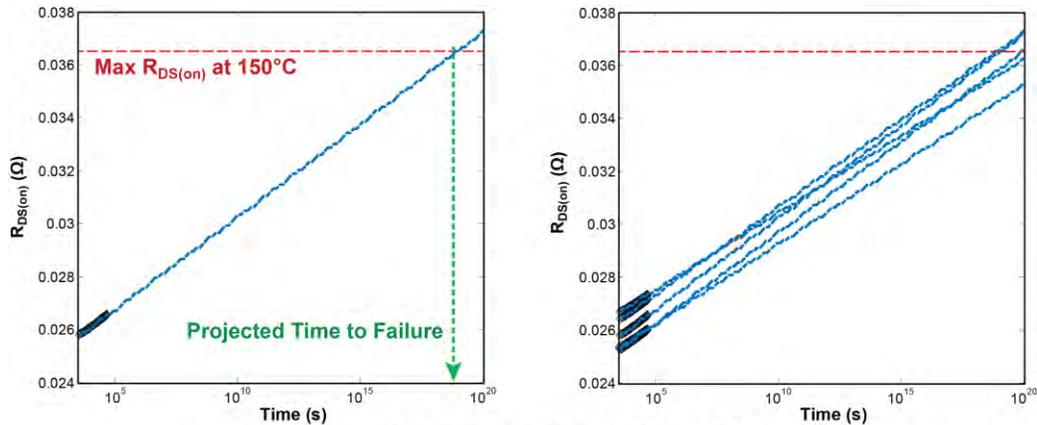
For each and every different device cross-section, we need to do these tests to establish the failure mechanisms and make sure that we're seeing a single failure mechanism.

We have done that, and we do see a single primary failure mechanism from drain source voltage.

時間によるオン抵抗 $R_{DS(on)}$ のシフトを特徴付ける



150°Cで120 Vのオーバーストレス (定格100 Vのデバイス)



$$R(t) = R_0 (\alpha + \beta \ln[t])$$

そして、動的オン抵抗 $R_{DS(on)}$ と呼ばれるメカニズムは何かについてです。このグラフは、デバイスのオン抵抗を時間に対して測定したときの様子です。左の図では、ただ1つのデバイスを時間の経過と共に測定しました。このテストは、定格100Vのデバイスに対して、120V、150°Cで実施しています。そして、これらのデバイスを大量にテストしました。右のグラフの大きな集合では、デバイスごとに多少のばらつきがあることが分かります。しかし、これらのデバイスを測定することによって、オン抵抗の増加率、つまり青色の線を外挿できることに気がきました。対数プロットでは、非常に直線に近いからです。それが、データシートの制限である赤色の線を超えたとき、これを故障と呼ぶことにします。したがって、これらすべての初期のテストのように、故障は、データシートの制限を満たさなくなったものとして。これは、通常の条件下で、通常のデバイスで見られるよりも、はるかに厳しくなっています。

And the mechanism is something called dynamic RDson.

And this is what it looks like when you measure the on resistance of a device versus time.

On the left-hand side, it's just one single device, and we've measured it as time goes on. This test is being done at 120 volts, and 150 degrees C on a 100 volt rated device.

Now, we've tested many, many of these devices, and you'll see on the right-hand side, a larger population showing that there's some variation from device to device.

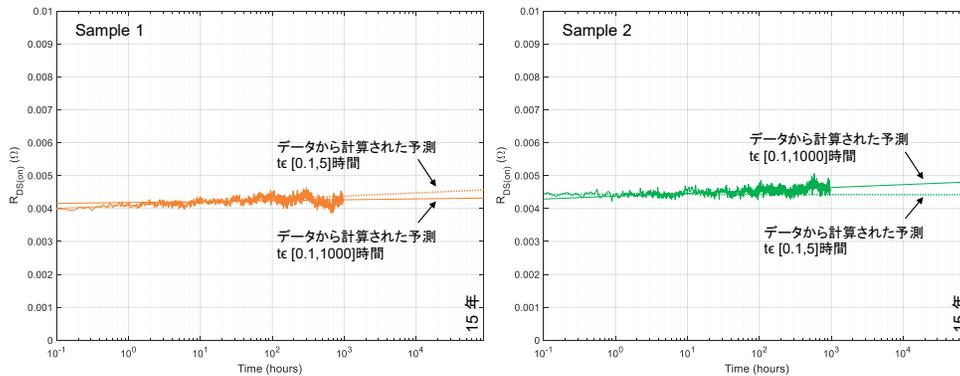
But by measuring these devices, we have noted that we can extrapolate out the rate of increase in on resistance, that blue line, because it's quite a straight line on a log plot.

And when it crosses the datasheet limit, the red line, that's when we call it a failure.

So as in all these initial tests we looked at failure as being something that is no longer meeting data sheet limits.

So this is much worse than you would see on a normal device under normal conditions

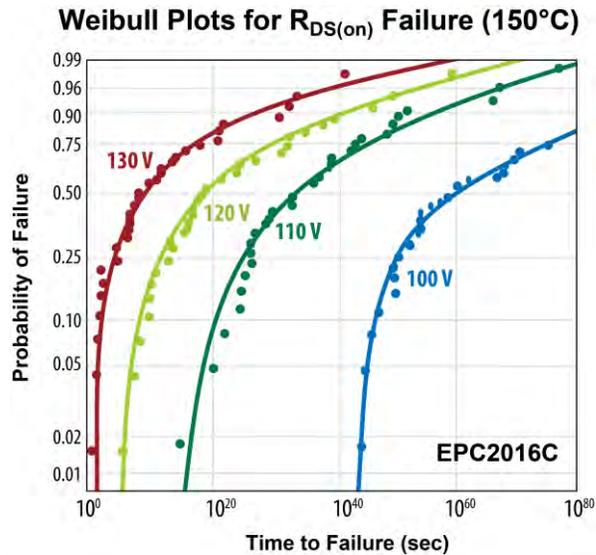
オン抵抗 $R_{DS(on)}$ の予測分析



長期予測が、約48時間以下の比較的短いテストからの有効な外挿であるかどうかを、よく尋ねられます。この図は、テストの最初の5時間で生成されたオン抵抗 $R_{DS(on)}$ の予測と、1000時間後の予測との比較です。この誤差は±10%であり、予測におけるこれらの小さな誤差でさえ、最初の5時間間の間の周囲温度の変動の影響を受ける可能性があります。これらの変動は、長期間にわたって平均化される傾向があります。

We frequently are asked if our long-term projections are a valid extrapolation from relatively short tests of around 48 or less hours. Here are the $R_{DS(on)}$ projection generated with the first 5 hours of the test compared with the projection after 1000 hours. The errors are +/- 10%, and even these small errors in the projection may be influenced by ambient temperature fluctuations during the first five hours. These fluctuations tend to average out over long periods of time.

ドレイン・ストレスのワイブル適合



ここで、もう一度、多数のデバイス(この場合は、定格100VのEPC2016C)を使って測定しました。縦軸は故障の確率、横軸は故障までの時間です。これを、定格電圧の100Vで実施しました。さらに、データシートの制限をはるかに超えて、130Vまで測定しました。これらのデバイスがデータシートの制限を超える時間を推定することで、故障するまでの時間を予測できることが分かります。そして、この曲線に点をプロットしました。130Vの場合、デバイスはデータシートの制限をすぐに超えてしまいます。こうして、データシートの制限を超える実際の時間を測定できます。100Vの場合、データシートの制限を超えると予測したときを外挿する必要があります。

So once again, we took a bunch of devices, in this case, the 100 V EPC2016C, and we're measuring the probability of failure on the vertical axis, the time to failure and the horizontal axis.

And we did it at the rated voltage, 100 volts.

And then we also did it well beyond the datasheet limit, all the way up to 130 volts.

And you'll see that by extrapolating to when these devices will cross the

data sheet, we can create a time to fail.

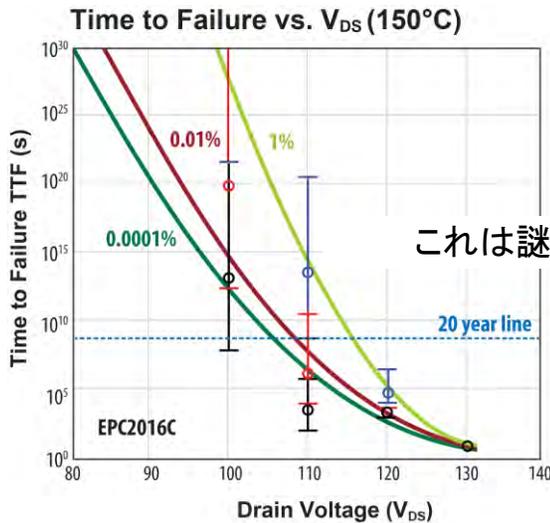
And that's when we put the dot on this curve.

Now, when you're at 130 volts, the devices exceed data sheet limits quickly.

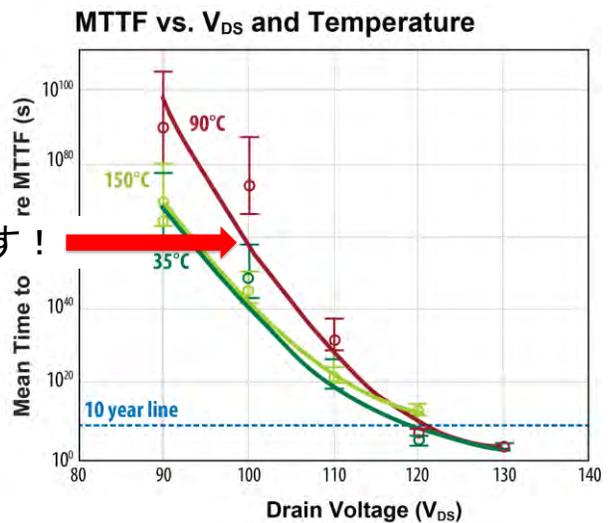
So you can measure the actual time it crosses the data sheet.

When you're at 100 volts, you have to extrapolate when you predict it will cross the data sheet.

デバイスの丈夫さとドレイン-ソース間電圧 V_{DS} の関係



これは謎です！



これらのグラフは、この図に書き換えることができます。

左の図は、さまざまな割合の故障率に対する故障するまでの時間です。

0.0001%、つまり100万分の1のグラフ。

もちろん、1%のグラフもあります。そして、これに20年の線も引きました。

定格100VのEPC2016Cで分かるように、デバイスの故障は、20年以上、実際には数100年で100万分の1以下と予想されます。ただし、エラー・バーを見ると、エラー・バーが20年の線の下で、わずかに10年以下に低下していることが分かります。

これは、確率90%の線です。

したがって、約10年で100Vの直流バイアスのときに、90%の確率で、約100万分の1の故障が発生すると言えます。

しかし、右の図には謎があります。

横軸にドレイン電圧、縦軸に平均故障間隔をとると、これは故障率と温度の関係を示すことになります。

(ビルド1)90°Cの線が150°Cの線と35°Cの線の上にあることに注意してください。

言い換えると、90°Cでは、故障までの時間が、より低温、または、より高温よりも長くなります。

私たちは、ここ数年間、これを理解していませんでした。そして、これが、きょう、解決したい謎です。

Those graphs can be translated into this.

On the left-hand side, you have the time to failure for various percentage failure

rates.

So point zero zero zero 1%, that's one part per million.

And 1%, of course, you know, what that is and we also draw a 20 year line on this one.

And you can see at the one hundred volt rating of the EPC2016C, we would expect that the devices would see less than one part per million failure in far more than 20 years, hundreds of years actually. However, if you look at the error bars, you'll see the error bar dips under the 20 year line to a little bit to a little less than 10 years.

And that's the 90% probability line.

So with 90% probability, we can say you should see about one part per million failures at 100 volts, DC bias in about 10 years.

But on the right-hand side, there's a mystery.

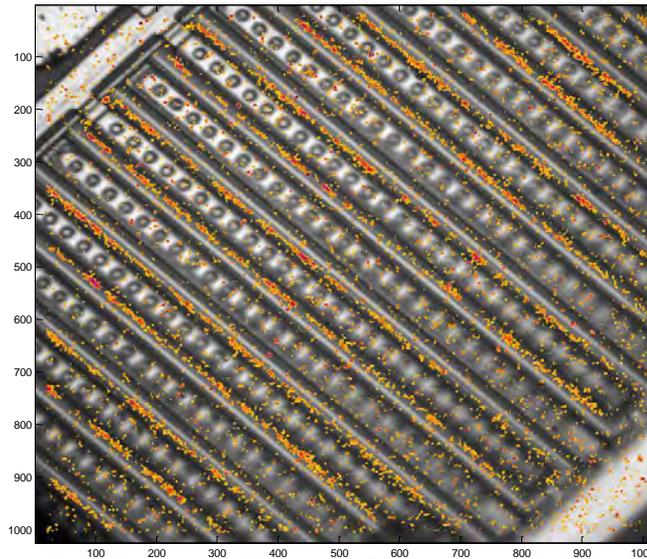
If you look at the drain voltage on the horizontal axis and the mean time to failure on the vertical axis, this is showing the rate of failure versus temperature.

(Build #1) Note that the 90 degrees C line is above the 150 C line and the 35 degrees C line.

In other words, at 90 degrees C, the time to failure is much longer than at lower temperatures or at higher temperatures.

We didn't understand that for several years, and that's a mystery that I want to solve today for you.

オン抵抗 $R_{DS(on)}$ シフトの物理: ホット・キャリア放出



Power Conversion Technology Leader

epc-co.com

18

この謎解きを始めるために、私たちが考えている故障のメカニズムを見てみましょう。

電子が高電界に曝されると、窒化ガリウム内にホット・キャリアを生成することはよく知られています。

これらの電子は、高エネルギーに加速され、これは、実際にデバイス内の層に浸透してトラップされるのに十分な大きさです。

この画像は、ホット・キャリアが第4世代のeGaNデバイスにトラップされたときに、放出される光子の実際の写真です。

これを、拡大してみます。(ビルド1)

この写真から分かるように、それらがトラップされる時、それぞれの電子は光子を放出します、そして、この写真でその光を画像化しました。

マスクの設計も重ね合わせて、それらの電子がどこにあり、どこにトラップされているかを正確に知ることができるようになりました。

それが、デバイスにおける最も高い電界のポイントであることが分かります。

この画像化ツールを使うと、実際にデバイスの電圧を変調して、ホット・キャリアが入ってくるときと、入ってこないときを確認できます。

これに基づいて、新しい第5世代デバイスを設計しました。

したがって、これらの新しいデバイスは、ホット・キャリア注入によって引き起こされる動的オン抵抗の影響を受けにくくなります。

To begin to solve this mystery, let's look at what we think is the mechanism of failure.

It's well documented that you can generate hot carriers in gallium nitride when electrons are exposed to high electric fields.

These electrons get accelerated to a high energy, and it's high enough that they can actually penetrate layers in the device and get trapped.

This image is an actual photograph of the photons emitted by hot carriers as they get trapped in a generation 4 eGaN device.

And we can zoom in on that. (Build#1)

And you can see here, each of the electrons emit a photon as they get trapped and we imaged that light in this photograph.

We've also overlaid the mask design so we can tell exactly where those electrons are and where they're getting trapped.

And it turns out it's the point of highest electric field in the device.

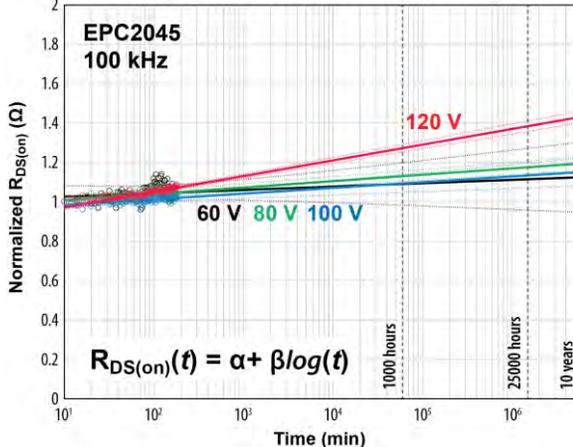
With this imaging tool we could actually modulate the voltage on the device and see when the hot carriers come in and when they don't.

Based on that, we designed our new fifth generation devices.

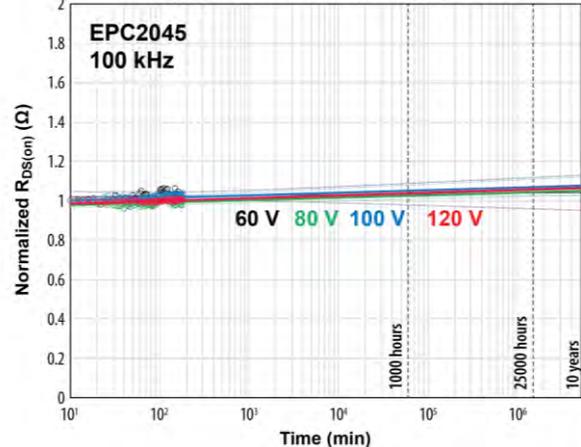
So, they would be much less susceptible to hot carrier injection induced dynamic RDSN

ハードスイッチング: 入力電圧 V_{IN} の影響

$R_{DS(on)}$ vs. Time and V_{IN} (25°C)



$R_{DS(on)}$ vs. Time and V_{IN} (125°C)



では、1分前の話に戻しましょう。高温逆バイアス(HTRB)と呼ばれるテストでデバイスに直流バイアスを印加し、デバイスを数1000時間放置してオン抵抗の増加を測定したという話です。さて、直流バイアスだけでデバイスを加熱すると、漏れ電流だけが発生します。これは、トラップに利用できる電子の数マイクロアンペア程度にすぎないかもしれません。

さて、これらのグラフは、実際には非常に異なる種類のテストです。ホット・キャリアからの故障を本当に理解できるようにするために、できるだけ多くのホット・キャリアを生成し、デバイスをすぐに故障させる必要がありました。このグラフに示されている電圧で、10Aの電流パルスを生成することによって、実際に何兆個ものホット・キャリアを生成する回路を開発しました。したがって、マイクロアンペアの代わりに、60V、80V、100V、120Vで、10Aがデバイスに供給されます。

そして、より高い電圧に上げると、実際にオン抵抗が増加し始めることが分かります。

横軸は時間、縦軸は、熱平衡を考慮して10分かけて正常化した正規化されたオン抵抗です。

左のグラフは25°Cのときです。(ビルド1)

右のグラフは125°Cのときです。

そして、これが謎の本質です。

100Vのデバイスで120Vにしても、オン抵抗または動的オン抵抗が 125°C で、ほぼ0になるのはなぜですか？

それでも 25°C では、120Vで電子を注入するとオン抵抗に大きな変化が見られます。

その答えは、デバイスの温度を上げると、ホット・キャリアは、この熱振動する格子の周りを跳ね返り、実際には、トラップに飛び込むことができないポイントまでエネルギーを失うまでの間に、遠に行くことができないということです。

このため、ホット・キャリアは、高温でトラップされる傾向が少なくなります。今、私たちは、その謎を解くことができます。

90°C では、 35°C または 150°C のいずれかと比べて、直流バイアス下でデバイスが故障する頻度が低いことを示す前に、

高温逆バイアスHTRBを実施しているときに、2つの競合する効果があることを説明します。

1つ目の効果は、高温になると、より多くの漏れ電流が発生することです。漏れ電流は、トラップされる可能性のある電子を供給します。

2番目の効果は、ホット・キャリアが遠くまで移動できないことです。したがって、高温になると、 90°C を超えるまで、ホット・キャリアがトラップされないようにする温度効果がより重要であることが分かります。 90°C を超えると、漏れ電流が増加するため、トラップされる候補の数が多くなります。

最大温度と最大電圧で従来のHTRBテストを実施している場合、デバイスのテストは、あまりうまく行われていないとも言われています。

But let's go back to the story that we had a minute ago where we apply DC bias on devices in a test called high-temperature reverse bias, or HTRB, and let them sit for thousands of hours and measure the increase in on resistance. Now, when you heat up a device with just DC bias on it, all you have is a leakage current, and that may be just a few micro amps of electrons that are available to be trapped.

Well, these graphs are actually a very different kind of a test. In order to make sure that we can really understand failures from hot carriers, we wanted to generate as many hot carriers as we can and cause devices to fail quickly.

We developed a circuit that actually generates millions and millions of a hot carriers by generating a 10 ampere current pulse at the voltage that you see on this graph. So instead of micro amps, you have 10 amps going through the device at 60 volts, 80 volts, 100 volts, 120 volts.

And you can see that as you go up to higher voltages, you can actually start to see the on resistance increasing.

The horizontal axis is time and the vertical axis is normalized R_{dson} normalized to 10 minutes to allow for thermal equilibrium.

The graph on the left is at 25 degrees C. (Build #1)

The graph on the right is at 125 C.

And, here's the essence of the mystery.

Why is it that the on resistance or dynamic on resistance is almost 0 at 125 C even as you go to 120 volts on a 100 volt device?

And yet at 25 C, you can see a significant change in on resistance when electrons are injected at 120 V.

And the answer is that hot carriers, as you raise the temperature of a device, bounce around this thermally vibrating lattice and actually can't go as far before they lose their energy to the point where they can't jump into a trap. So, hot carriers have less tendency to get trapped at higher temperatures.

Now we can solve that mystery.

Before we showed that at 90 degrees C devices failed less frequently under DC bias compared to either 35 or 150 degrees C

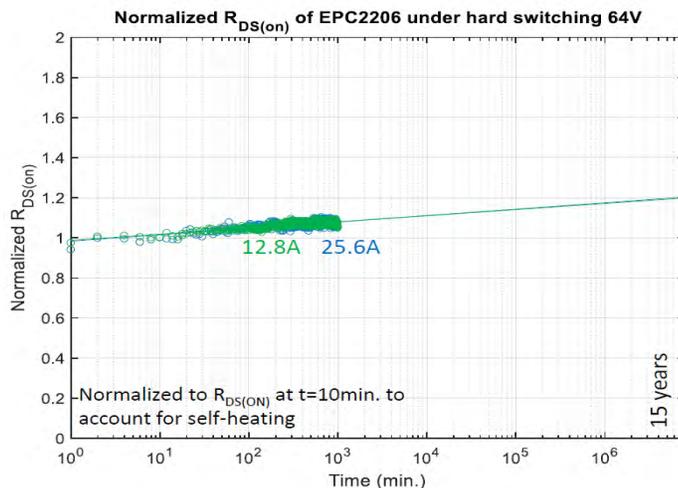
That's because there are two competing effects when you're doing HTRB.

One effect is, as you go to higher temperatures, you generate more leakage current. The leakage current provides the supply of electrons that can get trapped.

The second effect is that the hot carriers can't travel as far. So it turns out that as you go to higher temperatures, the temperature effect keeping the hot carriers from getting trapped is more important until you get above 90 degrees C, in which case, you're getting more and more leakage current, so there's a higher number of candidates to get trapped.

It also says that when we're doing traditional HTRB testing at maximum temperature and voltage, we're not testing the devices very well.

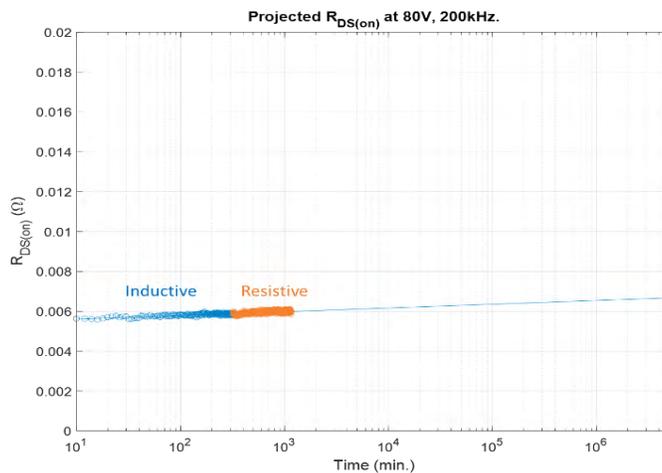
スイッチ電流の影響



動的オン抵抗 $R_{DS(on)}$ に対するスイッチ電流の影響はどうか？ここでは、64V、200kHzの抵抗性のハードスイッチングでテストされた2個のEPC2206デバイスを示します。一方のデバイスのスイッチ電流は、もう一方のデバイスの2倍でした。Log(t)成長特性の傾き、またはその途中までで、いずれにも有意差は見つかりませんでした。これは、トラップ効果が飽和するのに十分すぎる電子を持っていることを示しています。

How about the effect of switch current on dynamic $R_{DS(on)}$? Here we show two EPC2206 devices that were tested under resistive hard switching at 64 V and 200 kHz. The switch current in one device was twice that in the other. No significant difference was found in

either the slope or intercept of the $\log(t)$ growth characteristic. This indicates that the trapping effect has more than enough electrons to saturate.

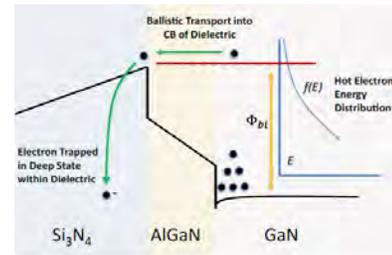
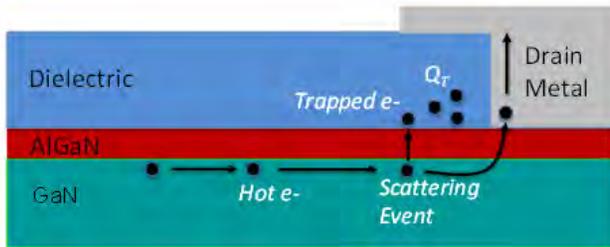


抵抗性のスイッチングの結果が誘導性のスイッチングと同じであるかどうかについて、よく尋ねられます。ここでは、80V、200kHzでのFET (EPC2204) の誘導性ハードスイッチングと抵抗性ハードスイッチングを比較しています。同じ部品を最初の4時間は誘導性モードでテストし、次の4時間は抵抗性モードでテストしました。両方のモードは、動的オン抵抗 $R_{DS(on)}$ の観点からは、本質的に区別できません。

We often get asked about whether the resistive switching results would be the same as inductive switching. Here we have a comparison of inductive versus resistive hard switching on an EPC2204 FET switching at 80 V and 200 kHz. The same part was

tested under inductive mode for the first four hours,
followed by resistive mode for the next four hours.
Both modes are essentially indistinguishable in terms
of dynamic $R_{DS(on)}$.

ホット・キャリアのトラップ・メカニズム



この図は、ドレイン・コンタクト近くの表面の誘電体へのホット・エレクトロン散乱を示す概略図です。この誘電体に入るには、電子はポテンシャル障壁を乗り越えるために、十分なエネルギーを持たなければなりません。この誘電体に入ると、それらは、深い電子トラップ状態に陥り、効果的に無期限にトラップされます。

(ビルド1)次に、ドレイン・コンタクトの近くで垂直方向にバンドが整列していることを示すバンド図を見てみましょう。電子が表面の誘電体 Si_3N_4 の伝導帯に入るには、表面障壁が存在します。チャネルの電子の圧倒的多数は、障壁を乗り越えるための運動エネルギーが不十分です。(ビルド2)しかし、ホット・エレクトロンのごく一部がエネルギーを持っていて、絶縁体に入ります。より多くの電子がトラップされると、(ビルド3)矢印の赤色の破線で示されているよ

うに、表面の静電バリアでトラップされます。

Here is a schematic diagram showing hot electron scattering into the surface dielectric near the drain contact. To enter this dielectric, electrons must have sufficient energy to surmount the potential barrier. Once in this dielectric, they fall into deep electron trap states and are trapped effectively indefinitely.

(Build 1) Now let's look at a band diagram showing band alignment vertically near the drain contact. A surface barrier exists for electrons to enter the conduction band of the Si_3N_4 surface dielectric. The overwhelming majority of channel electrons have insufficient kinetic energy to get over the barrier. (build 2) But a small percentage of hot electrons do have the energy and enter the insulator. As more electrons are trapped the surface electrostatic barrier is raised as indicated by the arrow (build 3) and the dashed red lines.

$$f(E)dE \propto E e^{-E/qF\lambda} dE \quad \frac{dQ_S}{dt} = A \int_{\Phi_{bi} + \beta Q_S}^{\infty} f(E)dE = A \int_{\Phi_{bi} + \beta Q_S}^{\infty} E e^{-E/qF\lambda} dE \quad \frac{dQ_S}{dt} = B \exp\left(-\frac{\beta Q_S}{qF\lambda}\right)$$

$$Q_S(t) = \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right) \quad R(t) = R_0 + \frac{C}{Q_P - Q_S} = R_0 + \frac{C}{Q_P - \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right)}$$

$$R(t) \approx R_0 + \frac{C}{Q_P} \left[1 + \frac{qF\lambda}{Q_P \beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right)\right] \quad \tau_{LO} \propto \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \lambda = v_{th} \tau_{LO} \propto A \sqrt{kT} \exp\left(\frac{\hbar\omega_{LO}}{kT}\right)$$

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \sqrt{T} \log(t)$$

そして、これが電子をトラップするメカニズムの背後にある物理です。この物理では、電子が障壁を飛び越えて窒化シリコン層に恒久的にトラップされることに起因するオン抵抗の変化を考慮に入れています。

And here is the physics behind that mechanism for trapping electrons. This physics takes into account the change in on resistance that results from electrons jumping over the barrier to get permanently trapped in the silicon nitride layer.

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \sqrt{T} \log(t)$$

$$= a + b \left[\frac{V_{DS}}{1 + \exp[-\alpha(V_{DS} - V_{FD})]} \right]^2 \exp\left(\frac{2\hbar\omega_{LO}}{kT_l}\right) \log(t)$$

$a = 0.02$ (unitless)

$b = 1.9E-8$ (V^{-2})

$\hbar\omega_{LO} = 92$ meV

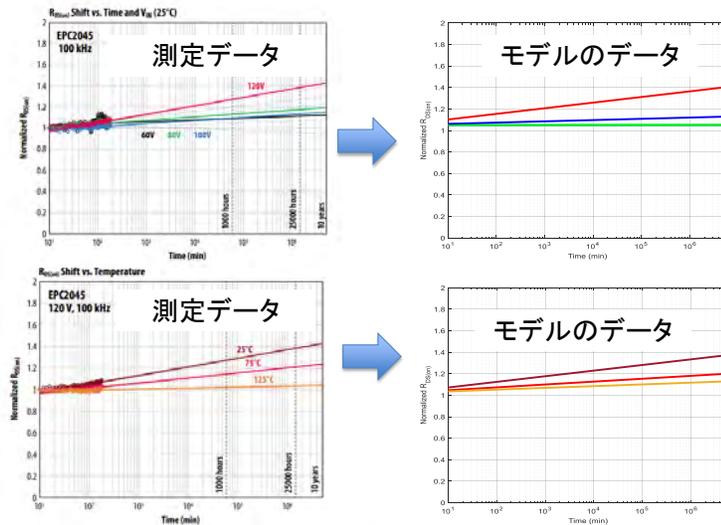
$V_{FD} = 100V$ (appropriate for Gen5 100V products only)

$\alpha = 0.1$ (V^{-1})

t = time in min

これは、eGaNデバイスのオン抵抗の寿命モデルにつながる計算と物理パラメータの最終結果です。このモデルが実験データにどの程度適合しているかを見てみましょう。

And here is the end of the calculation and the physical parameters that lead to the lifetime model for on resistance in eGaN devices. Let's now see how well this model fits the experimental data.



ここに示されているのは、4つの異なる電圧と3つの異なる温度で動作するEPC2045の測定とモデルの比較です。この一致は、測定の不確かさの範囲内で良好です。

これは、オン抵抗が、時間、温度、スイッチング条件によって変化を引き起こすメカニズムをうまく理解したことを実証しています。私たちが知っているすべての謎が説明され、eGaNデバイスの並外れた信頼性が科学によって裏付けられています。

Shown here is a comparison of measurement and model for EPC2045 operated at four different voltages and three different temperatures. The agreement is good to within measurement uncertainty. This demonstrates a good understanding of the

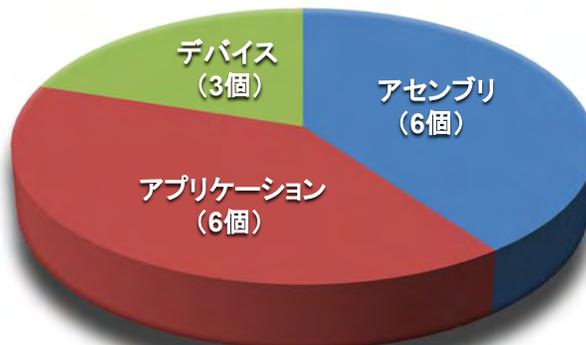
mechanisms that cause on-resistance to change over time, temperature, and switching conditions. All of the mysteries we know of have now been explained and the extraordinary reliability of eGaN devices is supported by the science.

フィールドの結果

しかし、これはすべて、ユーザーが良い結果を得た場合にのみ重要です。そこで、過去4年間に数1000万個のデバイスを出荷した後に得られた経験を見てみましょう。

But all of this only matters if the customers get a good result, so let's look at the experience we have gained after shipping tens of millions of devices over the last four years.

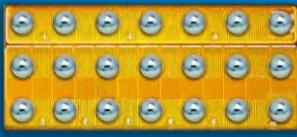
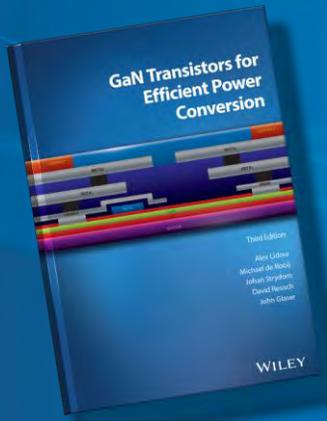
フィールド故障の分類 2017年1月1日～2020年12月31日



実証済みの信頼性: 2017年1月1日以降、フィールドにおける
2260億デバイス時間でデバイス故障はわずか3個のみ。

このスライド作成時点で、2017年1月以降、当社の重要な自動車や電気通信のアプリケーションにおけるフィールドでの使用が2260億デバイス時間と記録されています。故障したデバイスは全部で3個あります。この3個のデバイスは、外因性の故障メカニズム、つまりウエハー工場の欠陥のために故障しましたが、その後、修正されました。このレベルのフィールド信頼性に近づいたMOSFETは、これまでにありません。

As of this recording, we now have 226 billion device hours documented use in the field since January 2017 in our key automotive and telecommunications applications. And we have a total of three device units that have failed. These three device units failed for an extrinsic failure mechanism, a defect in the wafer fab, that has since been fixed. No MOSFET has ever come close to this level of field reliability.



How To GaN Video Series

3rd Edition Textbook

eGaN[®] FETs and ICs

Evaluation Kits

epc-co.com

このウェビナーでは、最近公開されたフェーズ12の信頼性レポートの重要な側面のほんの一部について詳しく説明しました。

完全なレポートは、当社の日本語ウェブサイト epc-co.com/epc/jp で入手できます。

This webinar detailed just a few of the critical aspects of the recently published Phase 12 reliability report.

The full report is available on our website at epc-co.com

次のウェビナー

