

eGaN® FETと集積回路の アセンブリ



パワー半導体、すなわち、トランジスタ、ダイオード、集積回路のより良いパッケージングを望む場合、それらの要求は、以下6つに分類されます [1]。

1. パッケージを、より小さくすることができますか？
2. パッケージのインダクタンスを低減できますか？
3. 導通損失が小さい製品を作ることができますか？
4. パッケージの熱効率は向上しますか？
5. 製品の価格を下げるすることができますか？
6. パッケージの信頼性は向上しますか？

EPCのeGaN®のFETと集積回路は、パワー半導体をパッケージに封止するために非常に異なるアプローチを採用しています。すなわち、パッケージ自体を見限って、上記6つの要求のすべてを同時に改善しました。EPCの革新的なウエハー・レベルのLGA (ランド・グリッド・アレイ) とBGA (ボール・グリッド・アレイ) のパッケージは、電力密度の新しい最先端技術を可能にしています [2]。図1にランド・ピッチ0.4 mmのEPC2001Cとボール・ピッチ0.5 mmのEPC2045の実装面の写真を示します。

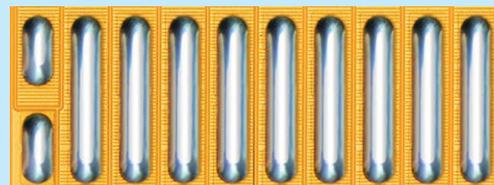


図1 (a) : EPC2001Cの実装面 [2]。

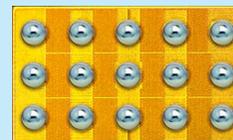


図1 (b) : EPC2045の実装面。

フィールドにおいて300億時間以上

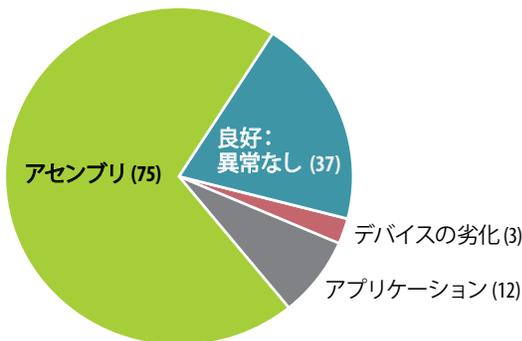


図2: 実際のアプリケーションで300億時間以上経過した後、eGaNデバイスでは、デバイス関連の不具合がわずか3個しかありませんでした。フィールド故障の最大の原因は、不適切なアセンブリによるものです。

eGaNのFETとICは、アプリケーション回路に正しく設計されていると、信頼性が高いと広範なテストで実証されています[3]。事実、2010年と2017年の間に、フィールドで実際に使われた合計300億時間以上のうち、全体でわずか127個のデバイス不良が発生しただけです。不具合のうち75件は、アセンブリ技術が不適切なこと、またはプリント回路基板設計の熟練不足によるものでした [3]。図2のグラフは、これらの127件の不具合の内訳です。

高い信頼性を確保し、eGaNデバイスの特性を最大限に引き出すためには、このアプリケーション・ノートに記載されているシンプルなプリント回路基板設計とアセンブリのガイドラインに従うことが重要です。それらのガイドラインに従わないと、何がうまくいかなくなるかの例も示します。

注:ここで推奨されている内容から外れる任意のステンシルの厚さ/はんだの組み合わせの開発を支援するために、EPCにご連絡ください。EPCの

ウエハー・レベルのチップスケール・パッケージは、ウエーブ・ソルダーリング・プロセス技術と互換性がありません。電子メール (info@epc-co.com) でEPCにお問い合わせください。

概要

信頼性が高く歩留まりが高いアセンブリを実現するために、LGAまたはBGAのeGaNデバイスは次の条件を満たす必要があります:

1. きれいなプリント回路基板の表面にはんだが適切に取り込まれるようにするために、各はんだパンプに対して、はんだマスク定義 (SMD: solder mask defined) の正しいフットプリントをプリント回路基板に作成しなければなりません。
2. ランド間の任意のはんだフラックスを適切に洗浄するために十分な高さを実現できるように、適切なはんだ量にして、適切なリフロー工程を実施しなければなりません。はんだの量が多すぎると、リフロー中に接合部が不安定になって傾いたり崩壊したりしてしまいます。
3. 電源を投入する前に、すべてのフラックスをランド間から洗浄し、乾燥させなければなりません。
4. 使用中にアセンブリが湿気にさらされる場合、アンダーフィルを使ってください。

図3に、適切に実装されたデバイスの側面図を示します。



図3: 正しく実装されたeGaNデバイス (側面図)。

eGaN FETとICのプリント回路基板設計に関する考察

パワーの設計者は、デジタル回路と同等の微細ピッチのデバイスに精通していないかもしれません。このセクションでは、eGaNデバイス用のフットプリントを設計する際に、設計者が考慮する必要がある多くの設計の視点について説明します。

プリント回路基板にeGaNデバイスを取り付けるはんだバンプの品質は、電気的、熱的、機械的な接続の信頼性を高めるために重要です。はんだバンプの品質を定義する要因には、対称性、量、高さ、仕上げなどがあります。これらの要因は、主にレイアウトに重点を置いている設計者には見落とされる可能性があるため、デバイス・メーカーは、製品のデータシートに明確で簡単なガイドラインを提供する責任を負わなければなりません。これらのガイドラインには、推奨されるフットプリント（銅の寸法やはんだマスクの開口）、および、はんだペーストのステンシル設計などが含まれます。

1. はんだマスクで定義されたパッド

eGaNデバイスでは、図4（右図）に示すように、LGAおよびBGAのバンプ用のはんだマスク定義（SMD: solder mask defined）のフットプリントを推奨します。図4（左図）は、通常、プリント回路基板設計に使われる非はんだマスク定義（NSMD: non-solder mask defined）のフットプリントのパッドです。顧客のアセンブリ工場での不具合に関する当社の調査では、プリント回路基板メーカーが、より大きなパッケージ用に開発された内部の製造設計ガイドラインに適合するようにガーバー・ファイルを修正し、提供された設計を他のすべてに優先することが分かりました。

基板の最終的な出荷前の設計レビューでは、アセンブリにおけるスクラップやリワークの費用が発生する前に、この問題が浮き彫りになります。図5は、はんだ付け後にバンプを確実に対称にすることによって、SMDのパッドが機械的応力をどのように低減するかを示しています。これとは対照的に、NSMDのフットプリントを使うと、銅層とマスク層との間が完全に100%位置合わせされていないようなので、非対称のはんだバンプが生じる可能性があります。SMDのフットプリントの場合、プリント回路基板の製造公差内で耐性が保証されます。

2. はんだマスクの品質

すべてのはんだマスクが同じであるわけではありません。厚さと均一性が最も重要になる高品質のプリント回路基板を実現するためにはんだマスクを指定するとき、何を見るべきかを知ることが重要です。はんだマスクが厚すぎると、ペーストを押し付ける必要がある距離が長くなり、はんだペーストを適切に分配することが難しくなります。

はんだマスクの一貫性が均一でない場合、ステンシルが基板に対して適切に装着されることをバンプが妨げる可能性があります。はんだマスクの欠陥、または、はんだマスクの大きすぎる開口は、バンプの高さを低くし、極端な場合には、クラック、および/またはチップの傾きになり、さらには、回路がオープンになってしまうことがあります。結果として生じる変形したバンプは、機械的応力の増加に伴って冷却され、熱的に誘発された欠陥を加速することになります。

eGaNデバイスを採用するプリント回路基板用の適切なはんだマスクは、Taiyu 4000HFX L.P.I.、PSR-2000/LF02/CA-25、およびその同等品など、IPC-SM-840クラスTに分類されます。はんだマスクがプリント回路基板メーカーによって拡大または変更されないことをプリント回路基板の製造ファイルに明記することが重要です。

レーザー・ダイレクト・イメージング（LDI）は、原図に指定されている公差、または銅層に対して2ミル（1ミルは0.0254 mm）の公差になるように、はんだマスクにレジストを使わなければなりません。最後に、はんだマスクを切り取ってはいけません。レイアウトのソフトウェアが正しい設計ルールに設定され、フットプリントが正しく設計されていることを確認するために、設計者は、切り取り（クリッピング）に重点を置きます。

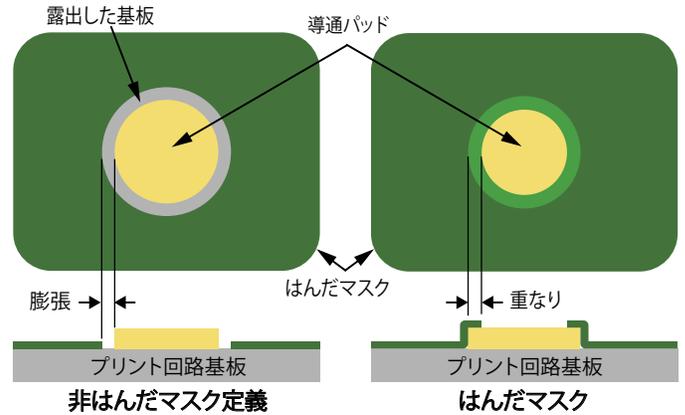


図4: はんだマスク定義と非はんだマスク定義のパッド。

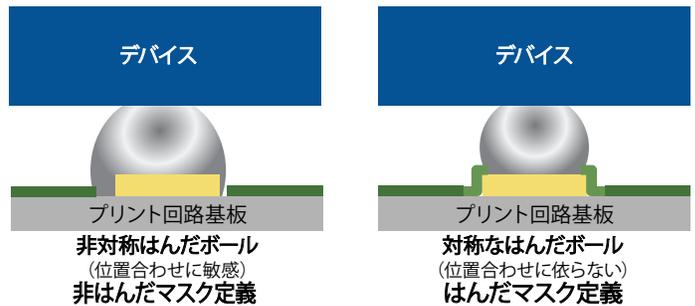


図5: はんだボールの対称性におけるはんだマスク層の位置合わせへの銅の影響。

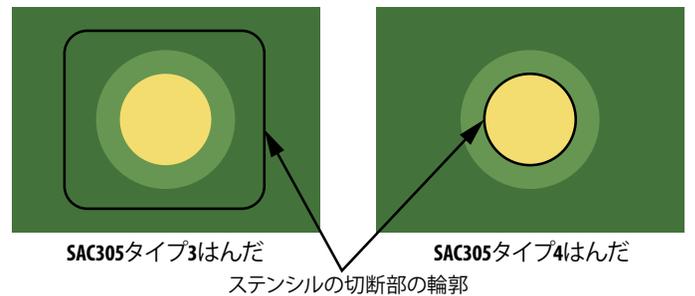


図6. ステンシル設計へのはんだの種類の影響。

3. はんだバンプの量

基板とデバイスとの間のはんだバンプの高さも、機械的応力にとって重要です。はんだバンプの高さは、信頼性、電気的特性、熱的特性の間のバランスに影響すると判断されています。バンプの高さが低すぎると、デバイスは、熱によって誘発される高い機械的応力を受け、はんだボールまたはバンプ下の金属疲労の原因となるでしょう。デバイスが高すぎる位置にあると、（プリント回路基板からの熱抽出効果の減少による）高い電気的および熱的ストレスが発生します [3]。

最適な高さは、デバイスによって異なります。LGAやBGAのデバイスでは、はんだの種類などの付加的なオプションが設計上の決定事項の一部に含まれなければなりません。図6は、はんだの種類が異なると、ステンシル設計に、どのように影響するかを示しています。もしタイプ3とタイプ4のはんだの両方に、同じはんだマスクを使いたいなら、EPCは、可能な場合、両方のはんだの種類に対応できると思われる推奨を提供し、顧客と共に対応することができます。そのような推奨はデータシートにも示されています。

4. はんだパッドの仕上げ

多くの設計者は、パッド上にはんだを付着させる基板に対して、ホット・エア・はんだレベリング (HASL) 処理を使うことを選択しています。これらのはんだの付着では、ステンシルを介して分配されるはんだ量が変わるので、パッド上に少量のはんだを付着させます。この追加されたはんだは、バンプのはんだ量に含まれ、最終的には、完成したバンプの量に影響し、その品質に影響を与えます。

さらに、図7 (右図) に示すように、HASL処理は不正確であり、一般的に、パッド上に不均一な量のはんだが付着し、これによって、チップの傾きや、はんだ接合部がオープンになってしまうことがあります。図7 (左図) に示すように、非常に均一で平坦なパッドが得られる無電解ニッケル浸漬金メッキ (ENIG) のパッド処理を使うことを推奨します。

ENIG処理の場合、IPC-4552に準拠し、標準的なニッケル (Ni) の厚さは150マイクロインチ、金 (Au) の厚さは3~5マイクロインチを推奨します。

5. シルクスクリーン

シルクスクリーンは、伝統的にプリント回路基板において重要な役割を果たしていませんが、厚さがゼロでなく、結果として、リフロー処理中にフラックスの流れを妨げることになるため、信頼性に関係する部分があります。

リフロー中にフラックスの流れが妨げられると、チップの傾きやフラックスの残留を招きます。シルクスクリーンは、アセンブリ工程中に、チップを適切に位置合わせするためにも使われます。多くの設計者は、図8 (右図) に示すように、デバイスの輪郭が完全に囲まれたシルクスクリーンのパターンを設計する傾向があります。これは、リフロー中にチップの下からフラックスが流れ出ることができない場合にせき止めることになり、特に、チップのすべて、または大部分の周りを囲む厚いシルクスクリーンでは深刻です。フラックスのせき止めは、チップの下に未硬化のフラックスが存在することになり、熱的および電気的な樹枝状結晶 (デンドライト) の形成につながります (下記のトラブルシューティングの項を参照)。

図8 (左図) のように、さまざまな場所で、単にシルクスクリーンの壁を開くだけで、せき止めを防ぐことができます。シルクスクリーンは、パッドの汚れの原因にもなり得るので、これを避けるように注意してください。シルクスクリーンは、できるだけ薄く、ベンダーが実施することができる1ミル以下 (おそらく0.7ミル程度) に保つ必要があります。

6. ビア

ビアは、小型かつ電気的特性が要求されるため、eGaNデバイスのプリント回路基板設計では、なくてはならない手法です [4]。ビアの寸法は、設計者の裁量に委ねられています。ビアの利用方法に応じて、いくつかの制限を理解する必要があります。

基本的なビアは、プリント回路基板の層間の垂直接続であり、銅の環状 (アニュラ) リングを備えた穴で構成されています。製造上の制限によって、穴のサイズは、最小6ミル、最小環状リングの寸法は5ミルに制限されています。設計者は、これがすでに、いくつかのeGaNデバイスのバンプ間隔の寸法を超えており、一定の妥協がなされているかもしれません。チップの近くにあるビアは、リフロー工程中にはんだが穴に吸い込まれることを防ぐために、および、チップに近接して露出した銅による電圧クリアの問題を防ぐために、常に、はんだマスクで覆われていなければなりません。

場合によっては、デバイスのパッドの下にビアを配置する必要があるかもしれません。これが必要な場合は、リフロー中に、バンプの最適な高さを得るために必要なはんだが、穴に流れ込むことを防ぐために、ビアを充填してふさがなければなりません。ふさがりすぎると、フィラーがはんだバンプの下でガス放出することを防ぐために必要です。パッドのはんだマスク開口部がビアの重なり部分を覆うか、またはビアの一部を覆うか露出させるかを決定するた

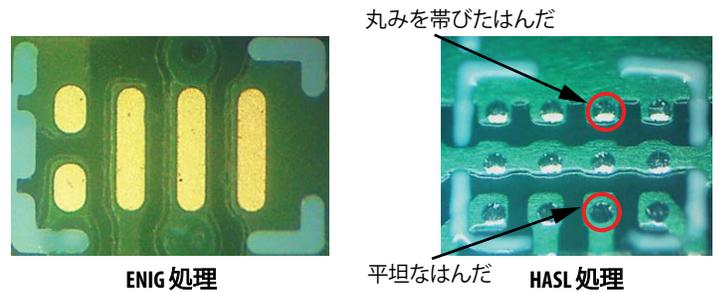


図7: ENIG処理と不均一なはんだの高さを示すHASL処理の例。

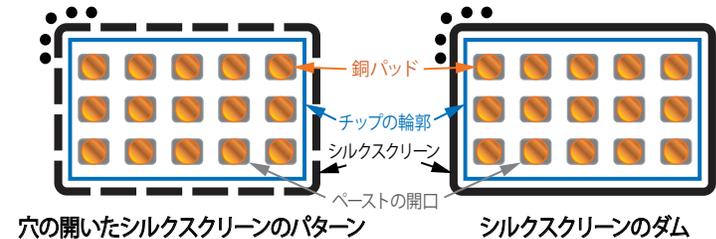


図8: デバイスのランド・パターン。デバイスの輪郭の周りで穴の開いたシルクスクリーン (左) とダムでせき止めたシルクスクリーン (右)。

めに、レイアウト設計ソフトウェアでこのビアをカバーしなければなりません。完成したビアは、本質的に、パッドの残りの部分と同じ高さにしなければなりません。これによって、適切なはんだペーストの分配が保証されるでしょう。

設計の中には、電流を分配し、他の層に転送される電流の合計を増加させるために多数のビアが必要になることがあります。ビアは、同じ電気ノードに接続されていますが、製造上の制限によって、基板が脆くなることを防ぎ、均一な基板の厚さの仕上がりを確保するために、ビアの壁と壁との間隔は少なくとも10ミルが必要です。デバイスの近く、またはその内側にある覆いのあるビアは、ステンシルの位置をより高くする原因となる高所点になることがあります。製造中にはんだが過剰に付着するかもしれません。デバイスの近く、または内側にビアを使う場合は、プリント回路基板メーカーが、あなたのステンシルの据え付けの問題を認識していることを確認してください。

設計によっては、ビアの穴の大きさの制限が最小限である場合があります。この場合、デバイスのパッドの下にビアを配置することは不可能です。図9 (上図) の設計例のようにデバイスの隣に配置しなければならないこととなります。図9 (下図) は、パッドの制約がないビアの設計を示しています。この写真では、FETのパッドがメッキされ、もはやビアが見えなくなったことが明確に分かります。

7. 層の位置合わせ

プリント回路基板を構成する多くの層は、互いに整列させる (位置合わせする) 必要があります。これによって適切に機能する基板が保証されます。これは、位置合わせ精度の公差を示すことによって規定されます。同じ種類の層は、通常、異なる種類の層とは異なる仕様になります。一般的に、お互いに位置合わせされた層は、銅-銅、銅-はんだマスク、銅-穴、銅-シルクスクリーン (通常は、規定されていませんが、チップの配置に役立ちます) です。

ほとんどの層は、穴を除いて銅層に対して2ミルの位置合わせ公差で指定することができますが、最低でも3ミルにすべきです。

8. 層のスタックアップ (積み重ね)

スタックアップは、プリント回路基板を構成する各層の厚さを限定します。eGaN FETとIC用のプリント回路基板は、設計および必要な電流密度に応じて、通常、1オンスおよび2オンス (35 μmおよび70 μm) の間の厚さの銅を使います。この絶縁層は、一般的には、FR4またはFR370-HRなどの材料を使って形成されます。より高いガラス転移点 (転移温度Tgが少なくとも180°C) の基板の方がより信頼性が高くなります。

製造しやすさと電気的特性との間のバランスが、絶縁層の厚さを決めます。100 Vのデバイス向けの最適レイアウトでは、第1層 (例えば表面層) と第2層との間のコアの厚さを5ミルに特定します。対称性の要件によって、第3層と第4層の間も5ミル厚となり、プリプレグ層で最終的な基板の厚さ (通常は1.5 mmまたは62ミル) になるように調整します。より高電圧のデバイスでは、「沿面」の要求を適切に保証するために、最小のコア厚さは12ミルを推奨します。そして、プリプレグ層を約25ミルに調整します。図10に、プリント回路基板の標準的なスタックアップを示します。

9. 基板の平坦度

あまり知られていないプリント回路基板の仕様は、基板の平坦度です。これは、依然として重要な仕様です。過度に曲がった基板は、基板にステンシルを正しく取り付けることの妨げとなり、はんだペーストがパッドに正しく分配されない可能性があるからです。水平または垂直の最大寸法が200 mm (8000ミル) のアレイは、平坦度が1 m当たり40 mm (1インチ当たり7.5ミル) 以内になるように指定しなければなりません。

10. 基準点

基準点は、アセンブリの配置工程中の部品の位置決めに使われます。eGaN デバイスはピッチが微細なので、通常、プリント回路基板に基準点を追加する必要があります。基準点には、グローバルとローカルの2種類があります。グローバル基準点は、プリント回路基板アレイの配置に使われ、ローカル基準点は、1枚の基板上で使われます。ほとんどの設計では、eGaNデバイスに対応するためにローカル基準点が必要になります。

標準的な基板では、少なくとも2つが垂直に整列し、2つが水平に整列した少なくとも3つの基準点を設定してください。基準点は、基板の端の近くに、できるだけお互いに離して配置してください。この配置は、より長い距離にわたる位置決めを改善します。eGaNデバイスが基板の片側に多く配置されている場合、基準点は互いに近接して配置してください。ほとんどのアセンブリ作業員にとっては、直径40ミルの基準点で十分です。

11. 基板またはアレイの大きさの制限

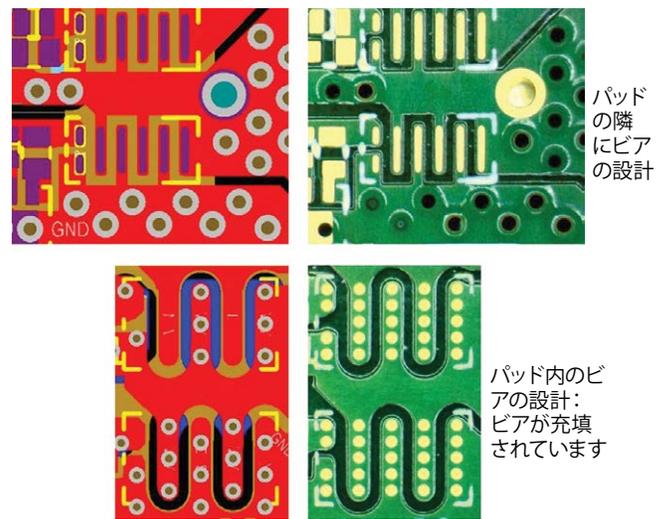
eGaNデバイスを使うプリント回路基板およびプリント回路基板アレイの大きさは、制限されていなければなりません。より大きな基板は、形状が小さいeGaNデバイスの精密なアセンブリのための位置決めがより難しくなります。基板とアレイは、各側面で200 mmに制限しなければなりません。アレイの場合、さまざまな基板のすべてのeGaNデバイスをお互いできるだけ近くに配置するために、基板を回転させることを推奨します。これによって、より大きな基板を使うことができ、位置合わせの場所をeGaNデバイスでできるだけ近くに配置することができます。

eGaNデバイスのアセンブリ工程

これまでの議論は、プリント回路基板の設計とその製造しやすさに焦点を当ててきました。このセクションでは、プリント回路基板と関連するアセンブリ工程を説明します。

12. はんだペーストの選択

EPCは現在、eGaNデバイスのはんだ付けに米Kester社のNXG1タイプ3



プリント回路基板のレイアウト プリント回路基板の写真

図9: FETの隣りにビアを配置したレイアウト設計 (上図)、およびFETのパッド内にビアを配置したレイアウト設計 (下図)。

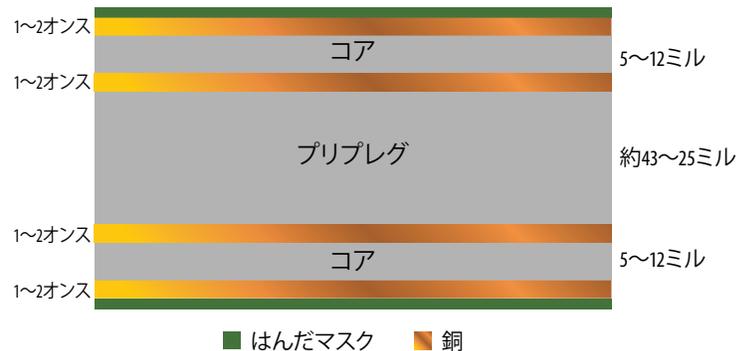


図10: eGaNデバイスに適したプリント回路基板の標準的なスタックアップ。

SAC305および同社のNP505-HR SAC305タイプ4のはんだペーストを使っています。いずれのペーストも、88.5%の金属を含む無洗浄フラックスです。

熱的および電気的な樹枝状結晶 (デンドライト) の形成を防ぐために、たとえ無洗浄フラックスを使っても、基板からフラックスを洗浄することを推奨します。EPCは、無洗浄フラックスを除去するために、米 Technical Devices Company社製のNu/Clean AquaBatch XLの標準システムで試験薬品に米Kyzen社のAquanox® A4625を使っています。

無洗浄フラックスを使って、洗浄しない場合は、リフロー後に150°Cで60分以上のバークを推奨します。これによって、無洗浄フラックスが適切に硬化され、樹枝状結晶の形成を防止することに役立ちます。

水で洗浄しやすいフラックスを使う場合、eGaNデバイスでは、適切なフラックス除去を確実にするために4つの側面のすべてで洗浄する必要があります。傾いたデバイスは、洗浄の流れを妨げ、フラックスがチップの下に閉じ込められたままになることがあります。このため、低イオン成分の無洗浄はんだフラックスを使って、無洗浄フラックスを洗浄することを推奨します。

13. ステンシル設計

厚さ100 μmのレーザー・カットのステンレス鋼のステンシルを推奨します。滑らかな壁のレーザー・カット・ステンシルは、所望の分量を放出する可

能性がより高くなります。タイプ3のはんだペーストは、タイプ4のはんだよりも大きな開口部を必要とし、参考文献[15]、および各チップの構成の両方に対して推奨事項を用意しています。型打ちしたステンシルを使わなければならない場合、適切なはんだ放出量を補償するために、開口部をわずかに大きくする必要がありますかもしれません。

14. リフロー・プロファイル

図11は、はんだペースト・メーカーのペーストに対する推奨事項に基づいたeGaNデバイスに推奨するリフロー・プロファイルです。使用しているペーストによって、常にベンダーが推奨するリフロー・プロファイルに従わなければならない。

プリント回路基板の設計とアセンブリの問題へのトラブルシューティング

プリント回路基板の設計ルールに正しく従わないと、多くの問題が発生する可能性があります。これらの問題は、アセンブリ技術が不適切だと悪化することがあります。このセクションでは、私たちが遭遇した多くの問題を紹介します、その原因について説明します。

チップの設置圧力

過剰な圧力によって、チップの損傷が発生する可能性があります。EPCは、背面圧力の最大値を50psi以下に制限することを推奨しています。詳細については、[信頼性レポートのフェーズ11](#)を参照してください

15. 電氣的樹枝状結晶

電氣的樹枝状結晶は、フラックスが電圧に曝されて導電性結晶を形成するときに形成されるイオン汚染と考えられています[5]。電圧が高いほど、樹枝状結晶がより速く形成されます。電氣的樹枝状結晶は、その形成中に回路を短絡させるだけでなく、大きな熱を生じるので、すぐに故障に結び付く可能性があります。図12は、eGaN FETのはんだバーの周りの樹枝状結晶形成の一例です。

16. 熱的樹枝状結晶

熱的樹枝状結晶は、比較的新しい発見であり、電氣的樹枝状結晶と同じように見えるかもしれませんが、混同しないようにしてください。それらは、炉の冷却中に形成されるフラックスのクラック（割れ）によって引き起こされます。冷却されていないはんだは、フラックスのクラックの中に拡散する可能性があります。これらの細い糸状のはんだは、バンプの間の電氣的距離を著しく短くし、動作中に破損することがあります。無洗浄フラックスを使うときでさえも、アセンブリ工程後にフラックスのクラックが残ることがあります。図13は、チップがない場合に形成されたプリント回路基板のフラックスのクラックを示しています。

熱的樹枝状結晶は、樹枝状結晶を形成する過冷却液体の中の粒子から成長する「枝」につながる核生成源が存在する金属溶融物に見られる伝統的な熱的樹枝状結晶とは、わずかに異なります[6,7,8]。この種の樹枝状結晶は、無洗浄フラックスを洗浄することによって防止または除去することができます。

熱的樹枝状結晶の例も図14に示しました。

17. はんだの不十分な付着

汚れたはんだパッドは、はんだの不十分な付着、ポイド、および、広い領域が濡れないことにつながります。ほとんどの汚れは、例えば汚れた洗浄液などで、はんだマスクの残渣がパッド上に残ったプリント回路基板の不十分な製造工程から生じます。はんだマスクのブリードやシルクスクリーンの残留物もパッドを汚す一般的な原因になります。

図15は、きれいなパッド仕上げの例（左図）と非常に汚いパッド仕上げの例（右図）を示しています。はんだの付着が不十分だと、回路がオープンになり、大電流対応デバイスでは、電流が強制的に想定外の方向に流れるため、過度の電流密度が生じ、最終的にデバイスが故障することがあります。図16は、はんだの濡れの問題の例を示しています。

18. はんだバンプのクラック

はんだバンプは主に、熱的に誘発された機械的応力によってクラックが生じます。はんだがアセンブリ工程中に応力を受けて凝固すると、凝固した応力は、熱膨張と収縮によって誘発された応力に加わるので、故障を加速することになります。

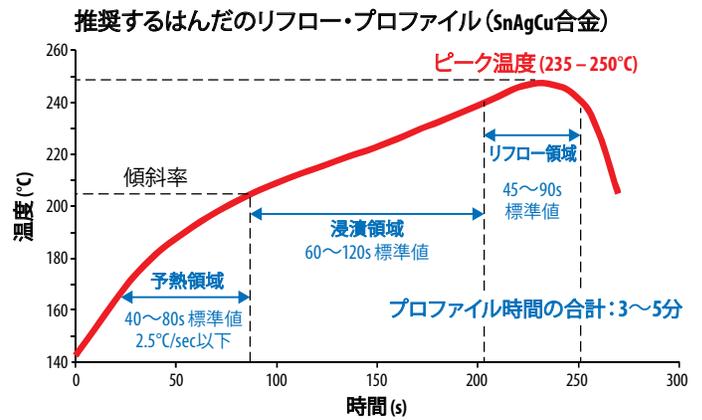


図11: 推奨するはんだのリフロー・プロファイル。

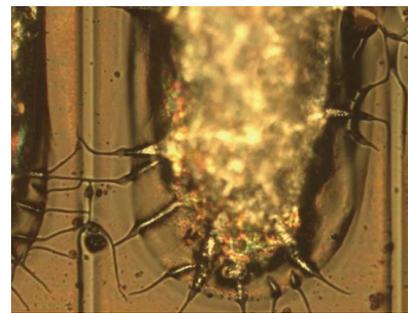


図12: 残留フラックスに曝された後のeGaN FETの電氣的樹枝状結晶の形成。

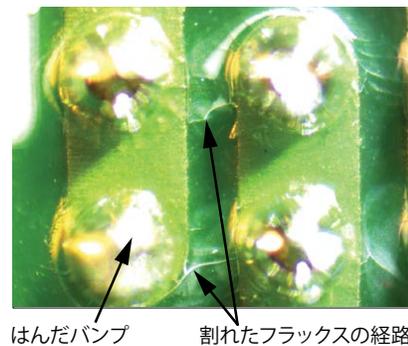


図13: チップが存在しないときの割れた残留フラックスによる熱的樹枝状結晶の形成経路の例。

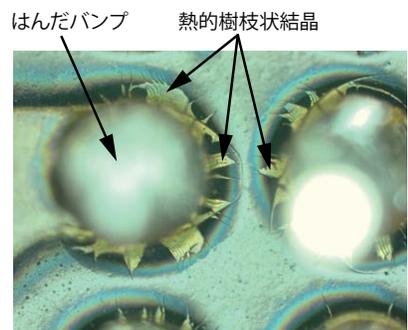


図14: 割れた残留フラックス中のeGaN ICの熱的樹枝状結晶の形成。

熱サイクル中のはんだ接合部の歪みに関する業界でよく知られている分析モデル [9] が次式です。

$$\varepsilon = \frac{(\Delta\alpha \cdot \Delta T \cdot DNP)}{h} \quad (1)$$

ここで:

ε = はんだ接合部の歪み

$\Delta\alpha$ = チップとプリント回路基板との間の熱膨張係数の差 [°C⁻¹]

ΔT = 周期的に変わる温度の振幅 [°C]

DNP = 中性点からの距離 (チップ・サイズとはんだバンプ/バーの位置に基づく応力の重心) [m]

h = はんだ接合部の高さ [m]

式 (1) は、はんだバンプの高さが非常に高いと、熱によって誘発される応力が減少してゼロに近づくことを示しています。これは必ずしも実用的ではありません。熱的に誘発される応力と信頼性のバランスは、通常、デバイスのメーカーによって決められ、製品のデータシートに示されています。eGaNデバイスの場合、はんだマスク定義のパッドは、リフロー工程中に誘発される応力を一段と低減します。

はんだバンプのクラックの例が図17です。

19. はんだボイド

はんだボイドは、図18に示すように、はんだ内の空間です。はんだボイドは、パッドへのはんだ付着不良、汚れたパッドからのリフロー中のガス放出、デバイスのスタンドオフの高さ不足 [10]、および誤ったはんだプロファイルなどさまざまな原因で生じます。

ボイドは、デバイスとプリント回路基板パッドとの間の接触面積を小さくし、はんだバンプ内に不均一な機械的および熱的に誘発された応力を生じさせます。時間が経つと、これらのボイドは成長し、故障につながる可能性があります。

20. チップの傾き

チップの傾きは、はんだ付着不良、はんだペーストの不均一な分配、リフロー中の過度の振動、最適化されていない温度プロファイル、はんだマスクが大きすぎる、はんだステンシルの開口が大きすぎるなど、いくつかの原因によって発生する可能性があります。チップの傾きは、チップ全体にわたって不均一な熱機械的応力を引き起こすため、デバイスの信頼性劣化の要因になります。これは、回路のバンプの短絡やオープンも示すかもしれません。図19は、傾いたeGaNデバイスの例です。

21. アンダーフィル

基板が湿気に曝される用途では、アンダーフィルを使う必要があります。湿気やその他の汚染物質は、樹状突起の成長を可能にする環境を作る可能性があります。150°C対応のEPCデバイスの場合、利用可能なアンダーフィルには、独ヘルンケル社アドヒーズテクノロジーズ (接着技術) 部門のHysol FP4531、ナミックスのU8437-2、ナミックスの8410-406B、ヘルンケルのLoctite Eccobond UF 1173があります。ベンダーの推奨に従って、アンダーフィルを適用する前に、チップ表面にフラックス残留物がないことを確認してください。アンダーフィルを適用する側面を選択するときは、バンプのレイアウトの方向性を考慮してください。

EPC2014Cのアンダーフィルの状態
 側面の1と2にアンダーフィルを適用
 側面の3と4の完全性を確認してください

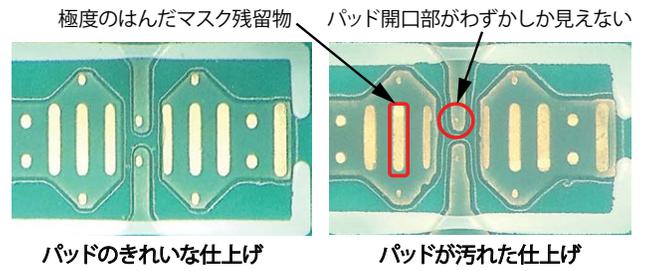
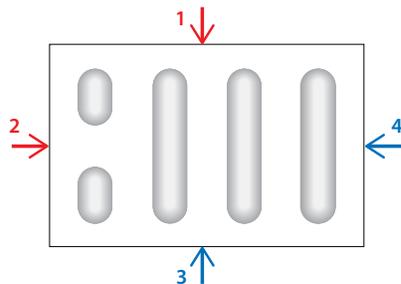


図15: 汚れたパッドときれいなパッドの例。

不良なはんだの濡れ

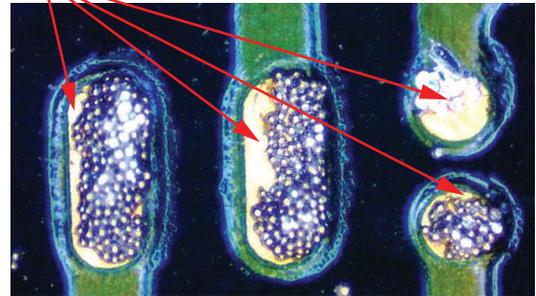


図16: 不良なはんだの濡れの例。



図17: バンプのクラック (割れ) を示すeGaNICのはんだバンプ断面のX線。

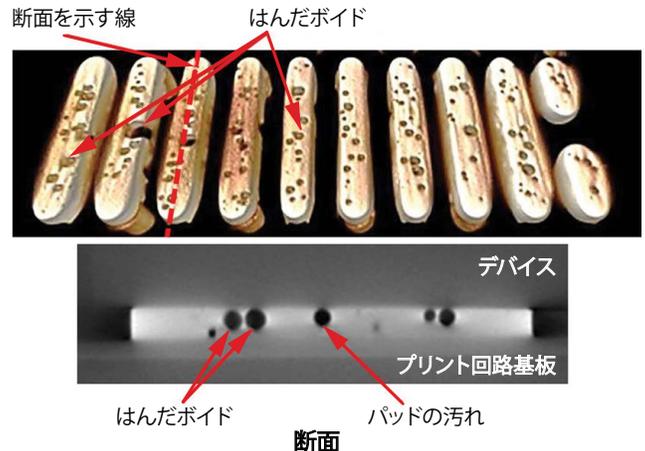


図18: はんだバンプの過度なボイドを示すeGaN FETの3次元X線 (上図)。はんだ界面のパッド上の汚れは、ボイドの形成につながります (下図)。

22. 設計例

図20は、2オンス銅の表面金属層を備えたプリント回路基板上の鉛フリー、無洗浄はんだペーストNC257-2 SAC305 [13]の上にLGA封止 (BGA封止にも有効) のEPC2001Cを実装したときの断面図です。断面領域は、はんだ量の目安として使えるでしょう。データシートから、はんだバンプの半径は100 μmなので、断面積は15.7 nm²となります。金属負荷88.5%で鉛フリー無洗浄のNC257-2 SAC305タイプ3はんだペーストを使うと、ステンシル厚は100 μm、はんだマスクの幅は約180 μmになります。

23. 検査

eGaNデバイスは、機械的に丈夫であり、量産のアセンブリにおいて高い歩留まりを示しています。しかし、適切なはんだリフローを確実にし、チップの過度の傾きを減らし、未硬化のはんだフラックスが残らないようにするために、いくつかの標準的な予防措置を施さないと、故障が発生する可能性があります。

eGaNデバイスは、リフローされたはんだが肉眼で見えるように設計されていますが、デバイスが適切にリフローされているかどうかを判断する最良の方法は、X線画像を生成することです。図21と図22は、はんだステンシル工程で組み立てられたEPC2019のX線画像です。図21は、潜在的なはんだ量またはリフローの問題を示すボイドや不均一な形状の接合部の画像です。図22から分かるように、最小のボイドや整然とした接合部は、高い信頼性及び優れた熱的特性および電気的特性に貢献します。

24. 洗浄

アセンブリ工程で洗浄を必要とするフラックスを含むはんだを使う場合、チップの傾きが洗浄の流れを妨害し、フラックスがチップの下に閉じ込められることがあります。この残留フラックスは、樹枝状結晶の急速な形成を引き起こす可能性があり (図12)、これがデバイスの初期不良の原因となります。このため、低イオン成分の無洗浄はんだフラックスを使い、無洗浄フラックスを洗浄することを推奨します。EPCのデバイスの中には、チップの下を適切に洗浄するために、指定の方法で洗浄しなければならないデバイスもあります。フラックスを除去するために部品を適切に洗浄するように注意してください。図23に示す例は、フラックスを適切にクリーニングするために、最低でも3面を洗浄する必要があるEPC2001Cタイプのチップです。

LGAおよびBGAのパッケージについて

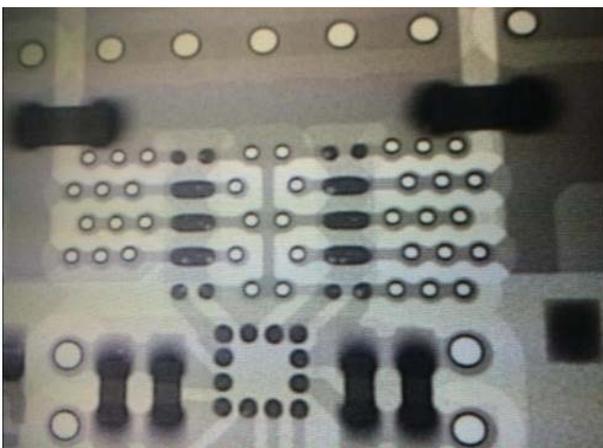


図21: EPC2019とドライバLM5113を示す基板のX線。この画像は、EPCの部品とドライバのはんだバーおよび凹凸のあるように見える接合部の形状の中のボイドを示しています。これは、はんだペーストの量とリフローの問題と考えられる例です。



図19: はんだ付け後、かなり傾いたeGaNデバイスのチップの側面図。

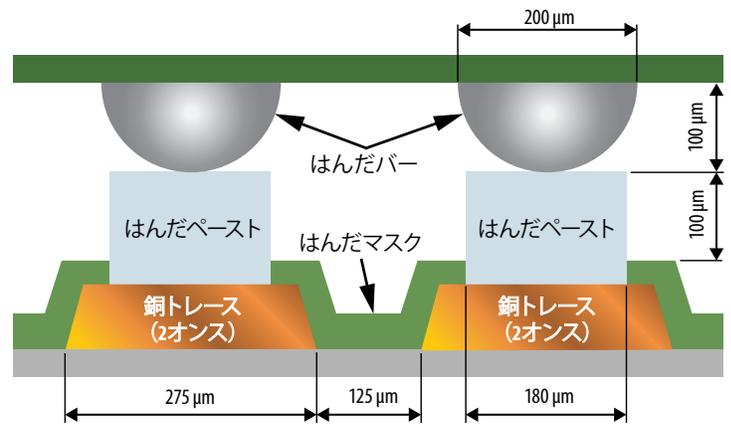


図20: EPC2001Cを実装した代表的なプリント回路基板の断面図 (リフロー前)。

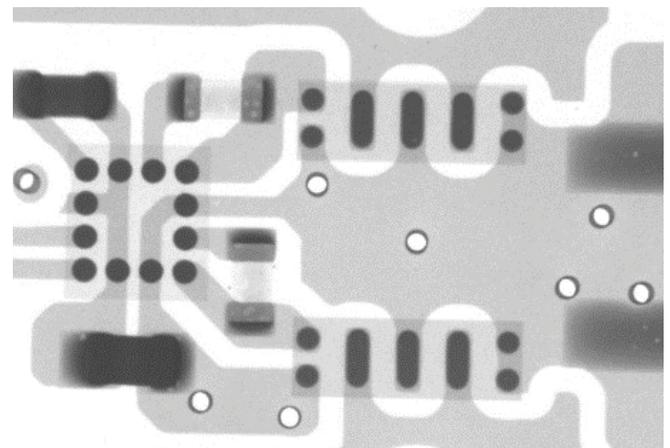


図22: 適切にリフローされたEPC2019およびドライバLM5113のX線。EPCの部品やドライバに明らかなボイドはありません。接合部は濃い色で、接合部の形状は、大きさが一定であり、見た目も均等です。

デバイスは、鉛フリーでハロゲン・フリーです。RoHS準拠のLGAおよびBGAのパッケージは、組成が95.5% Sn、4% Ag、0.5% CuのSn/Ag/Cuはんだ、または組成が97.5% Sn、2.5% AgのSn/Agはんだを使っています。すべての鉛フリー製品は、最高の商用半導体レベルである耐湿性レベル1 (MSL1 260°C) です。

EPCのeGaN FETとICを取り扱うときは、通常の製造ESD予防策を講じる必要があります。テープ・アンド・リールの推奨倉庫保管条件: 温度20°C ~28°C、湿度40%~60%。

クイック・スタート・エンジニアリング・ラボのアセンブリ

EPCのeGaNデバイスは、はんだをリフローしている間、部品をその場所に保持するために粘着性フラックスを使うことによって、はんだを追加せずにプリント回路基板上に直接実装することができます。許容される鉛フリー (PbF) 工程の例として、ケスター社の無洗浄フラックスTSF6502を使っています。EPCのウェブサイト (<https://epc-co.com/epc/jp/設計サポート/アセンブリの資料.aspx>) のアセンブリのページで、チップ装着とはく離の手順のクイック・リファレンス、およびビデオを参照できます。

結論

LGAやBGAのパッケージは、eGaN技術の能力を最大限に引き出すために必要な低インダクタンス、小型、優れた熱特性を提供します。適切な製造技術によって、eGaNデバイスを使うアセンブリは、高い歩留まりと、長く信頼できる動作寿命を実現できます。

LGAやBGAのデバイスのフットプリントは、はんだマスク定義にしなければなりません。はんだマスクの設計は、データシートの推奨ランド・パターンに従ってください。

はんだ量とリフロー・プロファイルを適正にすることで、適切な洗浄のために、十分なスタンドオフの高さで実装されたチップが確実に水平になることの助けになります。残留物を除去するためには、あらゆる方向の洗浄と乾燥が必要です。そうしないと樹枝状結晶の成長を可能にしてしまいます。

完全なリフローを保証し、チップの傾きを防ぐために、リフローの温度プロファイルを最適化してください。

参考文献

1. A. Lidow, "Six Reasons to Rethink Power Semiconductor Packaging," <https://www.linkedin.com/pulse/six-reasons-rethink-power-semiconductor-packaging-alex-lidow>
2. A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion. Second Edition*, Wiley, ISBN 978-1-118-84476-2.
3. C. Jakubiec, R. Strittmatter, C. Zhou, "EPC eGaN® FETs Reliability Testing: Phase 8," 2016, [Online] Available: <http://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase8.aspx>
4. D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," Applied Power Electronics Conference, APEC 2013, pp. 649–655, 16–21 March 2013.
5. R. Ambat, M. S. Jellesen, D. Minzari, U. Rathinavelu, M. A. K. Johnsen, P. Westermann, P. Møller, "Solder Flux Residues and Electrochemical Migration Failures of Electronic Devices," Proceedings of the Eurocorr 2009, Paper No. 8141, 6–10 September 2009.
6. "Development of Thermal Dendrites," 366-2012-Lecture7, Course: MATE 366, School: Drexel University.
7. V. Pines, A. Chait, M. Zlatkowski, "Thermal diffusion dominated dendritic growth – an analysis of the wall proximity effect," Journal of Crystal Growth 167 (1996) 383–386
8. R.F. Sekerka, S.R. Coriell, G.B. McFadden, "The effect of container size on dendritic growth in microgravity," Journal of Crystal Growth 171 (1997) 303–306
9. Denis Barbini, Ph.D. & Michael Meilunas, "Reliability of Lead-Free LGAs and BGAs: Effects of Solder Joint Size, Cyclic Strain and Microstructure," IPC APEX EXPO Conference Proceedings.
10. Muffadal Mukadam, Michael Meilunas, Peter Borgesen, Ph.D., K. Srihari, Ph.D., "Assembly and Reliability Issues Associated With Leadless Chip Scale Packages," October 2, 2006.
11. <http://www.mv-group.biz/images/loctite.pdf?nonline=208d580d695356b06651cd3ccceaabfc>
12. http://www.shinetsu.co.jp/encap-mat/e/product/k_s/smc/index.html
13. NC257-2 SAC305 Datasheet - http://www.aimsolder.com/sites/default/files/nc257_sac305_solder_paste_tds.pdf
14. M. de Rooij, A. Nakata, "Designing Manufacturable and Reliable Printed Circuit Boards Employing Chip Scale eGaN® FETs," International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe), May 2017, pp 1399–1406.
15. A. Lidow, J. Strydom, M. de Rooij, Y. Ma, *GaN Transistors for Efficient Power Conversion. First Edition*, Chapter 10, Power Conversion Publications, ISBN 978-0-615-56925-3.

情報は予告なしに変更されることがあります。

2021年7月改訂

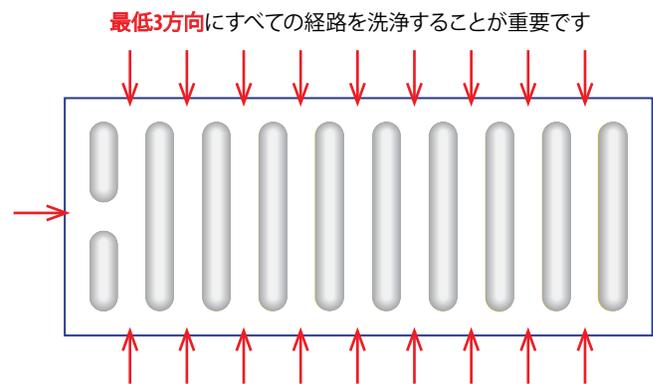


図23: EPC2001Cのチップと、フラックスを適切にきれいにするために必要な最小の洗浄の例。