

EPCのeGaN®の信頼性試験： フェーズ10



Alejandro Pozo Ph.D., Shengke Zhang Ph.D., and Robert Strittmatter Ph.D., Efficient Power Conversion Corporation, 米国カリフォルニア州エルセグンド

Efficient Power Conversion (EPC) 社のeGaN®デバイスが広範な多くのアプリケーションに速やかに採用されるには、信頼性統計の継続的な蓄積とGaNデバイスの故障の基本的な物理的調査が要求されます。このフェーズ10の信頼性レポートは、これまでの9本のレポート [1~9] で公開され、拡大し続けている知識ベースの追加であり、いくつかの重要な新しいトピックをカバーしています。

最初のセクションでは、4種の新しい車載用eGaN®製品の自動車品質AEC-Q101認定が無事に完了したことを報告します。製品化のために進行中のももあります。AEC-Q101では、パワーFETに対して最高レベルの信頼性基準を要求し、データシート上での故障がないだけでなく、ストレス・テスト中のパラメータのドリフトが小さいことも要求されます。この品質認定を達成するために完成したテスト・マトリックスの詳細を示します。

GaNは、従来のSi MOSFETと比べて新しい半導体技術なので、多くのユーザーは、AEC-Q101規格の枠を超えた追加の試験を求め、デバイスの故障につながる可能性のある独自のメカニズムについて、より深く理解したいと思っています。このレポートの残りの部分では、この種の追加試験の例をいくつか紹介します。

セクション2では、大きな入力電圧 (V_{IN}) におけるハード・スイッチングおよびソフト・スイッチングの条件下でのeGaN FETの信

頼性について説明します。EPCが開発した新しいテスト・システムを使って、スイッチングで動作する部品のオン抵抗 $R_{DS(on)}$ を測定し、10年以上の連続動作での $R_{DS(on)}$ の増加（「動的 $R_{DS(on)}$ 」とも呼ばれます）を推定できます。このテスト・システムを説明した後、3つの加速要因、すなわち (1) V_{IN} 、(2) 温度、(3) スwitchング周波数に対するスイッチングの信頼性を調べます。

セクション3では、ゲートの加速ストレス・テストを取り上げます。フェーズ6のレポート [6] で説明したゲートの信頼性調査を拡張するために、直流ゲート・ストレスの下で部品の母集団をテストでき、ストレス期間中、各部品を継続的にモニターすることができる新しいテスト・ハードウェアを開発しました。ゲートの漏れを継続的にモニターするだけでなく、他のデバイス・パラメータ (V_{TH} と I_{DSS}) も定期的に記録することができます。この種のデータは、高いゲート・ストレス条件下でのデバイスの劣化をより完全に把握でき、複数の独立した故障の物理的なメカニズムに対する可視性を提供します。広い範囲のゲート・バイアスと温度の条件についての故障統計を提供でき、この結果をゲート故障に対する支配的な加速係数と活性化エネルギーを導き出すために使います

付録Aに、EPCによってテストされた3万個以上の部品と1800万デバイス時間にわたる認定試験結果の表をまとめました。

セクション1: 車載用eGaN FETのAEC-Q101認定

2018年に、EPCは4種の新しい車載品質のeGaN® FETを製品化しました：EPC2206、EPC2212、EPC2202、EPC2203の4種です。これらの部品は、部品レベルのAEC-Q101 (Rev D1) の要件に従って品質認定されました [10]。すべてのテスト要件と仕様を正確に満たしました。この4種すべての車載デバイスの比較が以下の表1です。EPC2206は、 $R_{DS(on)}$ が最小で、このファミリーの中でチップ・サイズが最大です。現在、さらに4種のAEC品質のFETが製品化に向けて進行中であり、電圧範囲は40 Vから最大200 Vです。

型番	最大 V_{DS} (V)	最大 V_{GS} (V)	最大 $R_{DS(on)}$ (m Ω)	チップ面積 (mm x mm)	最大動作温度 (°C)
EPC2206	80	6	2.2	XL (6.05 x 2.3)	150
EPC2212	100	6	13.5	M (2.11 x 1.63)	150
EPC2202	80	5.75	17	M (2.11 x 1.63)	150
EPC2203	80	5.75	80	S (0.95 x 0.95)	150

表1: EPCの最初の80 V / 100 Vの自動車向け製品ファミリー

品質認定試験の概要

EPCのeGaN FETであるEPC2206、EPC2202、EPC2203、EPC2212は、シリコン・ベースのパワーMOSFET向けに開発された仕様AEC-Q101 (Rev D1) に従って、さまざまなストレス・テストを受けました。これらのテストには以下が含まれます：

- 耐湿性レベル1 (MSL1: Moisture sensitivity level 1) : 部品は、高い湿度と温度に曝されます。MSL1は、最も厳しい耐湿レベルで、168時間、温度85°Cで湿度85%に曝します。
- プレコンディショニング: 部品に対して順番に次のステップを施します: (1) 少なくとも24時間、125°Cでベーク; (2) MSL1; (3) 3回のリフロー。
- パラメータ検証: 全温度範囲にわたってデータシートの制限を守っていることを確かめるために、-40°C、25°C、150°Cでデバイス・パラメータを測定します。
- 静電気放電 (ESD: Electrostatic Discharge) 特性: 部品は、静電気放電現象に対するデバイスの感度を評価するために、人体モデル (HBM: Human Body Model) と帯電デバイス・モデル (CMD: Charged Device Model) の両方でテストされます。

- 高温逆バイアス (HTRB: High temperature reverse bias) : 部品には、最大定格温度、最大定格電圧でドレイン-ソース間電圧が印加されます。
- 高温ゲート・バイアス (HTGB: High temperature gate bias) : 部品には、最大定格温度、最大定格電圧でゲート-ソース間電圧が印加されます。
- バイアスなしの高加速試験 (uHAST: Unbiased highly accelerated test) : 部品には、結露しない湿気のある環境で、温度130°C、湿度85%、蒸気圧33.3 psiaで96時間のストレスが加えられます。
- 温度サイクル (TC: Temperature cycling) : 部品は、-55°C~150°Cの極端な高温と低温に交互に、全体で1000サイクル曝されます。
- 高温高湿逆バイアス (H³TRB: High temperature, high humidity reverse bias) : 部品は、ドレインが最大定格の80%でバイアスされ、湿度85%、温度85°Cに1000時間曝されます。
- 断続動作寿命 (IOL: Intermittent Operating Life) : 部品は、短いサイクル期間 (6分) で周期的に温度が変えられ、デバイスは、内部の電力消費によって発熱させます。
- 破壊的物理解析: 部品は、ストレス・テストから生じる故障を探すために、時間を置いてから物理的に解析されます。

要求された試験のほとんどで、デバイスごとに77個×3ロットの全サンプル母集団を使用しました。ただし、場合によっては、同じパッケージまたは同じ電圧ファミリーの中のデバイスのデータを組み合わせることによって、マトリックス (または類似性) 認定アプローチに従いました。

この認定の一部としてテストにかけられたすべてのデバイスは、テストの前に外部の目視検査を受けました。この顕微鏡検査では、アセンブリや輸送の結果として生じた可能性があるエッジの割れや欠けなどのチップスケール・パッケージの物理的損傷をチェックします。損傷した部品はテスト対象から除外しました。

すべての認定試験で、デバイスの安定性は、ストレス前後の直流電気テストで検証されています。多くの場合、中間読み出しも実行されます。電気的パラメータは室温で測定しました。このパラメータには、ゲート-ソース間しきい電圧 (V_{TH})、オン抵抗 $R_{DS(on)}$ 、オフ状態でのドレインの漏れ電流 (I_{DSS})、ゲートの漏れ電流 (I_{GSS}) があります。 V_{TH} と $R_{DS(on)}$ の場合、次のいずれかが発生したときに故障として記録されます。(1) その測定値がデータシートの仕様を超えている; (2) その測定値が初期値の20%以上変化したとき。 I_{DSS} と I_{GSS} では、測定値がデータシートの制限を超えた場合、または試験中に測定値が5倍以上増加した場合、故障として記録されます。

特定の認定試験では、高Tg (ガラス転移温度) のFR-4 (FR-5またはNP-175) またはポリイミド (米Arlon Electronic Materialsの85NT) のプリント回路基板のアダプタ・カードに部品を実装しました。これらのカード

は、部品の事後審査や電氣的ストレスを加える工程を簡素化します。2つの銅層を備えたアダプタ・カード (厚さ1.6 mm) を使いました。表面の銅層は1オンスまたは2オンス、底面の銅層は1オンスです。部品をアダプタ・カード上を実装するときに、米ケスター社の無洗浄フラックスNXG1タイプ3 SAC305を使用しました。アセンブリ後、部品には、ベークまたはフラックス洗浄を実施しました。

MSL1やTCを含むその他の認定試験では、部品は、アダプタ・カードに実装していません。電氣的な試験は、ベア・チップのはんだパッドに触れるプローブ針を使って実施しました。

MOSFETと比べたeGaNデバイスの故障の物理を明確にし、加速ストレス・テストに基づいて自信を持って耐用年数を予測するためには、さらなる調査が必要です。この場合、EPCは、ミッション・プロファイル (動作環境条件) に対する信頼性のニーズが満たされると思われるユーザーの信頼を高めるために、3つのプロング・アプローチ (3方向からのアプローチ) を取ります。

- 1) EPCは、すべての要件と規格に正確に従って、eGaN FETのAEC-Q101規格認定を実施しています。これによって信頼性の基準が確立されます。
- 2) EPCは、加速された電圧および/または温度の調査を実施することで、データシートの動作範囲内での固有の (基本的な) 故障モードとプロジェクト寿命を調査することができます。この種の調査の例は、後述のセクション3で紹介いたします。このセクションでは、ゲートの信頼性に焦点を当てています。
- 3) EPCは、アプリケーション環境で見られるストレス条件をエミュレートするテスト回路で、追加の動作寿命試験を実施します。この例には、LidarとDC-DC変換の2つがあります。これらのテストは、多くの場合、最終ユーザーと協力して計画され、実施されています。このテストでは、eGaN製品の耐用年数が自動車のミッション要件 (1万5000時間から最大25年間の範囲の連続運転) を超えることを直接検証できるように設計されています。この種の動作寿命データは、この資料には記載されていませんが、EPCに要求すれば入手可能です。

高温逆バイアス (HTRB: High Temperature Reverse Bias)

部品には、ストレス時間1000時間の間、最高動作温度 (150°C) でドレイン-ソース間電圧定格の100%を印加し、150°C定格のAEC-Q101要件を満たしました。以下の表2に示したように、各製品に対して、77個の部品から成る3つの別々のロットをテストしました。

部品は、高TgのFR-4アダプタ・カードに実装しました。テストは、MIL-STD-750-1 (M1038 Method A) [11] に従って実施しました。この規格では、加熱と冷却の間、部品にバイアスがかかることを要求しています。さらに、事後審査は、バイアスが取り除かれた後、24時間以内に実施されなければなりません。

ストレス・テスト	型番	最大 V_{DS} (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTRB	EPC2206	80	M (2.11 x 1.63)	T = 150°C, V_{DS} = 80 V	0	77 x 3	1000
HTRB	EPC2212	100	S (0.95 x 0.95)	T = 150°C, V_{DS} = 100 V	0	77 x 3	1000
HTRB	EPC2202	80	M (2.11 x 1.63)	T = 150°C, V_{DS} = 80 V	0	77 x 3	1000
HTRB	EPC2203	80	S (0.95 x 0.95)	T = 150°C, V_{DS} = 80 V	0	77 x 3	1000

表2 高温逆バイアス試験

高温ゲート・バイアス (HTGB: High Temperature Gate Bias)

部品には、ストレス時間1000時間の間、最高動作温度 (150°C) でドレイン・ソース間に最大定格のバイアスを印加します。各製品に対して77個×3ロットのサンプルをテストしました。ロット数、テスト時間、温度は150°C定格に対するAEC-Q101要件を満たしています。

部品は、高TgのFR-4アダプタ・カードに実装しました。このテストはJESD22-A108 [12] に従って実施しました。この規格では、加熱と冷却の間、部品にバイアスをかけることを要求しています。さらに、事後審査は、バイアスが取り除かれた後、96時間以内に実施されなければなりません。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTGB	EPC2206	6.0	XL (6.05 x 2.3)	T = 150°C, V _{GS} = 6.0 V	0	77 x 3	1000
HTGB	EPC2212	6.0	M (2.11 x 1.63)	T = 150°C, V _{GS} = 6.0 V	0	77 x 3	1000
HTGB	EPC2202	5.75	M (2.11 x 1.63)	T = 150°C, V _{GS} = 5.75 V	0	77 x 3	1000
HTGB	EPC2203	5.75	S (0.95 x 0.95)	T = 150°C, V _{GS} = 5.75 V	0	77 x 3	1000

表3. 高温ゲート・バイアス試験

バイアスなしの高加速試験 (uHAST: Unbiased Highly Accelerated Test)

部品は、温度130°C、相対湿度85%、蒸気圧33.3 psiaに96時間曝されました。下記の表4にまとめたとおり、EPC2206、EPC2202、EPC2203の3ロットをテストしました。EPC2212は、EPC2202と同じパッケージを利用しているため、マトリックスで認定されています。

すべての部品は、高TgのFR-4 (NP-175) アダプタ・ボードに実装しました。AECの要件に従って、すべての部品はuHASTの前にプリコンディショニングを経ています。テストは、JESD22-A118規格 [13] に従って実施しました。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
uHAST	EPC2206	80	XL (6.05 X 2.3)	T = 130°C, RH = 85%, VP = 33.3 psia	0	77 x 3	96
uHAST	EPC2202	80	M (2.11 x 1.63)	T = 130°C, RH = 85%, VP = 33.3 psia	0	77 x 3	96
uHAST	EPC2203	80	S (0.95 x 0.95)	T = 130°C, RH = 85%, VP = 33.3 psia	0	77 x 3	96

表4. バイアスなしの高加速試験

温度サイクル (TC: Temperature Cycling)

部品に-55°C~+150°Cの間で合計1000サイクルの温度サイクルを与えました。JEDEC規格JESD22A104 Condition B [14] に従って、最低5分の滞留時間で1時間当たり2~3サイクルにしました。ベア・チップ形式またはFR5実装したすべての部品は、TCの前にプレコンディショニングを経ています。

表5に見られるように、ベア・チップ (パッケージ) がトレイに装填され、AEC要件を満たす最大チップであるEPC2206の3ロットが1000サイクルに合格しました。さらに、1ロットの48個の部品が低CTEポリイミド・プリント回路基板 (Arlon 85NT) 上で1000サイクルに合格しました。EPC2202とEPC2203に関して、認定はベア・チップ形式でも達成されました。プリント回路基板 (Arlon 85NTとFR5) の補足テストも表に記載されています。EPC2212は、EPC2202とのマトリックスによって認定されています。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)	形式
TC	EPC2206	80	XL (6.05 x 2.3)	-55~150°C、空气中	0	77 x 3	1000	ベア・チップ
TC	EPC2206	80	XL (6.05 x 2.3)	-55~150°C、空气中	0	48 x 1	1000	プリント基板 (Arlon 85NT)
TC	EPC2202	80	M (2.11 x 1.63)	-55~150°C、空气中	0	77 x 3	1000	ベア・チップ
TC	EPC2203	80	S (0.95 x 0.95)	-55~150°C、空气中	0	77 x 3	1000	ベア・チップ
TC	EPC2202	80	M (2.11 x 1.63)	-55~150°C、空气中	0	77 x 2	1000	プリント基板 (Arlon 85NT)
TC	EPC2202	80	M (2.11 x 1.63)	-55~150°C、空气中	0	77 x 2	500	プリント基板 (FR5)
TC	EPC2203	80	S (0.95 x 0.95)	-55~150°C、空气中	0	77 x 2	500	プリント基板 (FR5)

表5. 温度サイクル試験

高温高湿度逆バイアス (H³TRB : High Temperature High Humidity Reverse Bias)

部品には、1000時間のストレス期間に、85%RH、85°Cにおいてドレイン-ソース間に最大定格の80%の電圧を加えました。このテストは、AEC-Q101で要求されるJEDEC規格のJESD22-A101 [15] に従って実施しました。すべての部品は、FR4アダプタ・ボードに実装しました。すべての部品は、H³TRBの前にプレコンディショニングをしています。テスト結果を表6にまとめました。すべての部品は、AEC-Q101の要件を満たすか、それ以上のサンプル数で1000時間のストレスに合格しました。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
H ³ TRB	EPC2206	80	XL (6.05 x 2.3)	T = 85°C, RH = 85%, V _{DS} = 64 V	0	77 x 3	1000
H ³ TRB	EPC2212	100	M (2.11 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	77 x 3	1000
H ³ TRB	EPC2202	80	M (2.11 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 64 V	0	77 x 5	1000
H ³ TRB	EPC2203	80	S (0.95 x 0.95)	T = 85°C, RH = 85%, V _{DS} = 64 V	0	77 x 3	1000

表6. 高温高湿度逆バイアス試験 (H³TRB)

耐湿性レベル1 (MSL1 : Moisture Sensitivity Level 1)

MSL1のテスト結果が表7です。部品は、浸漬期間168時間の間、85°Cで85%RHに曝しました。これらの条件は、最も過酷なレベルの耐湿試験である耐湿性レベル1に対応します。このテストでは、デバイスをプリント回路基板のテスト・クーポンに取り付けるか、またはベア・チップ形式でテストしました (ベア・チップの場合、プレスクリーンおよびポストスクリーンは、プローブ針をベア・チップのはんだパッドに接触させて実施しました)。表から分かるように、プリント回路基板またはベア・チップ形式で、すべての部品がMSL1に対するAEC要件に合格しています。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)	形式
MSL1	EPC2206	80	XL (6.05 x 2.3)	T = 85°C, RH = 85%、 リフロ-3回	0	77 x 4	168	プリント基板 (FR-4)
MSL1	EPC2206	80	XL (6.05 x 2.3)	T = 85°C, RH = 85%、 リフロ-3回	0	77 x 3	168	ベア・チップ
MSL1	EPC2202	80	M (2.11 x 1.63)	T = 85°C, RH = 85%、 リフロ-3回	0	77 x 3	168	ベア・チップ
MSL1	EPC2203	80	S (0.95 x 0.95)	T = 85°C, RH = 85%、 リフロ-3回	0	77 x 3	168	ベア・チップ

表7. 耐湿性レベル1の検証試験

破壊的物理分析

AEC-Q101の要件に従って、uHAST試験を正常に完了後、物理分析用に各製品から2個の部品を選びました。この物理分析は3ステップです。(1) プリント回路基板アダプタ・カードからのチップの除去；(2) はんだバンパ/バーの化学的除去；(3) 化学エッチングによる最上層のパッシベーション層の除去です。各ステップの後、高倍率光学顕微鏡検査を実施しました。環境ストレス試験による損傷や異常は見られませんでした。

静電気放電 (ESD) 感度

EPC2206、EPC2202、EPC2203は、人体モデル (HBM) と帯電デバイス・モデル (CDM) の両方を使ってESD感度をテストしました。このテストは、AEC-Q101-001規格 [17] とAEC-Q101-005規格 [18] に従っています。ESD試験の前後にデバイス・パラメータを測定しました。この結果が右の表8です。すべての部品が定格1000 VのCDMに合格しました。EPC2202とEPC2206は、定格500 VのHBMに合格しました。小型チップのEPC2203 (最小入力容量) は、250 VのHBMに合格しました。

ストレス・テスト	型番	最大 V _{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)
ESD - HBM	EPC2206	80	XL (6.05 x 2.3)	500 V	0	10 x 1
ESD - HBM	EPC2206	80	XL (6.05 x 2.3)	1000 V	1	10 x 1
ESD - CDM	EPC2206	80	XL (6.05 x 2.3)	1000 V	0	10 x 1
ESD - HBM	EPC2202	80	M (2.11 x 1.63)	500 V	0	10 x 1
ESD - HBM	EPC2202	80	M (2.11 x 1.63)	1000 V	1	10 x 1
ESD - CDM	EPC2202	80	M (2.11 x 1.63)	500 V	0	10 x 1
ESD - CDM	EPC2202	80	M (2.11 x 1.63)	750 V	0	10 x 1
ESD - CDM	EPC2202	80	M (2.11 x 1.63)	1000 V	0	10 x 1
ESD - HBM	EPC2203	80	S (0.95 x 0.95)	250 V	0	10 x 1
ESD - HBM	EPC2203	80	S (0.95 x 0.95)	500 V	1	10 x 1
ESD - CDM	EPC2203	80	S (0.95 x 0.95)	500 V	0	10 x 1
ESD - CDM	EPC2203	80	S (0.95 x 0.95)	750 V	0	10 x 1
ESD - CDM	EPC2203	80	S (0.95 x 0.95)	1000 V	0	10 x 1

表8. ESDのHBMおよびCDMの試験

パラメータ検証 (PV: Parametric Verification)

AEC-Q101の要件に従って、EPC2206のデバイス・パラメータは、 -40°C 、 25°C 、 150°C で測定され、全温度範囲にわたってデータシートの仕様に準拠していました。EPC2206、EPC2212、EPC2202、EPC2203について、3ロット×25個でパラメータ検証を行い、この結果を表9に示しました。

ストレス・テスト	型番	最大 V_{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)
PV	EPC2206	80	XL (6.05 x 2.3)	T = 40°C , 25°C , 150°C	0	25 x 3
PV	EPC2212	100	M (2.11 x 1.63)	T = 40°C , 25°C , 150°C	0	25 x 3
PV	EPC2202	80	M (2.11 x 1.63)	T = 40°C , 25°C , 150°C	0	25 x 3
PV	EPC2203	80	S (0.95 x 0.95)	T = 40°C , 25°C , 150°C	0	25 x 3

表9. パラメータ検証試験

断続動作寿命 (IOL: Intermittent Operating Life)

MIL-STD-750 (Method 1037) [11] に従って、部品は、温度範囲 $\Delta T = 125^{\circ}\text{C}$ 以上で電力サイクルします。デバイスは、ゲートとドレインのバイアスを組み合わせ、安定化したドレイン電流を使って、リニア・モードにバイアスすることによって内部の電力消費によって加熱されます。1分の加熱と5分の冷却で、最小5000サイクルが要求されています。チップを低CTEポリイミド・プリント回路基板 (Arlon 85NT) 上に組み立てました。表10に示すように、EPC2202の2ロットが5000サイクルに合格し、EPC2203の1ロットが7500サイクルに合格しました (AECの要件を超えています)。さらに、1ロット (部品32個) のEPC2206も5000サイクルまでテストされ、故障は発生しませんでした。

ストレス・テスト	型番	最大 V_{GS} (V)	チップ・サイズ (mm×mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)	形式
IOL	EPC2206	80	XL (6.05 x 2.3)	$\Delta T_j = 125^{\circ}\text{C}$; $t_{ON} / t_{OFF} = 1 \text{分} / 5 \text{分}$	0	32 x 1	5000	プリント基板 (Arlon 85NT)
IOL	EPC2202	80	M (2.11 x 1.63)	$\Delta T_j = 125^{\circ}\text{C}$; $t_{ON} / t_{OFF} = 1 \text{分} / 5 \text{分}$	0	77 x 2	5000	プリント基板 (Arlon 85NT)
IOL	EPC2203	80	S (0.95 x 0.95)	$\Delta T_j = 125^{\circ}\text{C}$; $t_{ON} / t_{OFF} = 1 \text{分} / 5 \text{分}$	0	77 x 1	7500	プリント基板 (Arlon 85NT)

表10. 断続動作寿命試験 (IOL)

セクション2: スイッチングの信頼性テスト

最近、JEDEC JC-70.1委員会は、GaNベースのパワー・エレクトロニクスにおける動的オン抵抗 ($dR_{DS(on)}$) 測定のためのテスト・ガイドラインを公表しました [19]。このテスト方法では、ダブル・パルスの誘導性ハード・スイッチングを使います。EPCは、以前に報告したように、eGaN FETを特徴付けるためにこの方法を採用しています [20]。

加えて、EPCは、ハード・スイッチングおよび/またはソフト・スイッチングの長期連続動作にわたって $dR_{DS(on)}$ を特徴付けるように特別に設計された広範囲の抵抗性ハード・スイッチング・テスト機能を開発しました。このシステムの基本的なテスト回路を図1に示します。 $R_{DS(on)}$ を測定し記録すると同時に、被試験デバイス (DUT) が連続的にハード・スイッチングされる抵抗性スイッチング回路に基づいています。システム構成は、DUTを除く図1の部品を備えたマザー・ボードで構成されています。分離したDUTカードは、マザー・ボード上にあるエッジ・カード・コネクタに差し込んで実装します。スイッチングの遷移を遅くするために、外部ゲート抵抗 ($R_{G,ext}$) を使っています。この抵抗の目的は2つあります。1つは、ゲート電圧のオーバーシュート (テスト構成とその寄生インダクタンスの結果) を最小限に抑えること、2つ目は、ハード・スイッチングの遷移中に、高電圧と大電流が同時に存在する時間を長くすることです (加速潜在 $dR_{DS(on)}$ 効果)。

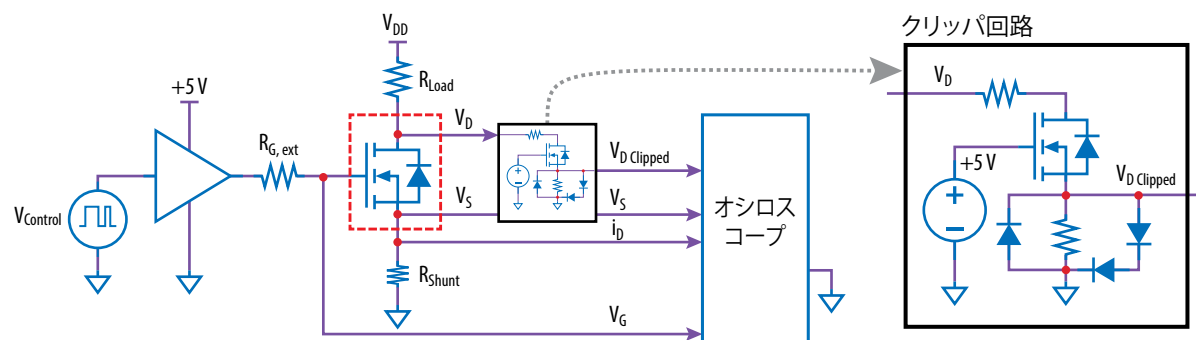


図1. テスト回路全体 (左) とクリップ回路の拡大図 (右)。

このシステムは、さまざまなストレス電圧 (V_{DD})、スイッチング周波数 (f_{SW})、デューティ比 (D)、チップの基板で測定された動作温度 (T_C) など、複数の動作条件下で動作するように設計されています。

特定の温度で $dR_{DS(on)}$ を評価するための温度制御のシステムも開発しました。「ホット」試験の場合、このシステムは、DUTが実装されているカードの裏面に取り付けられたヒーターとして使われる電力抵抗器で構成されています。「コールド」試験では、チップに直接取り付けられたペルチェ・モジュールを使います。チップとモジュールの間には熱伝導材があります。ヒーターによって消費される電力量またはペルチェ・モジュールによって吸収される電力量は、この試験を通じて目標温度が確実に維持されるように、チップ温度 (T_C) をフィードバックして使う比例積分 (PI) コントローラで調整されます。「コールド」試験では、冷却器が試験中に発生する導通損失とスイッチング損失を吸収して、チップを所望の温度に保てるようにしなければなりません。

$R_{DS(on)}$ は、ドレイン電圧 (v_D) と、ソース電圧 (v_S)、およびオン状態の間に DUT を流れる電流 (i_D) の測定値から計算できます。測定誤差を最小化するために、ドレインとソースの両方をケルビン検出しなければなりません。加えて、 v_D をうまく測定するために特別な注意を払わなければなりません。DUT のオフ状態では $v_D = V_{DD}$ であり、これは数 100 V になることがあります。オン状態では、電圧が数 mV に低下します ($v_D = R_{DS(on)} \cdot i_D$)。

そのような小さい電圧信号は、オフ状態の間に高電圧が存在するときに、精密なオシロスコープの設定が高い飽和状態になり、不正確な測定につながります。この問題は、クリップ回路で解決することができます。その主な機能は、オフ状態 (高い電圧が加わっている) の間、DUT のドレインをオシロスコープから切り離し、オン状態 (低い電圧が加わっている) の間、接続し直すことです。そのような機能を果たすことができる複数の回路構成が文献から容易に利用可能です [20~22]。この調査目的のために、いくつかのクランプ・ダイオードと共に、自己制御型クリップFETに基づく図1に示される回路を使いました。

オシロスコープを使うと、テスト中の任意の時点で、 v_D 、 v_S 、 i_D を測定して記録できます。図2に示すように、 $R_{DS(on)}$ はオフラインで計算できます。この方法では、長期間にわたって $R_{DS(on)}$ を継続的にモニターできます。ただし、オシロスコープの温度によるドリフトが測定を歪ませる可能性があるため、この作業はテスト時間が長いと難しくなります。この影響を最小限に抑えるために、 v_D 、 v_S 、 i_D に同じチャネル設定を使えば、 $R_{DS(on)}$ を計算するとき、すべての利得のドリフトが相殺されます (すべてのチャネルの温度に対する利得ドリフトは同程度と仮定)。

システムが $R_{DS(on)}$ を正しく測定し、オシロスコープの入力が飽和していないことを確認するために制御デバイスを使うことを勧めます。同様の電圧定格と電流定格の Si MOSFET を使いました。

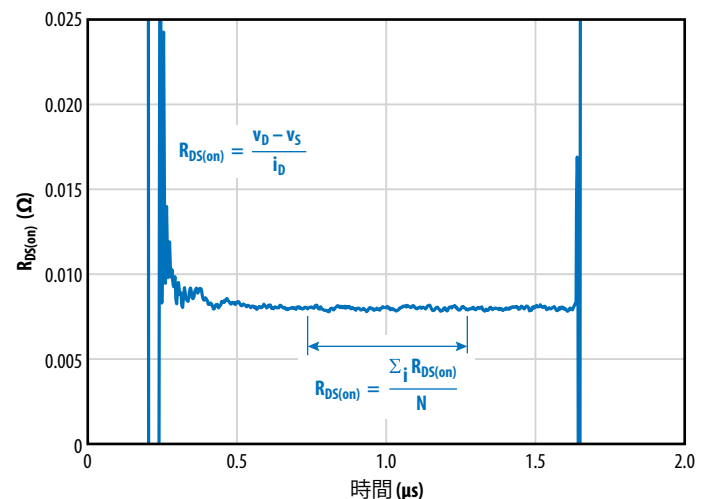
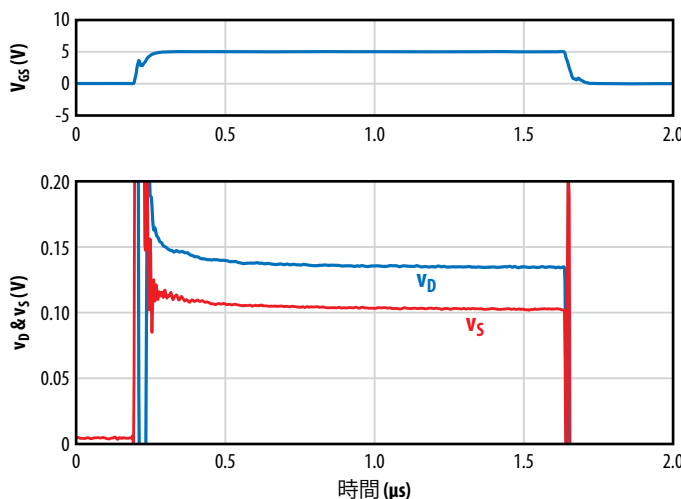


図2: ハード・スイッチング条件下でのEPC2045の波形

試験結果

評価されたデバイスはEPC2045で、最大 $R_{DS(on)} = 7 \text{ m}\Omega$ の 100 V の eGaN FET です。表11は、その長期間の $dR_{DS(on)}$ の特性を明らかにするために使ったテスト条件の概要です。これらの条件には、さまざまな電圧、動作温度、スイッチング周波数が含まれます。デューティ比は、すべてのテストにおいて15%で一定に維持され、 $dR_{DS(on)}$ を測定するために、750 ns ($f_{SW} = 200 \text{ kHz}$) の最小のウィンドウにしました。このDUTは、米テキサス・インスツルメンツのゲート・ドライバLM5114を使って5Vで駆動しました。

この同じデバイスは、ダブル・パルス・テストを使った [20] でもテストされており、最大100 V、20 Aでオン時間50 ns以内に $dR_{DS(on)}$ が発生しないことが示されています。このレポートでは、連続ハード・スイッチング条件下での長期間の $R_{DS(on)}$ の安定性に焦点を当てています。各テストでは、 $R_{DS(on)}$ を記録しながら、同じデバイスを各電圧で3時間動作させました。

DUT: EPC2045		周波数 (kHz)	
		100	200
温度 (°C)	25	テスト1: 60 V~120 V	
	75	テスト2: 60 V~120 V	
	125	テスト3: 60 V~120 V	テスト4: 60 V~120 V

表11: $dR_{DS(on)}$ 特性評価のテスト・マトリックス

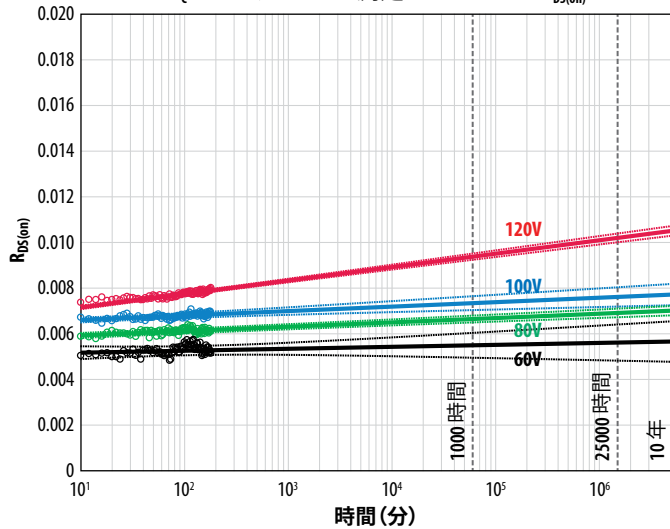
図3は、テスト1~4の $R_{DS(on)}$ の経時変化（横軸はlog10スケール）を示しています。この結果の代表値を使って、10年後の $R_{DS(on)}$ シフトの累積を予測するために3時間のテストを採用することは適切です。この見積もりは、ハード・スイッチング下で10年間の中断のない動作に対応することに注意してください。

最初の観測は、静的 $R_{DS(on)}$ に対する温度の影響です。これはよく知られており、デバイスのデータシートに記載されています [23]。この部品の温度係数は、75°Cで約1.3、125°Cで1.6です。この影響は、温度が上昇するにつれて、すべてのグラフのシフトとして、テスト1~3で確認できます。このシフトは前述の係数とよく一致します。

次は、 $R_{DS(on)}$ に対する電圧の影響です。各テストに対して、各電圧でのチップ温度は一定に維持されているので、 $R_{DS(on)}$ シフトの原因を特定することができます。これらの条件下で、このシフトは、電子トラッピングによるみ引き起こされ、温度変化によっては引き起こされないことを確認できます。各テストに適合する直線のほぼ平坦な傾斜を見ると、最大定格電圧100 Vまでの部品に電圧加速はありません。このことは、テストされたすべての温度とスイッチング周波数で当てはまります。 $dR_{DS(on)}$ が目立つようになるのは、デバイスの最大動作電圧 (120 V) を超えるときです。

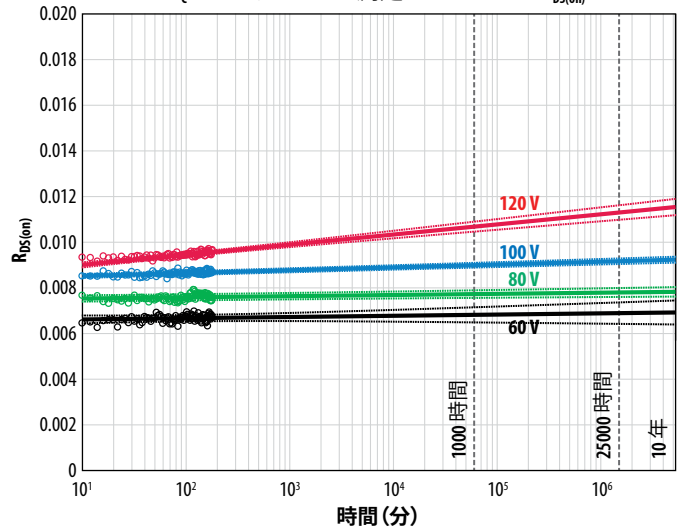
テスト1: 25°C, 100 kHz

$T_c = 25^\circ\text{C}$ 、100 kHzで測定したEPC2045の $R_{DS(on)}$



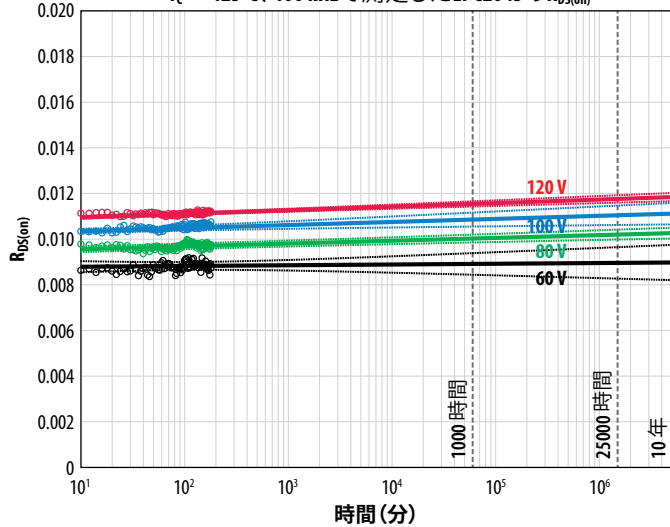
テスト2: 75°C, 100 kHz

$T_c = 75^\circ\text{C}$ 、100 kHzで測定したEPC2045の $R_{DS(on)}$



テスト3: 125°C, 100 kHz

$T_c = 125^\circ\text{C}$ 、100 kHzで測定したEPC2045の $R_{DS(on)}$



テスト4: 125°C, 200 kHz

$T_c = 125^\circ\text{C}$ 、200 kHzで測定したEPC2045の $R_{DS(on)}$

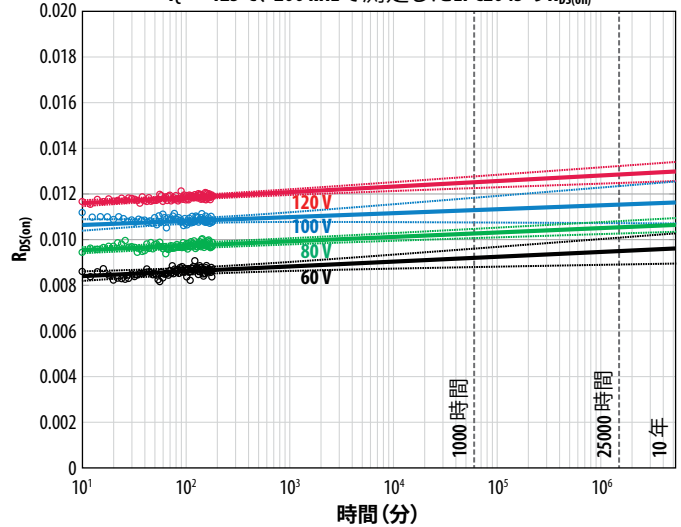


図3: 100 kHzでハード・スイッチングしたとき、温度とバイアス電圧が異なるときのEPC2045デバイスの $R_{DS(on)}$ の経時変化

加速されたドレイン電圧では、eGaN FETの $dR_{DS(on)}$ は、ホット・キャリアの散乱によって引き起こされます。電子は高い電界によって加速され、2次元電子ガス (2DEG) から散乱するために十分な (熱平衡をはるかに上回る) エネルギーを得ます。これらの電子は、表面の近くに閉じ込められる可能性があり、そこでは、時間と共に蓄積される負の電荷がデバイス抵抗の増加を引き起こします。この劣化メカニズムは、シリコンMOSFETに

見られる十分に知られたホット・キャリア注入 (HCI) のメカニズムとよく似ています [24]。しかし、電荷をトラップする位置は、eGaNデバイスでは異なります。ホット・キャリア散乱は、負の温度活性化エネルギーを持っています。より低い温度では、フォノン散乱が減少するので、電子が電界中でより高いエネルギーを得ることができるため、その効果はより顕著になります。

図4は、120 Vでの $dR_{DS(on)}$ に対する温度の影響を示しています。この電圧レベル（デバイスの最大電圧定格を20%超えたレベル）では、より高い動作温度で長期 $R_{DS(on)}$ シフトが緩和されるので、適合させた線の傾きは温度が高いほど小さくなります。この負の温度活性化は、ホット・キャリア散乱が $dR_{DS(on)}$ の根本的な原因であるという説得力のある裏付けとなります。

セクション3:ゲート信頼性の加速係数

eGaN FETのゲートの信頼性は、被試験デバイスの最大定格をはるかに超えるさまざまな温度と電圧でさらに調べます。このセクションでは、テスト・デバイスとしてEPC2212 (AEC認定) を使ったeGaNデバイスのゲートに対する従来の加速係数解析について説明します。すべてのeGaNデバイスは、同じ内部ゲート構造にしているので、同じような結果が期待できます。強く加速された電圧および異なる温度で故障を誘発することによって、電圧加速係数や温度活性化エネルギーを求めることが可能であり、その結果として、ユーザーは、使用条件下での寿命を予測するために使える簡単な数式が得られます。

高いゲート電圧でのHTGBストレス中の故障の原因となる可能性がある物理的メカニズムには、(i) 絶縁破壊、(ii) ゲート側壁の破裂、(iii) ゲート制御がないことによるオフ状態のときのドレイン漏れ (I_{DSS}) の増加、(iv) 電荷トラップからの V_{TH} シフトなどがあります。各メカニズムは、独自の故障の物理があるので、それらすべてを単一の加速係数と活性化エネルギーによって特徴付けることはできません。この結果、データシートの制限内の一般的な使用条件下で、どのメカニズムが支配的であるかを決定するために、広範囲の温度と電圧にわたって、すべてモニターしなければなりません。

この種の調査をしやすくするために、EPCは、部品にゲート・ストレスがかかっている間に複数のデバイス・パラメータをリアルタイムでモニターする機能を備えた専用のテスト・システムを開発しました。このテスト・システムは、同時に32~48個の部品に対応できます。このパラメータは、 I_{GSS} （電圧ストレス時のゲート漏れ）、しきい電圧 (V_{TH})、および I_{DSS} ($V_{GS} = 0$ Vおよび $V_{DS} = 10$ Vでのオフ状態のドレイン漏れ) です。 I_{GSS} は、ゲート・ストレス期間中、適宜、連続的にモニターされ、テスト中の各部品は3秒間で読み出されます。 V_{TH} と I_{DSS} は、ゲート・ストレスを短時間除去することによって30分間隔で測定されます。

図5は、25°Cでゲートに7.5 Vを印加したときに、32個のデバイスに対するテストのリアルタイムHTGBパラメータ・データの例です。32個の部品すべてのデータは、合計600時間のテスト時間にわたるプロットを重ねています。リアルタイム・プロットから分かるように、7.5 V（データシートの最大定格6 Vをはるかに超えています）であっても、600時間のテスト期間内にゲートの破壊やその他のパラメータの劣化が発生した部品はありません。

HTGB故障の電圧加速を決めるために、25°Cと120°Cの2つの異なる温度で、電圧6.5 Vと9.5 Vの間でテスト・マトリクスを実施しました。この電圧範囲は、eGaN FETの6V未満の安全動作領域からは、かなり外れています。各電圧レグは32個の部品から成り、3つのすべてのパラメータは、前述のように、すべてのデバイスで、適宜、連続してモニターしました。故障は、データシートの制限を超える任意のパラメータ (I_{GSS} 、 I_{DSS} 、 V_{TH}) として定義されています。

8 V未満では、実験的レグのいずれにおいても故障は観察されませんでした。7.5 Vでは、600時間を超えても故障やパラメータのドリフトは観察されませんでした。このレグは、より低いゲート電圧で支配的になる可能性がある潜在的な、またはゆっくり進む劣化メカニズムを検査するために2000時間まで継続する予定です。

8 V以上では、支配的な故障メカニズムは、MOSFETで見られる経時絶縁破壊 (TDDB: time-dependent dielectric breakdown) と似た現象のゲート漏れの急激な増加があります [25]。

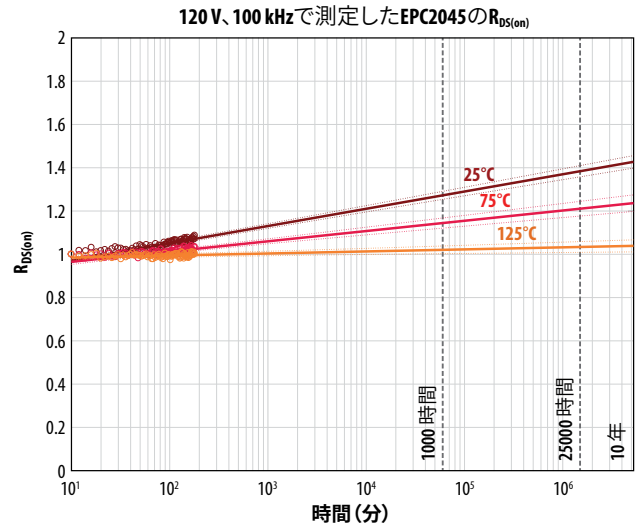


図4: 100 kHzのハード・スイッチング条件下でのeGaN FET (EPC2045) の120 Vでの $dR_{DS(on)}$ に対する温度の影響

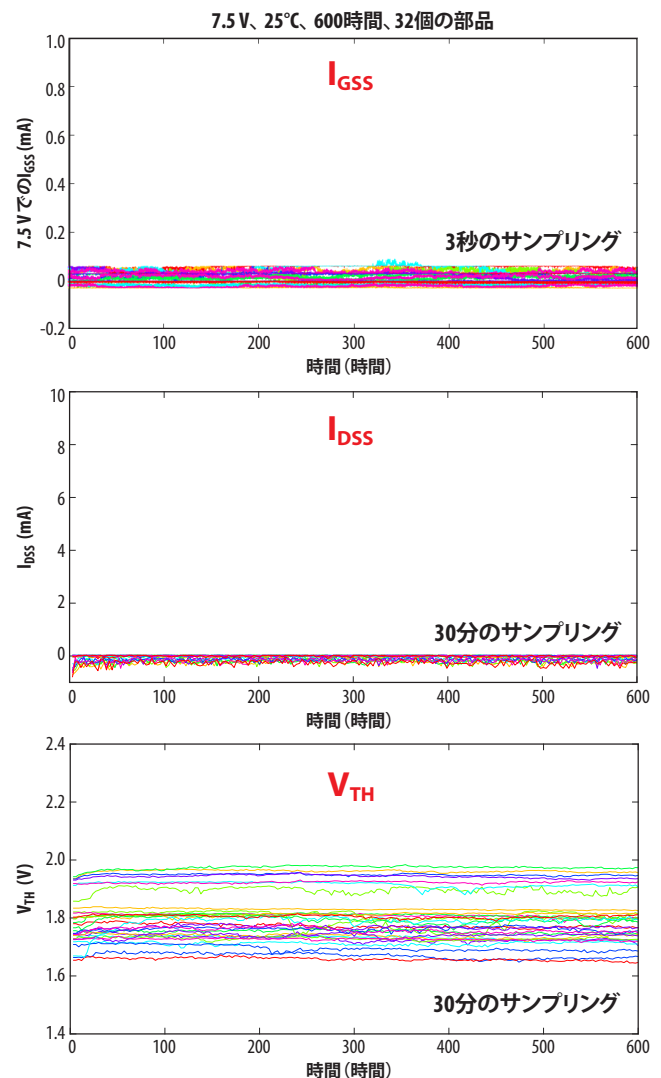


図5: 25°Cで $V_{GS} = 7.5$ Vのときの32個のデバイスに対するテストのリアルタイムHTGBパラメータ・データ。7.5 Vでのゲート漏れ（上のプロットの I_{GSS} ）は、各部品に対して3秒ごとにサンプリングしました。32個すべての部品のデータが重ねてプロットされています。下のプロットは、30分ごとにサンプリングされた I_{DSS} と V_{TH} です。このリアルタイム・プロットから分かるように、7.5 V（データシートの最大定格6 Vをはるかに超えます）であっても、600時間のテスト期間内にゲートの破壊や、パラメータの識別可能ないかなる劣化も発生した部品はありません。

図6は、8.5 Vにおけるそのような故障の2つの例を示しています。このゲートは、最初は正常ですが、テスト・システムのコンプライアンス水準に達すると、ゲート漏れが急激に破滅的に増加します。いったんゲートが破壊されると、損傷は永久的なものになり、デバイスが回復することはありません。故障までの時間は、私たちのテスト・システムから得た時系列データを使って、各デバイスに対して記録することができる確率変数です。eGaN FETでは、この故障モードは、ゲート側壁に沿った誘電体界面pGaNでのブレイクダウンが原因と考えられます。

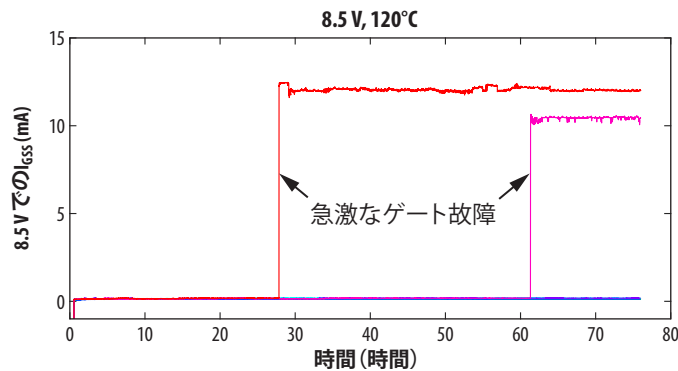


図6：時間による急激なゲート破壊故障の例。同時に示されている8個の部品に対する時間とゲート漏れの関係。この時間間隔では、2個のデバイスが経時絶縁破壊を受け、その結果、ゲート漏れがコンプライアンス水準で急激に上昇します。

図7は、異なるゲート電圧に対する故障までの時間（故障寿命）の2種類の温度でのデータを示しています。このデータは、以前の信頼性レポートのフェーズ6 [6] に記載したものと同一方法を使って解析しました。最尤推定 (MLE: maximum likelihood estimation) を使って、未加工の故障寿命を各電圧/各温度の各測定に対する2パラメータのワイブル分布に適合させました。この適合した直線がグラフの実線です。この調査では、ワイブル形状（または勾配）パラメータは、すべての電圧/温度の各測定で同じになるように制限されています。この仮定は、特別なものですが、すべてのデータにうまく適合していると思われる。ワイブル尺度（またはオフセット）パラメータは、各測定に対して独立に適合させました。破線は、尺度パラメータの90%信頼区間を表します。

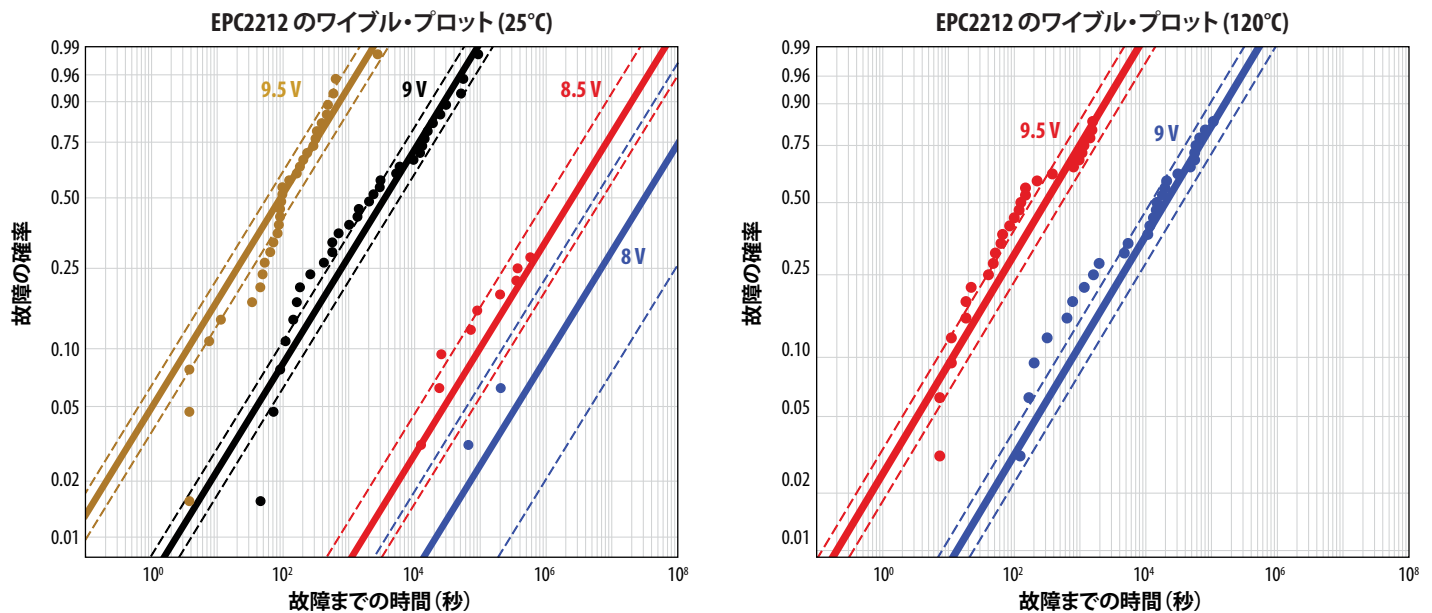


図7：25°C（左図）と120°C（右図）における加速されたゲート故障に対するワイブル・プロット。実線は、MLEが2パラメータのワイブル分布に適合することを示しています。共通のワイブル形状パラメータ k がすべてのデータ（すべての電圧と温度）に適合していたことに注意してください。破線は、この調査におけるすべての測定について、ワイブル尺度パラメータ λ への適合の90%信頼区間を表しています。

図8は、ゲート・バイアスと温度に対する平均故障時間 (MTTF: mean time to failure) を示しています。各データ点のエラー・バーは、MLEワイブル適合から得られたMTTFの90%信頼区間を示します。破線は、従来の指数関数の電圧加速関数 (右上の式に示されているパラメータAとβによって特徴付けられます) への最良の適合を示します。25°Cと120°Cで別々に適合させました。両方の温度において、強い電圧加速係数が分かり (25°Cに対してβ = 9.2 / V)、これはゲート・バイアスの1Vの電圧降下ごとに寿命がほぼ4桁増加することに相当します。この加速係数は、以前のフェーズ6レポートの調査で得られた値とかなりよく一致しています。MTTFは、より高い温度で幾分長いことが分かりましたが、その差は、統計的エラー・バーと比べて小さくなっています。この結果、この故障メカニズムの温度活性化エネルギーはゼロに近い ($E_A \approx 0$) と推測できます。

図9は、25°Cでのゲート・バイアスに対する平均故障時間 (MTTF) と1ppm、10ppm、100ppmの故障時間 ($T_{0.19\%}$) を示しています。 T_{Xppm} は、すべての電圧レグに対して共通のワイブル形状パラメータを使って計算されたことに注意してください。緑色の実線は、単純な指数関数の加速関数に最も適合しています。この部品のデータシートの動作範囲内 (最大6 V_{GS}以下) でゲートの信頼性を評価するために、加速関数は5 Vに戻して予測しています。

すべての実用的な目的に対して、eGaN FETは、任意の固有のゲート故障メカニズムによる故障をなんら心配することなく、データシートの制限内で動作させることができます。これは、現場で何10億時間以上にもわたって数年間も使われている間、ゲート故障に対する現場からのいかなる返品もないことによっても裏付けられています。ただし、この種の加速調査では、固有の (または基本的な) デバイス故障モードについての洞察が得られただけであることを忘れないでください。外因性故障モード (すなわち、ランダム欠陥) は、非常に低いレベルで発生する可能性があり、低電圧での故障率は、この加速調査で予測されたものよりも高くなります。外部故障モードを定量化する唯一の有効な方法は、大規模なサンプル数で初期寿命故障率 (ELFR: Early Life Failure Rate) などの調査を実施することです。フェーズ8のレポート [8] では、多数の部品を使って48時間のHTGBストレス下のELFRテストを報告しました。この実験は、220 ppm以下の外因性故障率に上限 (60%信頼度) を設定しました。さらに、フィールド内のeGaN® FETの総数に基づいて、ゲート破壊のフィールド故障ゼロにおいて、1 ppmよりも非常に小さい値で上限を計算します。

結論

eGaN®デバイスは、9年以上にわたって量産されており、いくつか例を挙げれば、自動運転車用Lidar、4G基地局、自動車用ヘッドランプ、衛星などの実験室テストやユーザーのアプリケーションの両方で非常に高い信頼性を示しています。このフェーズ10のレポートの最初のセクションでは、車載品質のAEC-Q101認定の結果を示しました。この成果は、eGaN技術の成熟度、および基本的に信頼性が高いことを実証しています。セクション2では、ハード・スイッチング条件での動的R_{DS(on)}の限界をテストし、eGaN®デバイスが長期間の連続スイッチング動作にわたって安定していることを実証しました。これらのテストは、表面トラップへのホット・キャリアの散乱が動的R_{DS(on)}シフトの主な物理的原因であることも確認しました。セクション3では、ゲートの信頼性を再検討し、ユーザーがすでに分かっていたことを再確認しました。すなわち、eGaN FETのゲートは非常に丈夫で信頼性が高いことです。支配的な本質的な故障メカニズムは、急激なゲート破壊 (TDDBと同様) であることが分かり、これは、強く電圧加速されたときに、わずかな温度依存性があっただけでした。

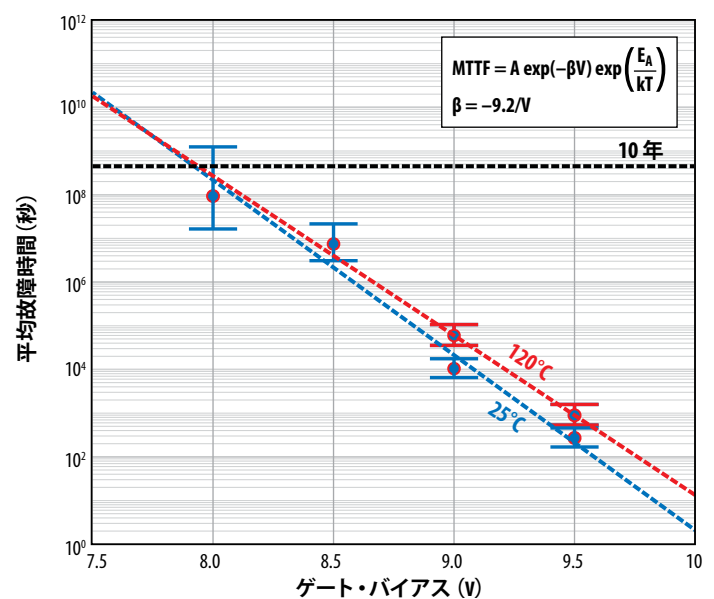


図8:ゲート・バイアスと温度に対する平均故障時間 (MTTF)。25°Cのデータは青色で、120°Cは赤色で示されています。各データ点のエラー・バーは、MLEワイブル適合から得られたMTTFの90%信頼区間を示します。破線は、従来の指数関数の電圧加速関数 (式に示されているパラメータAとβによって特徴付けられます) への最良の適合です。両方の温度で別々に適合させました。

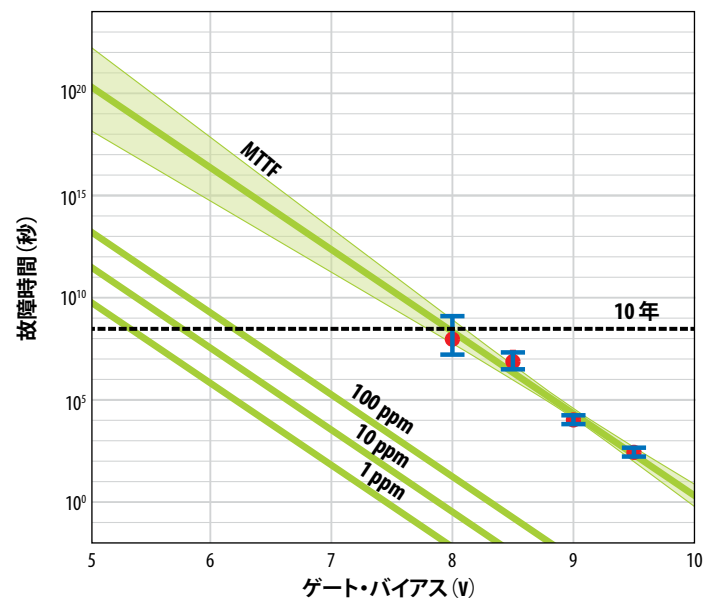


図9:25°Cでのゲート・バイアスに対する平均故障時間 (MTTF) とX_{ppm}故障までの時間 (T_{Xppm})。緑色の実線は、指数関数の加速関数に最も適合し、影を付けた領域は2パラメータ適合の90%信頼区間を表します。

付録A: 品質認定試験結果のまとめ

ストレス・テスト	サンプル数	等価デバイス (時間)	故障数	故障統計の上限 (信頼度60%)	注
HTRB	5102	5121960	0	179 FIT (637年)	$V_{DS} \geq$ 最大 V_{DS} の80%
HTGB	4639	5705360	0	160 FIT (713年)	$V_{GS} \geq 5.5V$
H ³ TRB	2388	2308960	0	397 FIT (287年)	$V_{DS} =$ 最大 V_{DS} の80%
ELFR_ HTRB	11406	2460528	0	140 ppm	ELFR (48 時間)およびHTRB $V_{DS} \geq$ 最大 V_{DS} の80%
ELFR_ HTGB	7393	2703344	0	218 ppm	ELFR (48 時間)およびHTGB $V_{GS} \geq 5.5V$
全テスト	30928	18300152	0		

表A.1: 品質認定試験結果のまとめ

参考文献:

- [1] Yanping Ma, "EPC GaN Transistor Application Readiness: Phase One Testing", http://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_relreport_030510_finalfinal.pdf [2] Jean-Paul Clech, "Solder Reliability Solutions: A PC-Based Design-For-Reliability Tool," EPSI Inc., 1996
- [2] Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Two Testing", http://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Two_Rel_Report.pdf
- [3] Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Three Testing", http://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Three_Rel_Report.pdf
- [4] Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Four Testing", http://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Four_Rel_Report.pdf
- [5] Yanping Ma, "EPC GaN Transistor Application Readiness: Phase Five Testing", http://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Five_Rel_Report.pdf
- [6] Robert Strittmatter, Chunhua Zhou, and Yanping Ma, 「EPCのeGaN FETの信頼性試験：フェーズ6テスト」, <https://epc-co.com/epc/Portals/0/epc/documents/product-training/Reliability Report Phase 6-jp.pdf>
- [7] Chris Jakubiec, Robert Strittmatter, and Chunhua Zhou, 「EPCのeGaN FETの信頼性試験：フェーズ7テスト」, <https://epc-co.com/epc/Portals/0/epc/documents/product-training/Reliability Report Phase 7-jp.pdf>
- [8] Chris Jakubiec, Rob Strittmatter, and Chunhua Zhou, 「EPCのeGaN FETの信頼性試験：フェーズ8テスト」, <https://epc-co.com/epc/Portals/0/epc/documents/product-training/Reliability Report Phase 8-jp.pdf>
- [9] Chris Jakubiec, Rob Strittmatter, and Chunhua Zhou, 「EPCのeGaN FETの信頼性試験：フェーズ9テスト」, <https://epc-co.com/epc/Portals/0/epc/documents/product-training/Reliability Report Phase 9-jp.pdf>
- [10] Automotive Electronics Council, "Failure Mechanism Based Stress Test Qualification for Discrete Semiconductors in Automotive Applications", AEC-Q101-Rev-D1, Sep 6, 2013, http://www.aecouncil.com/Documents/AEC_Q101_Rev_D1_Base_Document.pdf

参考文献 (続き) :

- [12] JEDEC STANDARD JESD22-A108, "Temperature, Bias, and Operating Life", <https://www.jedec.org>
- [13] JEDEC STANDARD JESD22 A-118, "ACCELERATED MOISTURE RESISTANCE - UNBIASED HAST", <https://www.jedec.org>
- [14] JEDEC Standard JESD22A104 Condition B, "Temperature Cycling", <https://www.jedec.org>
- [15] JEDEC Standard JESD22-A101, "STEADY-STATE TEMPERATURE HUMIDITY BIAS LIFE TEST", <https://www.jedec.org>
- [16] IPC/JEDEC joint Standard J-STD-020, "Moisture/Reflow", <https://www.jedec.org>
- [17] AEC-Q101-001 Rev-A, "HUMAN BODY MODEL (HBM) ELECTROSTATIC DISCHARGE (ESD) TEST", http://www.aecouncil.com/Documents/AEC_Q101-001A.pdf
- [18] AEC-Q101-005, "CAPACITIVE DISCHARGE MODEL (CDM) ELECTROSTATIC DISCHARGE (ESD) TEST", http://www.aecouncil.com/Documents/AEC_Q101-005.pdf
- [19] JEDEC JEP173, "DYNAMIC ON-RESISTANCE TEST METHOD GUIDELINES FOR GaN HEMT BASED POWER CONVERSION DEVICES", January, 2019, <https://www.jedec.org/system/files/docs/JEP173.pdf>
- [20] Edward A. Jones, Alejandro Pozo, "Hard-Switching Dynamic R_{dson} Characterization of a GaN FET with an Active GaN-Based Clamping Circuit", 2019 IEEE Applied Power Electronics Conference and Exposition (APEC).
- [21] F. Yang, C. Xu, E. Ugur, S. Pu, B. Akin, "Design of a fast dynamic on resistance measurement circuit for GaN power HEMTs, in Proc. IEEE Transportation Electrification Conference and Expo (ITEC), 2018.
- [22] B. Lu, T. Palacios, D. Risbud, S. Bahl, and D. Anderson, "Extraction of dynamic on-resistance in GaN transistors: Under soft-and hard-switching conditions," in Proc. IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011, pp. 1-4.
- [23] Efficient Power Conversion Corp., "EPC2045 data sheet," 2018.
- [24] E. M. Conwell, "High Field Transport in Semiconductors", Solid State Physics Supplement 9 (Academic Press, New York, 1967).
- [25] J.W.McPherson, "Time dependent dielectric breakdown physics – Models revisited", Microelectronics Reliability, Volume 52, Issues 9–10, September–October 2012, Pages 1753-1760.