GaNの信頼性と寿命の予測: フェーズ14



Alejandro Pozo Ph.D., Shengke Zhang Ph.D., Gordon Stecklein Ph.D., Ricardo Garcia, John Glaser Ph.D., Zhikai Tang Ph.D., Robert Strittmatter Ph.D., Efficient Power Conversion

多くの多様なアプリケーションでGaNデバイスの採用を加速するためには、信頼性統計の継続的な蓄積と、GaNデバイスの故障 の基本的な物理の研究が必要です。この電子ブックは、さまざまな条件下でデバイスを強制的に故障させるテストに基づいて寿 命を測定し、予測するために使われる戦略を説明しています。この情報を使って、業界向けのより強力で高性能な製品を生み出せ ます。

EPCのウエブサイトで購入できる最新の書籍: GaN Power Devices and ApplicationsでGaNベースの技術、ソリューション、アプ リケーションの包括的な分析が説明されています。

標準認証テストに追加が必要

標準の認証テストに加えて、故障するまでのテストするの は、なぜですか?

半導体の標準的な認証試験では、通常、データシートで指定されている限界、またはその近くで、長期間、または特定のサイクル数でデバイスにストレスを与えます。認証テストの目標は、テストされた比較的多数の部品グループにおいて故障をゼロにすることです。

この種のテストは、特定のテスト条件に合格した部品のみを報 告するため、不十分です。部品を故障点までテストすることによ って、データシートの制限との間のマージンの量を理解すること ができ、さらに重要なことは、固有の故障メカニズムを理解する ことができます。固有の故障メカニズム、故障の根本原因、およ び時間、温度、電気的または機械的ストレスに対するこのメカニ ズムの振る舞いを知ることによって、製品の安全な動作寿命を、 より一般的な一連の動作条件で決定できます(半導体デバイス をテストするためのこの方法論の優れた説明については、参考 文献[1]を参照してください)。

GaNパワー・デバイスに対する主なストレス条件と固有の 故障メカニズム

GaNパワー・デバイスが遭遇する主なストレス条件は何です か? 各ストレス条件に対する固有の故障メカニズムは何です か?

すべてのパワー・トランジスタと同様に、主なストレス条件に は、電圧、電流、温度、湿度、および、さまざまな機械的ストレ スがあります。ただし、これらのストレス条件を適用する多くの 方法があります。例えば、GaN FETの電圧ストレスは、ゲート端 子からソース端子(V_{GS})まで、および、ドレイン端子からソース 端子(V_{DS})まで、に印加することができます。例えば、これらの ストレスは、直流バイアスとして継続的に加えこと、オンとオフ を繰り返すこと、高速パルスとして加えることもできます。電流 ストレスは、直流の連続電流またはパルス電流として加えるこ とができます。熱ストレスは、所望の極端な温度で一定期間、 デバイスを動作させることによって継続的に加えること、また は、温度をさまざまな方法で循環させることができます。 かなりの数の故障が発生する所まで、これらの各条件でデバイスにストレスをかけ ることによって、テスト対象のデバイスの主な固有の故障メカニズムを理解するこ とができます。妥当な時間で故障を発生させるためには、ストレス条件は通常、製 品のデータシートの制限を大幅に超える必要があります。ある過度のストレス状態 が、通常の動作中に決して遭遇することがない故障メカニズムを引きこさないよう に注意する必要があります。これが当てはまらないことを確認するために、故障し た部品は、故障の根本原因を特定するために、慎重に調べる必要があります。

根本的な原因を検証することによってのみ、さまざまなストレス条件下でのデバイ スの動作を真に理解することができます。eGaNデバイスの固有の故障モードにつ いての理解が深まるにつれて、2つの事実が明らかになったことに注目すべきです; (1) eGaNデバイスはSiベースのMOSFETよりも丈夫であり、(2)極端な、または長 期の電気的ストレス条件下でeGaNデバイスの寿命を予測するとき、MOSFETの固 有の故障モデルは有効ではありません

ストレス	デバイス/ パッケージ	テスト方法	固有の故障メカニズム
		ИТСР	絶縁破損 (TDDB)
		пюв	しきい値シフト
電圧	デバイス	HTRB	しきい値シフト
			R _{DS(on)} シフト
		ESD	絶縁破壊
雷流	デバイス	直流雷流 (FM)	エレクトロマイグレーション
电///	,,,,,,		熱マイグレーション
電流+電圧	デバイス	SOA	熱暴走
(電力)	,,,,,,	短絡	熱暴走
電圧の立ち上がり/降下	デバイス	パルス電流 (Lidar信頼性)	R _{DS(on)} シフト
電流の立ち上がり/降下	デバイス	パルス電流 (Lidar信 頼性)	問題なし
温度	パッケージ	HTS	問題なし
		MSL1	問題なし
		H3TRB	問題なし
湿度	パッケージ	AC	問題なし
		はんだ付け性	はんだ腐食
		uHAST	デンドライトの形成/腐食
		TC	はんだ疲労
		IOL	はんだ疲労
		曲げ力試験	層間はく離
機械的/熱機械的	パッケージ	曲げ力試験	はんだ強度
		曲げ力試験	圧電効果
		チップせん断	はんだ強度
		パッケージ圧力	フィルム亀裂

表1:eGaN FETのストレス条件と固有の故障メカニズム

このレポートの焦点と構造

表1の左側の列には、組み立て中または動作中にトランジスタが受ける 可能性のあるさまざまなストレス源がすべてリストされています。 左から 3番目の列にリストされているさまざまなテスト方法を使って、 デバイスを 故障する点に到達させることで、固有の故障メカニズムを発見できます。 このレポートの執筆時点で確認された故障メカニズムは、右側の列に示 されています。

このレポートで説明されている最初のトピックであるセクション1:ゲートの電圧/温度ストレス (3ページ目)は、GaNデバイスのゲート電極に 影響を与える固有の故障メカニズムです。このセクションでは、この裏付 けとなる証拠に対応した物理ベースの寿命モデルを示します。これは、デ バイスの寿命を予測するために以前に使ったより単純な時間依存の絶縁 破壊モデルの改良版です。

2番目のトピックであるセクション2:ドレインの電圧/温度ストレス(8 ページ目)では、動的オン抵抗R_{DS(on)}の原因となる固有のメカニズムに ついて説明します。動的R_{DS(on)}のトピックは、設計技術者、信頼性のエキ スパート、学者から大きな注目を集めています。このセクションでは、主 なメカニズムを分離し、これらのメカニズムの理解を使って、より丈夫な デバイスを形成する方法を示します。ゲート・ストレスのセクションと同様 に、動的R_{DS(on)}の作業は、R_{DS(on)}の変化に関連するeGaNトランジスタの すべての既知の動作を説明する物理ベースのモデルの開発を通じて強化 されます。したがって、このモデルは、より複雑なミッション・プロファイ ルにおける寿命の予測に最も役立ちます。

セクション3:一般的な実世界の使用例へのモデルの適用(18ページ目) は、これらのデータ駆動型モデルを実世界の事例に適用します。

セクション4:安全動作領域 (24ページ目) は、GaNデバイスの安全に動 作する領域 (SOA) に焦点を当てています。このテーマは、シリコン・ベー スのパワーMOSFETで広く研究されており、高いドレイン・バイアス条件 下での有用性を制限する2次破壊メカニズムが観測されています [2]。い くつかのGaN製品は、データシートのSOA全体にわたって徹底的にテス トし、その後、安全マージンの調査で故障させました。すべての場合にお いて、データは、データシートのSOA内で動作するときにGaNトランジス タが故障しないことを示しています。

セクション5:短絡の耐久性テスト (25ページ目)では、eGaNデバイスが 回路の短絡条件下で破壊されるまでテストします。この目的は、壊滅的 な故障が発生する前に、どのくらいの時間、どのようなエネルギー密度に 耐えられるかを判断することです。この情報は、回路設計に短絡保護を 含める必要のある産業用パワーやモーター駆動の技術者にとって不可 欠です。 GaNデバイスは、自動運転車、トラック、ロボット、ドローンで使われる Lidar (光による検出と距離の測定)機器に広く採用されています。GaN デバイスの高速スイッチング速度、小型、大パルス電流の機能によっ て、Lidarシステムは、より長い距離をより高い解像度で「見る」ことがで きます。Lidarシステムは、動的な電圧と電流 (di/dtとdv/dt)の限界を、 シリコンで実現される以上に押し上げます。

セクション6:高di/dt電流パルスの信頼性(Lidar用途)(27ページ目) では、Lidarパルスの長期のストレス条件でeGaNの信頼性を評価するた めの専用テスト・システムについて説明します。このレポートの執筆時点 で、デバイスは、13兆パルス(自動車の通常の寿命の約3倍)を超えて動 作しており、故障や大きなパラメータ・ドリフトは発生していません。

セクション7:機械的ストレス (29ページ目) では、ウエハー・レベルのチ ップスケール (WLCS: wafer level chip-scale) ・パッケージの機械的圧 カテストの問題が示されています。チップせん断 (面内圧力) に対する故 障するまでのテスト結果は、MILSTD-883Eの推奨値を超える耐久性を実 証しています。背面 (面外) 圧力テストは、パッケージが故障することなく 400 psiの能力があることを示しています。

曲げカテストでは、はんだ接合の耐久性を調べ、デバイスの電気的パラメ ータを変調する可能性のある圧電効果を探ります。すべてのデバイスは、テ スト規格Q200-005Aに基づいて4 mmのたわみ(250 N)に合格し、最初の 故障は、6 mmのたわみで発生しました。電気的パラメータの変化は、観測 されませんでした。セクションの終わりに、デバイスを物理的に破壊するた めに必要な曲げ力が、圧電的に生成された場の変調によって電気的特性 を変化させるために必要な力よりも、はるかに小さいことが示されてい ます。

セクション8:熱機械的応力 (31ページ目) では、温度サイクルと、自己発 熱に基づくサイクルの両方によって発生する熱機械的応力の問題につい て説明します。寿命を実験的に予測するために、アンダーフィル製品を広 範に調査しました。このセクションの最後にある有限要素解析で、実験 結果を説明し、主な材料特性に基づいてアンダーフィルを選択するため のガイドラインを示します。

セクション1:ゲートの電圧/温度ストレス

1.1 以前の作業

図1は、Efficient Power Conversion (EPC) のeGaN® FETであるEPC2212 [3] のゲート故障のワイブル・プロットの例です。 横軸は故障までの時間、 縦軸はゲートに加えられたさまざまなストレス条件の累積故障確率を示しています。

左図のプロットは、室温における異なる電圧を示し、右図のプロットは120℃で印加された2つの異なる電圧を示しています。 このデバイスのデータシー トにおけるゲートの最大電圧定格は6Vですが、8Vで何時間か経過した後でさえも、故障するデバイスは、ほとんどないことに注意してください。



図1: EPC2212のゲート-ソース間の故障のワイブル・プロット。ゲート-ソース間電圧8 VGSでも、故障は、ほとんど発生しないことに注目してください。 デバイスの最大V_{cs}定格は6 Vです。 左図のデータは25℃、 右図のデータは120℃です。

図2で、これらのデータは故障率に変換されています。左図は、25℃と120℃の両方でのV_{GS}に対するこれらの同じデバイスの平均故障時間 (MTTF) です。 右図は、25℃でのV_{cs}に対するさまざまな故障の確率を示すグラフです。故障率は、温度にはあまり敏感ではありませんが、V_{cs}には非常に敏感であること に注意してください。曲線は、単純な経時絶縁破壊メカニズム (TDDB) [3] を仮定して、データ点に適合させました。

右のグラフを見ると、V_{GS}が直流6 Vで、これは、この部品の絶対最大許容電圧であり、10年間で10~100 ppmの故障が予想されます。ただし、推奨される ゲート駆動電圧は5.25^Vであり、その電圧での予想故障率は10年間で1 ppm以下です。

これらの結論は、主な故障メカニズムがこれらすべての条件下で同じである場合にのみ有効です。これを確認するために、この調査の複数の部品で故障 解析を実施し、一貫した故障モードが分かりました。 図3の画像を参照すると、黄色の円は、故障箇所がゲート金属と金属1層との間にあることを示してい ます。これらの2つの層は、窒化ケイ素誘電体層によって分離されています。この故障箇所は、この窒化ケイ素層であり、その下のGaN層ではありません。





図3: EPC2212 (eGaN FET) のゲート領域の走査型電子顕微鏡 (SEM) 画 像。 黄色の円は、 故障箇所がゲート金属と金属1層の間にあることを示して います。

この寿命の調査は、eGaN FETのゲートの信頼性の確かな現象論的モデル を提供しましたが、多くの基本的な疑問は、未解決のままでした。

- 高品質の窒化ケイ素膜において、ブレークダウン強度をはるかに下回る 電界で、誘電体破壊が発生するのはなぜですか?なぜ、この破壊がゲ ートの角で起こるのですか?
- ・ 温度が上昇するとゲートの寿命が延びるのは、なぜですか?
- ゲート電圧によるMTTFの指数関数的スケーリングは、eGaN FETに本当 に適用できますか? おそらく、GaNの故障の根本的な物理に基づいて 予測する別の数学モデルがあると思いますが?

これらの疑問を解決するために、EPCは、より大きなサンプル・サイズと より長い時間(場合によっては1000時間以上)を採用して、最新の多くの EPC2212デバイスで、より広範なゲート加速調査を実施しました。加えて、 高いゲート・バイアスでの故障の力学を明らかにするためのいくつかの中 核となる実験を実施しました。これらの調査によって、故障の物理の理解 が深まり、この物理から直接導き出されたeGaN技術に固有の初期の寿命 方程式が初めて得られました。

EPCは、eGaN FETの高バイアスでのゲート故障が2段階のプロセスによっ て引き起こされるという説得力のある証拠を集めました。最初のステップ では、pGaNゲート層内の衝突電離によって、電子-正孔(e-h)対が生成さ れます。これらの正孔のいくつかは、ゲートの角の近くのSi₃N₄層に散乱し てトラップされます。時間の経過と共に、このトラップされた正孔の電荷 密度が蓄積するにつれて、誘電体の電界は、ある臨界電荷密度で、激しく 破壊するまで大きくなります。

この力学の結果は、式1に示す5パラメータのゲートの寿命方程式です:

$$MTTF(V_{GS}, \Delta T) = \frac{A}{(1 - c\Delta T)} exp\left[\left(\frac{B}{V_{GS} + V_0} \right)^m \right] \qquad \qquad \vec{x} \downarrow 1$$

ここで、V_{GS}はゲート電圧、ΔTは温度 (25℃が基準) です。式1の残りのパラ メータを以下の表に示します:

m = 1.9

- $V_0 = 1.0 V$
- B = 57.0 V $A = 1.7 \times 10^{-6} s$
- $c = 6.5 \times 10^{-3} \text{ K}^{-1}$

1.2 ゲート寿命モデルの物理ベースの導出

このセクションでは、高いゲート・バイアス下でのGaNトランジスタの故障 の物理を説明するための上記で概要を示した理論と、対応する寿命モデ ルを導き出します。この結果は、さまざまな条件下での信頼性を推定する ための実用的な方程式です。この式は、Si MOSFETの一般的な信頼性モ デルから借用するのではなく、エンハンスメント・モードGaNゲートのユニ ークなデバイス物理に適用され、導き出されています

この理論の基礎を築くために、ゲート故障の根本原因を明らかにすること を目的とした多くの基本的な実験を実施しました。最も低い電圧レッグ では、合計ストレス期間が2000時間を超えたため、より多くの故障が発生 し、統計的信頼区間が厳しくなりました。さらに、Si₃N₄誘電体層のブレー クダウン強度は、専用のテスト構成と交互の電界方向を使って徹底的に 特徴付けられました。最後に、電界発光 (EL:electro-luminescence)の 調査が、激しいゲート破壊に至るまでの時間的な力学を理解するためにデ バイスで実施されました。

GaNトランジスタのゲート故障の良好なモデルには、以下の重要な観測事 項を考慮する必要があります:

pGaNゲートの側壁にまたがるSi₃N₄で絶縁破壊を観測

この故障は、ソースまたはドレインの側壁で発生する可能性があります。

- 同じSi₃N₄膜は、pGaNゲートから絶縁されたテスト構成で測定したとき、10 Vのゲート・ストレス中に発生する電界強度よりもはるかに大きい(6倍)電界強度まで故障しません。これは、誘電体内の電界の極性に関係なく当てはまります。
- ゲートの故障率は負の温度係数を示しています。ゲートの漏れ と酸化膜の経時絶縁破壊TDDB (Time Dependent Dielectric Breakdown)の両方が通常、正の温度係数を示すため、これは驚く べきことです。
- 測定されたMTTFは、ゲート・バイアスに従って非常に高い加速を示します。さらに、限界加速は、ゲート・バイアスで一定ではなく、単純な指数加速の法則と矛盾します。この加速はV_{GS}が低いほど急で、バイアスが高いと横ばいになります。
- 高エネルギー(2 eV以上)の光子放出は、ゲート故障に至るまでの時間間隔で、ゲートに沿った局所的な場所で見られます。その後の故障解析では、まったく同じ場所での誘電体の破壊が明らかになりました。

これらの観測をまとめた結果として、多段階プロセスが高V_{GS}でのゲート 故障の原因であると理論付けました。このプロセスは、図4に概略的に示 されています。最初のステップでは、電子が2DEG(2次元電子ガス)から pGaNゲート層に注入されます。それらは、AlGaNヘテロ障壁にわたってト ンネリングまたは熱電子放出を介して注入されます[5]。いったんpGaN層 内に入ると、電子は電界から急速にエネルギーを獲得し、一部は衝突電離 を引き起こすために十分なエネルギーを獲得します。これによって、特にゲ ート金属のすぐ下の高電界領域で、電子-正孔対が生成されます。

このプロセスの2番目のステップでは、電界の影響下で正孔がゲート金属 から離れます。ゲートの側壁の近くで、ある割合の正孔がSi₃N₄誘電体内に 散乱し、そこで深い状態でトラップされます。このプロセスは、Si₃N₄/GaN 界面がタイプIIスタッガード・バンド・アラインメント [6,7] を持ち、Si₃N₄の 価電子帯の最大値がGaNよりも高いという事実によって説明できます。こ れは、界面近くのGaNに生成された正孔には、誘電体への放出に対する障 壁がない(または低い)ことを意味します。

このプロセスの最終ステップでは、正孔が誘電体にトラップされ、正電荷 密度Q_hが増加します。この電荷は、次に、金属フィールド・プレートとゲー ト側壁の近くのゲート金属との間の誘電体における電界の増加をもたらし ます。この電荷密度が臨界密度(Q_c)に達すると、誘電体が破壊され、ゲ ート故障の故障解析で観測される側壁付近の壊滅的な損傷につながりま す[8]。

フェーズ14テスト

この故障モードは、絶縁破壊の故障するまで充電するタイプのモデルで す。ただし、この電荷は、誘電体自体からの漏れではなく、隣接するpGaN 層の衝突電離によって蓄積されます。したがって、この多段階プロセスの 力学は、GaNの衝突電離の律速ステップによって媒介されます。この結 果、ゲート寿命は、次のセクションで説明するGaNの衝突電離方程式を使 ってモデル化できます。

図5 (上図)は、高い順方向バイアス (9 V)下でのGaNゲートのバンド図で す。この図では、左端がゲート金属に対応し、右側に向かってAlGaN障壁 があることが分かります。衝突電離による電子-正孔対の生成は、ゲート金 属の近くの最も高い電界領域に示されていることに注意してください。図5 (下図)は、同じ条件でのゲート内の対応する電界をプロットしています。

この電界は均一ではなく、ゲート金属の近くで最大に達することに注意してください。9 Vのゲート・バイアスの場合、この電界のピークは2 MV/cmを超えます。この電界強度は、GaNで安定した衝突電離(アバランシェ降伏ではない)を可能にするためには十分です [9,11]。これは、貫通転位の近く、ストレス集中、または、表面形状の小さな谷など、電界がわずかに集中している可能性がある領域に特に当てはまります。

1.3 ゲート電圧への電界依存性

図6は、順方向ゲート・バイアスの関数としてのpGaNゲート内の電解のシ ミュレーションです。最大電界(ゲート金属の近く)と平均電界の両方を 表しています。この電界は、非平衡1次元フェルミ・ポアソン・ソルバー[12] を使って計算しました。低バイアスでは、電界は内蔵の圧電電荷が支配的 になります。より高いバイアスでは、電界はV_{GS}と共に直線的に高くなりま す。ここで、比例定数はゲートの厚さdです。dには、pGaNの厚さとAlGaN の厚さの両方が含まれることに注意してください。図6の中の式は、後で使 う電界FとV_{GS}の単純なモデルを与えます。



図6:順方向ゲート・バイアスの関数としてのpGaNゲート内の電界。最大電 界(ゲート金属の近く)と平均電界の両方を示しました。破線は、電界FとV_{GS} の単純なオフセット線形モデルです。パラメータV₀は内蔵電圧、dは実効ゲー ト厚です。



図4: GaNトランジスタのゲート故障メカニズムの概略図。AlGaNフロント障 壁をトンネリングする電子の小さな電流がpGaNゲート領域に入り、ここでゲ ート金属に向かって高電界で加速されます。わずかな比率で、特にゲート金 属の近くで、衝突電離を引き起こすために十分なエネルギーを獲得します。 この結果、正孔は、ほとんど一掃されますが、一部はSi₃N₄誘電体層にトラッ プされて蓄積されます。トラップされた正孔密度Q_hが十分に蓄積されると、 電界が誘電体に集中し、最終的に壊滅的な破壊につながります。



図5: (上図) 高い順方向バイアス (9V) 下でのpGaNゲートのバンド図。 左端はゲート金属に対応します; AlGaNフロント障壁が右側に見えます。 電子-正孔対の生成は、ゲート金属近くの高電界領域に示されていることに注意し てください。同じ条件でのゲート内の電界(下図)。 電界が均一ではなく、 2 MV/cmを超えるピークに達することに注意してください。 以下の開発では、最大電界ではなく平均電界が使われます。衝突電離は、 電界によって強く加速されますが、衝突電離の物理では、電子が電子-正 孔対を生成するために十分な運動エネルギーを獲得するために、所望の 平均自由行程(またはデッド・スペース)が必要です。この平均自由行程 は、ゲートの厚さのオーダーです。したがって、ゲート全体の電界(または 平均電界)は、衝突電離を計算するためのより適切な入力変数です。

GaNにおける衝突電離のモデル

衝突電離による電子-正孔対の生成率は、次式でモデル化できます[13]:

ここで、Gは、電子-正孔の生成率 (#/cm³)、J_nとJ_pは電子電流と正孔電流 (A/cm²)、α_nとα_pは電子と正孔の衝突電離係数 (#/cm)です。イオン化 係数は、電子/正孔が移動した単位距離 (1 cm)で生成された電子-正孔 対の数です。これらの係数は、電界と温度に強く依存します。

GaNのイオン化係数の電界依存性は、第一原理フルバンド・モンテカル ロ・シミュレーションを使うか、アバランシェ・フォトダイオードでの実験 による測定を介して、数人の著者によって研究されています [13]。これら の研究はすべて、他の半導体で広く使われている電子のイオン化係数に Chynowethの形式 [15] を採用しています。

ここで、Fは電界、 a_n 、 b_n 、mはパラメータです。シミュレーションと測定の 両方に優れた適合性を提供するこの方程式は、特にpGaNゲート内に見ら れる電界強度の中間領域で、電界によって強く加速されます。表2は、いく つかの参考文献からのGaNに対するChynowethのパラメータ値を比較し ています。

参考文献	a _n (1/cm)	b _n (V/cm)	m
Jiほか[10]	2.10E+09	3.70E+07	1
Ozbek [14]	9.20E+05	1.70E+07	1
Caoほか [9]	4.48E+08	3.40E+07	1
Ooiほか [16]	7.32E+07	7.16E+06	1.9

表2:GaNの衝突電離に関するChynowethのパラメータの比較。注:ab-initioシミュレーションまたは直接測定のいずれかを使った複数の著者からの情報。

当社のゲート寿命データに当てはめると、すべてのパラメータ値 で同様の結果が得られました。結局、Ooi氏ら [16] によって提供 された形式を2つの理由で選びました: (1) いくつかの独立した 出版物 [13,17] とほぼ一致、(2) すぐに示すように、引用されたパ ラメータは、当社の実験データとほぼ完全に一致します。

1.4 温度依存性

GaNのアバランシェ降伏の温度依存性は、さまざまなグループによって論 争されており、正の温度係数を報告するグループもあれば、負の温度係 数を報告するグループもあります [18]。最近では、理論データ(フルバン ド・モンテカルロ・シミュレーション)と実験データの両方で、温度が上 昇すると電子と正孔の両方の衝突電離率が低下するというコンセンサス が生まれました。これは、イオン化(およびアバランシェ降伏)が低い温 度で発生する可能性が高いことを意味します。この主な理由は、キャリア の平均自由行程でのフォノン散乱によるものです。高い温度では、散乱が 増加すると平均自由行程が小さくなり、キャリアの運動エネルギーは電界 から吸収されます。高エネルギーのキャリアが少なくなると、それに応じ てイオン化衝突(つまり衝突電離)の割合が低下します。ゲート信頼性の データで観測された高い温度でのMTTFの増加は、故障の物理ではやや 珍しいことであり、衝突電離が基本的な役割を果たしていることを強く示 唆しています。

Ozbek氏 [14] は、電子ビームで誘起された電流 (EBIC:electron beam induced current) 法を使って、300 K~400 Kの温度範囲でのGaNの衝 突電離係数の温度依存性を研究しました。そして、明らかに単調な (そして負の) 反応を見つけました。Ozbek氏は、式4のChynowethの係数b_n とmが温度によって変化しないことに対し、係数a_nは変化することを見つけました。式4に示すように、測定された応答を単純な線形温度依存性に 適合させました。

ここで、c = 6.5×10⁻³ K⁻¹で、ΔT (ケルビン温度) は300 Kを超える温度上 昇です。 この温度依存性は、以下のモデルで採用されています.

最終的な寿命方程式

この段階で、pGaNゲートに適用可能な寿命方程式を導出するためのすべての数学的要素を得ました。最初のステップとして、生成率の式(式2)を次のように簡略化できることに注意してください:

ここでは、正孔によって引き起こされるイオン化からの寄与を無視して います。順方向バイアス下でAlGaN障壁をトンネリングする電子とは異な り、ゲート領域に正孔が注入されないため、これは有効です。GaNゲート の正孔には持続的な発生源または注入する接続はありません。さらに、 正孔は、電子によって引き起こされる衝突電離によって、低い割合で生成 されますが、対応(および増倍)する正孔の電流は、電子の電流よりも桁 違いに小さくなります。

生成された正孔のほとんどは、AlGaN障壁に向かって一掃されますが、ゲート側壁の近くのSi₃N₄誘電体層に、いくらかがトラップされます。正電荷(正孔)が時間の経過と共に誘電体に蓄積されると、フィールド・プレートの端の近くの電界も同様に大きくなります(図4参照)。ある臨界電荷密度に蓄積されると(Q_c で示される)、誘電体の電界はブレークダウン強度に達し、Si₃N₄はフィールド・プレートからpGaNゲート(またはゲート金属)へと破壊されます。

電荷が誘電体に蓄積するときに、(電子によって引き起こされる衝突電離からの)正孔の生成率が時間と共に変化しないと仮定すると、絶縁破壊までの平均時間は単純に次のようになります:

$$MTTF \propto \frac{Q_c}{G}$$
 $\exists 6$

式6を式3、4、5と組み合わせることによって、ゲート内の温度と電界の関数としてのMTTFの式が得られます:

トラップされた正孔電荷が時間と共に蓄積するとき、注入速度J_nと垂直 電界Fは感知できるほど変化しないという暗黙の仮定がなされたことに 注意してください。

ゲート電圧への電界依存性を挿入し(図6から)、可能な限りパラメータを まとめると、最終的な5パラメータのゲート寿命モデルが得られます:

以下にリストしたパラメータを使います: m = 1.9

 $V_0 = 1.9$ $V_0 = 1.0$ V B = 57.0 V $A = 1.7 \times 10^{-6}$ s $c = 6.5 \times 10^{-3}$ K⁻¹

式8が得られる最後のステップでは、注入電流J_nに対するゲート電圧と温度の影響は無視され、定数として扱いました。ゲートの漏れはV_{GS}とΔTの両方で単調に増加しますが、測定された依存性は、衝突電離によって引き起こされる大きな電圧加速と比べて弱くなっています(Chynowethの式で捕捉)。J_nの電圧依存性は、モデルをより複雑にすることを犠牲にして追加できますが、結果として、MTTF対V_{GS}のすでにある大きな加速に、わずかに追加されるだけです。

寿命方程式 (式8) は、図7のEPC2212の測定された加速データに対して プロットされています。このモデルの電圧による不均一な加速がデータ とよく一致していることに注意してください。この電圧加速は、対数-線 形空間で見ると、線形ではなく曲線として現れます。この適合を生成す るために、AとBを除く式8のすべてのパラメータを固定しました。この結 果として得られたBの最適適合は、(ゲートの厚さdで除算して電界に変 換した場合)、 b_n =7.6×10⁶ V/cmの値になり、Ooi氏の値7.2×10⁶ V/cm [14]と非常によく一致しています。図8は、一75°C、25°C、125°Cでの寿命 方程式の温度依存性を示しています。温度依存性 (パラメータcに含まれ る) は、データに適合せずに、Ozbekから直接得られます。図7に示した 測定で観測されるように、高温ではMTTFがわずかに大きくなることに 注意してください。



図7:25℃でのEPC2212のMTTFとV_{GS}の関係。MTTF(およびエラー・バー) は、4つの異なる電圧レッグについて示されています。実線は、衝突電離寿命 モデルに対応しています。100 ppm、10 ppm、1 ppmの故障までの時間の外 挿も示しました。

1.5 ゲート寿命モデルの物理ベースの導出に関する結論

GaNトランジスタのゲート寿命の衝突電離モデル (式1) は、観測された 多くの要因をうまく説明しています:

MTTFの正の温度係数(これは、故障の半導体物理では珍しいことです)。

 ゲート・バイアスによる非常に高い加速、およびゲート・バイアスの減 少時に指数関数よりも急な加速。



図8:4つの異なるゲート・バイアスで測定されたEPC2212 (25℃)のMTTF。青 色の線は寿命モデル。赤色と緑色の線は、それぞれ125℃と-75℃での寿命モ デルの予測です。

ブレークダウンをはるかに下回る公称電界強度での高品質Si₃N₄膜による誘電体破壊(正孔注入と隣接するpGaN領域からのトラップの結果として)。

この寿命方程式は、MOSFET用に開発された標準的な信頼性モデルの本体から単純に借用したものではありません。その代わりに、これは、特にGaNトランジスタに適用可能な故障の根本的な物理から構築された最初のゲート寿命モデルを表しています。

図9は、次の比較を示しています:(赤色)元のゲート加速データと、時間 依存の絶縁破壊のみに基づく単純な指数加速適合;(青色)最近の加速 データと衝突電離寿命モデル。最近のデータは、製造における均一性と プロセス制御の着実な改善によるすべての電圧での測定寿命の改善を 示していることに注意してください。衝突電離モデル(式1)は、データシ ートの範囲内の低いV_{GS}で故障するまでの時間が長くなると予測していま す。特に、6V(データシートの最大値)で1 ppmの故障までの予測時間は 10年を超えています。



図9:25℃でのEPC2212のMTTFとV_{GS}の関係。MTTF(およびエラー・バー) は、4つの異なる電圧レッグについて示されています。実線は、衝突電離寿命 モデルに対応しています。100 ppm、10 ppm、1ppmの故障までの時間の外挿 も示しました。

セクション2:ドレインの電圧/温度ストレス

同じこの方法論は、他のすべてのストレス条件に適応させることができま す。例えば、GaNトランジスタのユーザーに共通する懸念の1つは、動的オ ン抵抗R_{DS(on})です。これは、デバイスが高いドレイン-ソース間電圧V_{DS}に曝 されると、トランジスタのオン抵抗が増加する状態です。この状態をテス トする従来の方法は、最大定格温度(通常150℃)で最大定格の直流電圧 V_{DS}を印加することです。一定時間(通常は1000時間)経過しても故障が ない場合、製品は合格であると見なされます。

オン抵抗R_{DS(on)}を増加させる支配的なメカニズムは、チャネル近くでトラ ップ状態にある電子のトラップです。トラップされた電荷が蓄積されると、 オン状態の2次元電子ガス (2DEG) から電子が枯渇し、R_{DS(on)}が増加する ことになります。最大温度で直流のV_{DS}を加えることによって、トラップに 利用できる電子は、ドレイン-ソース間の漏れ電流I_{DSS}から得られます。ト ラップを加速するために、第4世代の100 V定格のGaNトランジスタである EPC2212の図10に示すように、デバイスを、最大定格を超える電圧にする ことができます。このデータは、3パラメータのワイブル分布 [19] によって 適合されました。

図11で、これらのデータは、電圧と温度に対する故障するまでの時間のグ ラフに変換されています。このグラフの上側は、10年間にわたって最大定 格電圧V_{DS}を加えたときの1 ppmの故障の時間です。下側のグラフは、故 障率がすべての条件下で非常に低いものの、温度にあまり敏感でないこと を示しています。ただし、故障率が、35℃または150℃よりも90℃の方が 低いことは珍しいことです。これは、主な故障メカニズムがホット・エレク トロンのトラップであることを理解することで説明できることを、このレポ ートの後半で示します。

図12は、eGaNトランジスタのEPC2212の拡大画像で、1~2 μmの光学 範囲での熱放射を示しています。この部分のスペクトル放射は、ホット・ エレクトロンと一致しており、デバイス内のそれらの位置は、デバイスが ドレイン-ソース間バイアス下にあるときの最も高い電界の位置と一致し ています。



図11:図10のデータ、および、さまざまな温度で得られた同様のデータは、時間、温度、電圧による故障率の予測に変換されています。



図12:ホット・エレクトロンと一致する1~2μmの波長範囲 (SWIR:短波長赤 外線) での発光を示すEPC2212 (eGaN FET) の拡大画像。SWIR発光 (赤色-オレンジ色) は、通常の (可視波長) 顕微鏡画像に重ね合わされています。



図10:さまざまな電圧で、直流バイアス下でストレスを受けたEPC2212 (eGaN FET) のワイブル・プロット。故障は、データシートの制限を超えるこ とと定義されています。

デバイスのこの領域のホット・エレクトロンがトラップされた電子の源であ ることを知っているので、動的オン抵抗を最小化する方法のより深い理解 は、改善された設計とプロセスから得ることができます。ホット・エレクト ロンの一般的な振る舞いを理解することによって、より広い範囲のストレ ス条件にわたって、それらの振る舞いを一般化することができます。

加えて、より多くのホット・エレクトロンを供給することによって、トラップ・ メカニズムを加速することができます。これを実現するために、最大定格 電圧V_{DS}でデバイスを介して大きな漏れ電流I_{DSS}を供給する図13に示す回 路を製作しました。言い換えれば、高温で直流バイアスによって生成され た漏れ電流をトラップされる可能性のある電子源として使う代わりに、図 13に示すようなスイッチング回路を作ることによって、温度に関係なく桁 違いに多くのトラップ候補を生成できます。この回路は、JEDEC JEP173 [20] によって提案されたハードスイッチング構成の1つです。



図13: JEDEC JEP173 [20]と整合性のあるハードスイッチング回路。

図14は、ホット・エレクトロンのトラップがドレイン近くのピーク電界で加速されるという知識に基づいて設計された第5世代のeGaNトランジスタであるEPC2045のオン抵抗R_{DS(on)}が、さまざまな電圧ストレス・レベルと温度で、時間の経過と共にどのように増加するかを示しています。上のグラフでは、デバイスは25℃、電圧60 V~120 Vでテストしました(EPC2045の最大V_{DS(max)}は100 V)。横軸は、分単位で測定した時間を示し、右端は10年で終了します。

下のグラフは、さまざまな温度で120 Vのバイアスを加えたときのR_{DS(on)}の 変化です。直感に反する結果は、オン抵抗が低温でより速く増加すること を示しています。これはホット・キャリア注入と一致しています。ホット・エ レクトロンは、低温での散乱イベントの間でさらに移動し、したがって、特 定の電界によって、より大きな運動エネルギーに加速されるからです。この 結果、電子はさまざまな層に到達し、トラップされやすくなります。デバイス を最大電圧と最大温度でテストする従来のテスト方法では、デバイスの信 頼性を判断するには不十分な場合があることを示しています。

これで、図11の結果をより深く理解できるようになりました。このデバイス は、直流バイアス下で加熱されると、漏れ電流が増加します。ただし、ホッ ト・キャリアの平均自由行程が短くなるため、利用可能な電子の増加に対 抗し、R_{DS(on)}は、室温から90℃まで、時間の経過と共に上昇しますが、その 後、高温で低下し始めます —— これも直感に反するもう1つの結果です。

これらの結果がフェーズ10とフェーズ11のレポートで公開されたことで、eGaNコミュニティに大きな関心が寄せられ、多くの質問や、中には懐疑的な見方もありました。



図14: さまざまな電圧ストレス・レベルと温度での第5世代eGaNFET (EPC2045) の経時的なR_{DS(on)}。上のグラフでは、デバイスは、25℃、電圧60 V~120 Vでテス トされました。下のグラフは、さまざまな温度での120 VでのR_{DS(on})の変化です。

対処すべき重要な質問は次の通りです:

- log (時間)の増加特性は、より長い時間間隔で検証されていますか?
 この増加特性は長期的な寿命予測の中心となるので、これは重要です。
- R_{DS(on)}は、データシートの温度範囲の下限(例えば-40°C)で、どのよう に変化しますか?
- 動的R_{DS(on)}は、誘導性ハードスイッチングと抵抗性ハードスイッチングと の間で、どのように比べますか?
- R_{DS(on)}は、スイッチ電流とスイッチング周波数に、どのように依存しますか?
- log (時間) 増加特性、および観測された温度と電圧の応答を説明するためのデバイス物理ベースの理論はありますか?
- この理論は、さまざまなドレイン電圧と温度の下で、動的R_{DS(on)}を予測するコンパクトな数学モデルになる可能性がありますか?

このセクションの残りの部分では、これらの質問のそれぞれについて順番 に説明します。1000時間以上の連続ハードスイッチング動作にわたる長期 の動的R_{DS(on)}データを示します。誘導性ハードスイッチングと抵抗性ハード スイッチングを比較するデータを提供します。低温動作(-30°C)の影響と さまざまなスイッチ電流の影響を示します。このセクションの最後に、GaN トランジスタの動的R_{DS(on)}の第一原理物理ベース・モデルを提供します。こ のモデルは、上記のすべての現象をうまく説明しています。

2.1 1000時間を超える連続ハードスイッチング

抵抗性ハードスイッチング・システムを使って、eGaNトランジスタのEPC2218の6個のサンプルを同時に1000時間以上の連続動作でテストしました。このテ ストの目的は、R_{DS(on)}の長期的な増加の原因となる電荷トラップ・メカニズムがlog (時間)の傾向に従うことを示すことです。この傾向が長期にわたって維 持される場合、最初の数時間のデータを使って、10年後または15年後に予想されるR_{DS(on)}を予測できます。図15は、テスト対象のすべてのサンプルの時間 経過に伴う正規化されたR_{DS(on}を示し、図16は、最初の5時間のデータまたは1150時間全体のいずれかを使った適合線の間の違いです。

5時間の適合線のエラーの主な原因は、周囲温度の小さな温度変化です。これらの(ランダムな)温度変動は、テスト時間が長くなるにつれて相殺される傾向があります。それにもかかわらず、短期および長期のテストは、15年後に予測されるR_{DS(on})に関して10%以内で一致します。これは、短期間のデータ収集(数時間以上)を使って、長期の動的R_{DS(on})の振る舞いを正確に予測できるという考えに信憑性を与えます。後で示す物理ベースのモデルで分かるように、このlog(時間)外挿は、R_{DS(on})の変化が比較的小さい場合に有効です。この変化が大きい場合、利用可能な2DEG電子のかなりの割合がトラップされる場合は、より洗練された外挿が必要です。



図15:周囲温度およびバイアス100 Vで1000時間以上の抵抗性ハードスイッ チングの連続動作下でのEPC2218 (eGaN FET)の6個のサンプルの長期間の 動的 $R_{DS(on)\circ}$ 上のグラフは、 $R_{DS(on)}$ 対時間で、下のグラフは、最初の10分の後 の値に正規化した $R_{DS(on)}$ です。1000時間以上の動作でも、 $R_{DS(on)}$ は、単純な log (時間)の増加依存性から逸脱しないことに注意してください。



図16:log (時間)の適合とR_{D5(on)}データの比較。破線は、最初の5時間の適 合を表し、実線は1150時間全体の適合を表します。EPC2218の2個のサン プルのデータが示されています。短期的な適合は、長期的な適合と同様の 予測になり、15年の予測で±10%の小さなランダムな違いであることに注 意してください。

2.2 誘導性と抵抗性のハードスイッチングとスイッチ電流の影響

何人かのユーザーは、抵抗性ハードスイッチングが誘導性ハードスイッチン グ中に発生するこの種のホット・キャリア・ストレスを真に表していないとい う懸念を提起しました。これらの懸念は、学術文献、会議議事録、他のGaN メーカーによっても示されています。この議論は、オン遷移中に部品が通過 する電流・電圧空間の軌跡に集中します。誘導性遷移の場合、FETは、電圧 と電流の両方が大きいとき、正確にはホット・キャリア効果につながる条件 のときに、臨界時間間隔中に、より大きな電流が生じるという訳です。これ らの議論は、もっともらしいですが、ほとんどごまかしであり、実際のデー タや確かな理論によって裏付けられている訳ではありません。

この質問に対処するために、誘導性と抵抗性の両方のハードスイッチング条件で測定しました。この測定システムは、テスト対象の同じデバイス上で誘導モードから抵抗モード(および、その逆)に切り替えることができます。誘導モードの場合、テスト回路は電流連続モード(CCM)で動作するブースト・コンバータです。どちらのモードでも、この部品は200 kHzで連続的にスイッチングし、オシロスコープのトレースが定期的に捕捉されるため、短期および長期の両方の動的R_{DS(on)}をモニターできます。

図17は、80 VでスイッチングしたときのEPC2204 (eGaN FET)のデータで す。最初の4時間は、この部品を誘導モードで動作させました。その後、確 実に4時間は抵抗モードで動作させました。公正な比較を保証するために、 デバイスがオフ状態の電圧、周波数、デューティ比、オン時の電流は、抵抗 性の場合と誘導性の場合で同じに保ちました。図から、log (時間)増加特 性の傾きや途中のデータに識別可能な違いがないことが分かります:抵抗 性と誘導性のハードスイッチングは、動的R_{DS(on)}の観点から本質的に区別 できません。遷移の最初のマイクロ秒以内の短期的な影響についても同じ ことが言えます;どちらのモードでも、「高速」回復効果は示されませんで した。



図17:80 V、200 kHzでのスイッチングにおけるFET (EPC2204)の誘導性ハー ドスイッチングと抵抗性ハードスイッチングの比較。同じ部品を最初の4時間 は誘導モードでテストし、次の4時間は抵抗モードでテストしました。どちら のモードも、動的R_{DS(on)}の観点からは本質的に区別できません。

この結果は、GaNトランジスタのR_{DS(on)}シフトの原因となるメカニズムが、 遷移中に通過する電流-電圧の詳細な軌跡に依存しないか、弱く依存してい ることを意味します。いずれのスイッチングの場合も、オンの間、電圧と電流 は同時に存在します。抵抗性スイッチング中は、電流が増加するにつれて、 トランジスタにかかる電圧が低下します;一方、純粋な誘導性のオンでは、 電圧がなくなる前に電流が上昇します。動的R_{DS(on)}がモード間で非常に類 似しているという事実は、電子の電流がホット・キャリア・トラッピングに弱 く影響していることを示唆しています。

この仮説をさらに調査するために、2つの異なるスイッチ電流でEPC2206の 抵抗性ハードスイッチング測定を実施しました。図18(上図)がこの結果で す。1つの部品はスイッチ電流12.8 Aでテストし、もう1つの部品は2倍の25.6 Aでテストしました。それぞれの場合の個別のデバイスの発熱を明確に考慮 するためにR_{DS(on)}は10分後での値に正規化します。ここでは、以前と同様 に、スイッチング電流は、log (時間) 増加特性の傾き、または途中のデータ のいずれにも識別可能な影響を与えません。同様に、傾きに対するスイッチ 電流の影響も、誘導性ハードスイッチングの下で評価しました。

図18 (下図) は、異なる電流、出力電圧80 Vにおいて、バック・コンバータで 動作するEPC2204を示しています。最初の1.5時間はスイッチ電流1 Aで始 め、5 Aで3.5時間続け、さらに追加の20時間、10 A供給して終わります。結 果の解釈を容易にするために、R_{DS(on)}の測定値は、各間隔の開始時に熱定 常状態のR_{DS(on})に正規化しました。

以下で説明するように、動的R_{DS(on})の物理ベースのモデルは、上記の結果 を説明しています。このモデルは、観測されたように、スイッチ電流(または スイッチング軌跡)がlog(時間)増加線の傾きに影響しないことを予測し ています。さらに、このモデルは、スイッチ電流が線の途中のデータに影響 を与えますが、弱くしか影響しないと予測しています。実際、線の途中のデ ータ(または追加の垂直オフセット)は、スイッチ電流の対数のように増加 します。同じ理由で、スイッチング軌跡の詳細は、ほとんど影響を与えず、 誘導性と抵抗性のハードスイッチングは、動的R_{DS(on})を特徴付けるために、 等しく有効な方法です。

誘導性テスト回路にも同様に有効ですが、抵抗性回路は、動的R_{DS(on)}を評価するときに、いくつかの実用的な利点があります。1つは、この回路は、よりシンプルで小型なため、ウエハー・レベルの特性評価のためにプローブ・カードに統合できることです。もう1つは、オフ時に電圧オーバーシュートがないため、ブレークダウン電圧に近い電圧でのテストが可能であり、誘導性スイッチング回路で可能な場合よりも、スイッチング軌跡の中のさらに厳しい動作点にできることです。。



図18:動的R_{DS(on})に対するスイッチ電流の影響。(上図)2個のEPC2206 は、64 V、200 kHzの抵抗性ハードスイッチングでテストしました。(下図)同 じデバイスを、誘導性ハードスイッチングで80 V、200 kHzの3つの異なる電流 の下でテストしました。log(時間)増加特性の傾き、または途中のデータに識 別可能な違いは見つかりませんでした。

2.3 スイッチングの高温/低温の交互テスト

以前に報告されたよりも低い温度で追加のハードスイッチング信頼性テス トを実施しました [22]。被試験デバイスの裏面 (パッケージ面) に取り付け た特別に設計した熱電モジュールを使って、部品のスイッチング中に−30℃ という低い温度を得ることができました (この条件は本質的に学術的なも のであることに注意してください;つまり、非常に低い周囲温度条件でも、 自己発熱のために、デバイスは、この低温のままではありません)。

標準的な結果が図19です。ここでは、EPC2059を連続ハードスイッチング 下で動作させ、パッケージ温度を2つの完全なサイクルで80°Cから-30°Cの 間で変えました。見て分かるように、温度が-30°Cに下がると、チャネルの 移動度が上がるため、R_{DS(on)}も下がります。ただし、80°Cの場合よりも明ら かに大きな傾きでlog(時間)増加特性に従って、時間と共に上昇し始めま す。温度が再び循環すると、R_{DS(on)}は、これらの2つの異なる線の間を行っ たり来たりします。

このデータは、log (時間) 増加則の傾きが負の温度係数を持っているというさらに多くの証拠を提供します。これは、以下のモデルで説明されます。この傾きは確かに-30°C (データシートの最小値-40°Cに近い) でより大きくなりますが、この非現実的な条件で、この部品を10年間ノンストップで動作させた場合でも、R_{DS(on)}は、同じ時間、80°Cで動作させたときよりも、まだ小さいままです。



図19: EPC2059の動的R_{DS(on)}に対する交互の高温-低温条件の影響。(上図) 熱電冷却器によって制御されたときのパッケージ温度対時間の関係。(下 図) R_{DS(on}対時間。 スイッチングは、100 V、100 kHzで連続的に行われます。

2.4 物理ベースの動的R_{DS(on)}と寿命モデル

EPCは、表面トラップへのホット・キャリア散乱の基本的な物理から、eGaN FETの動的R_{DS(on)}効果を説明するための第一原理数学モデルを開発しました。このモデルは、次のすべての現象をうまく予測します:

- R_{DS(on)}は、時間と共に増加します
- 時間の経過に伴うR_{DS(on)}の傾きは、負の温度係数を持ちます(つまり、高 温での傾きが小さくなります)
- スイッチング周波数は傾きに影響を与えませんが、垂直方向のオフセット が小さくなります
- スイッチング電流は傾きに影響を与えません
- 誘導性ハードスイッチングと抵抗性ハードスイッチングの違いは無視できるほど小さい

2.5 物理ベースの動的R_{DS(on)}モデル

このモデルは、ホット・エレクトロンが表面電位を超えて、表面誘電体の伝 導帯に注入されるという仮定に基づいています。いったん、この中に入る と、電子はすぐに、深い中間ギャップ状態になり、永久にトラップされてい ると見なされます(トラップは解除されません)。ホット・エレクトロンは、 スイッチング遷移中に生成され、高注入電流と高電界の過渡的な組み合わ せによって、かなりの数の高エネルギー・キャリアが発生します。

図20は、ドレイン接続のすぐ近くにあるGaNトランジスタの断面図です。ハ ードスイッチング遷移中、電子は、ドレインに向かって突進し、そこでの電界 によって強く加速されます。適切な条件下では、一部の電子は、上の誘電体 の伝導帯に散乱するために十分な運動エネルギーを獲得します。そのため には、2eVを超える運動エネルギーが必要です。いったん誘電体の中に入る と、それらは深い中間ギャップ状態でトラップされ、永久にトラップされま す。デバイスがオンになると、トラップされた電荷によって通常のチャネル電 子電荷が減少し、R_{DS(on)}が上昇します。以下の議論で電荷トラップのこの単 純なダイナミックな考察を拡張することによって、上記で観測されたすべて の特性を説明するモデルが導き出されます。



図20:ドレイン接続近くの表面誘電体へのホット・エレクトロン散乱を示す概略 図。この誘電体に入るためには、電子は、ポテンシャル障壁を乗り越えるための十 分なエネルギーを持っていなければなりません。いったん、この誘電体に入ると、 それらは深い電子トラップ状態に陥り、効果的にいつまでもトラップされます。

2.5.1 主要な前提条件

ホット・エレクトロンのエネルギーは、高エネルギーの末端で指数 (マク スウェル) 分布に従います。

- ホット・エレクトロンのエネルギーは、高エネルギーの末端で指数(マク スウェル)分布に従います。
- ・ホット・エレクトロンは、2段階のプロセスを経てドレイン接続近くの表 面誘電体にトラップされます:
- 表面ポテンシャル障壁を越えて、誘電体の伝導帯への散乱とバリステ ィック伝導

誘電体内の深い電子ギャップ状態でのその後のトラッピング

- ・誘電体に入るには、ホット・エレクトロンは、表面ポテンシャル障壁(伝 導帯オフセット+内蔵電界)を乗り越えるために十分なエネルギーが必 要です。トンネリングは無視されます。
- ドレイン付近の電子トラップのみが考慮されます(ただし、この理論は ドリフト領域内の他の場所にも同様に拡張されます)。
 - ゲート付近でのトラップも発生する可能性があり、V_{TH}のシフトと R_{DS(on)}の増加につながります。ただし、eGaN技術では、ゲート側の トラップは、実際にはあまり重要ではありません。
- 電子が誘電体に入ると、表面近くにトラップされ、Qsで表される表面ト ラップ電荷密度の増加に寄与します。
- Q_sは、z軸に沿った分布を無視して、表面電荷密度としてモデル化されます。
- いったん電子がトラップされると、電子は決して離れません(トラップ解除や時間内の回復はありません)。
 - これは、最悪の場合の動的R_{DS(on)}の増加につながる保守的な仮定です。

フェーズ14テスト

2.5.2 ホット・エレクトロンのエネルギー分布

AlGaN/GaN HEMTのホット・エレクトロン効果は、実験的にも第一原理理 論計算からも、広く研究されてきました[23-27]。ホット・エレクトロンは、 エネルギー分布に特徴的なスペクトルを持つ光(電界発光)を放出しま す。このスペクトルを測定することによって、Brazzini氏ら[28]は、さまざ まなバイアス状態でHEMTのホット・キャリアのエネルギー分布を実験的 に測定することができました。この研究では、高エネルギー領域の末端に おけるホット・キャリア分布が、格子温度をはるかに超える特徴的な電子 温度Te (2000 K)を持つ指数関数(マクスウェル-ボルツマン分布)とよく 適合していることが分かりました。しかし、これらの著者は、電子温度対 電界または格子温度をモデル化する直接的な方法を提供していませんで した。

この開発の目的のために、ホット・キャリア温度の分析式は不要です。 高エネルギーでは、キャリアの割合がエネルギーと共に指数関数的に 減少することを知っておくだけで十分です。Meneghini氏ら[29]は、これ は、Hu氏らの幸運な電子モデル [30] に基づいており、エネルギー範囲に わたる高エネルギー・キャリアの割合は、次のように電界に比例すること を提案しました:

$$f(E)dE \propto Ee^{-E/qF\lambda}dE \qquad = \pm 9$$

ここで、Eは電子エネルギー(伝導帯の最小値以上)、Fは電界、λは散乱 イベント間の電子の平均自由行程です。指数関数の分母の項は、平均自 由行程にわたって、電子が電界から得られるエネルギーを表します。以 下の分析では、この式を採用しています。

2.5.3 表面トラップ率の方程式

図21の上図は、ドレイン接続の近くで垂直方向のバンドの配置を示す概略バンド図です。電子がSi₃N₄表面誘電体の伝導帯に入るためは表面障壁が存在します。チャネルの電子の圧倒的多数は、障壁を乗り越える運動エネルギーが不十分です。しかし、ごく一部のホット・エレクトロンは十分なエネルギーを獲得し、3段階のプロセスを経て誘電体にトラップされます:(1) チャネル内の電界から十分な運動エネルギーを獲得して表面障壁を乗り越え、(2) Si₃N₄の伝導帯へのAlGaNフロント障壁にわたって散乱し、バリスティック的に移動し、(3) 絶縁体の深い中間バンドギャップ・トラップ状態に陥ります。

図21の下図は同じ状況を示していますが、表面の静電障壁(赤色の破線)は、トラップされた表面電荷Q_Sによって強化されています。この障壁の強化によって、電子がSi₃N₄内に散乱する可能性が指数関数的に小さくなります。すぐに分かるように、この力学は自己消光電荷の急峻なトラップ率につながり、時間の経過と共にR_{DS(on)}の(遅い)対数的増加をもたらします。

このトラップ率は、表面のポテンシャル障壁を通過するための十分なエネ ルギーを持つホット・エレクトロンの数に比例します。この数は、障壁の 高さを超えるエネルギーを持つすべてのホット・キャリアの分布を積分す ることで計算できます。障壁の高さは、(1)一定の内蔵障壁Φ_{bi}、および、 (2)トラップされた表面電荷の静電気によって動的に変化する成分の2 つ要因で構成されます。この動的成分をβ×Q_sで表します。ここで、βはQ_s を障壁の高さの変化に関連付ける幾何学的(静電)係数にすぎません。



図21:(上図)表面障壁を越えた放出。ドレイン接続の近くでの垂直方向のバンド の配置を示す概略バンド図。電子がSi₃N₄表面誘電体の伝導帯に入るには表面 障壁が存在します。チャネルの電子の圧倒的多数は、障壁を乗り越える運動エネ ルギーが不十分です。しかし、ごく一部のホット・エレクトロンはこのエネルギーを 持っており、本文で説明されている3段階のプロセスを経て絶縁体に入ります。(下 図)赤色の破線で示されているように、表面の静電障壁がQ_Sによって強化されて います。

この積分を実行すると、以下が分かります:

$$\frac{dQ_S}{dt} = A \int_{\Phi_{bi}+\beta Q_S}^{\infty} f(E)dE = A \int_{\Phi_{bi}+\beta Q_S}^{\infty} Ee^{-E/qF\lambda}dE$$
$$\approx A\Phi_{bi}e^{-(\Phi_{bi}+\beta Q_S)/qF\lambda} \equiv B e^{-\beta Q_S/qF\lambda}$$

このアプローチは、基本的な表面電荷率の微分方程式につながります:

$$\frac{dQ_S}{dt} = B \exp\left(-\frac{\beta Q_S}{qF\lambda}\right) \qquad \qquad \vec{\pi} 11$$

ここで、温度と電界の依存性をパラメータBにまとめました。前因子Bは、 電流とスイッチング周波数に比例して線形に増加することにも注意してく ださい。

この微分方程式の解は次の通りです:

$$Q_{S}(t) = \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right) \qquad \vec{\mathbb{x}} 12$$

ここで、トラップされた表面電荷がlog(時間)と共に増加するという基本 的な結果が得られました。これは、後述の開発を通じて反映し、R_{DS(on)}で 観測されたlog(時間)増加特性の基礎になります。

2.5.4 R_{DS(on)}への影響

この時点で、時間に対するドレイン近くの表面誘電体にトラップされた 電荷Q_S(t)の式を求めることができました。この表面電荷によって、ドレイ ン・バイアスが除去され、デバイスがオン状態のときに、デバイスのチャネ ル抵抗が増加します。一次的には、表面電荷は、2DEGチャネルの電荷密 度に応じた減少につながります。バージン・デバイスの通常の(圧電的に 誘起された)電子密度をQ_pとすると、次の方法でデバイスの全抵抗を計 算できます:

$$R(t) = R_0 + \frac{C}{Q_P - Q_S} = R_0 + \frac{C}{Q_P - \frac{qF\lambda}{\beta}\log\left(1 + \frac{B\beta}{qF\lambda}t\right)} \qquad \vec{x}_{13}$$

この式で、R₀は、チャネル抵抗とドリフト抵抗を含み、ドレイン領域から離れたデバイスの抵抗を表します。第2項は、チャネル2DEGの密度Q_Pがトラップされた表面電荷Q_Sを介して減少したドレインのすぐ近くからの抵抗を表します。ここで、Cはこの抵抗を電荷に関連付ける定数です。Cの値は、例えば、アクセス領域の移動度のために、温度と共に変化しますが、この温度依存性は、後の正規化中に相殺されます。

通常の動作条件では、表面電荷の注入は、組み込みの2DEG圧電電荷と 比べて、小さいままです(Q_s<<Q_p)。この状態では、テイラー展開1/(1-x) =1+xを使って、式13をさらに単純化することが適当です:

$$R(t) \approx R_0 + \frac{C}{Q_P} \left[1 + \frac{qF\lambda}{Q_P\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right) \right] \qquad \exists 14$$

2.5.5 温度依存性

250 K以上の温度では、AlGaN/GaN HEMTの高電界の電子の移動は、 縦光学 (LO: longitudinal-optical) フォノン散乱によって支配されま す。GaNでは、LO-フォノン・エネルギー $\hbar\omega_{LO}$ は、第一原理バンド構造タ イプの計算 [31] に基づいて約92 meVです。LO-フォノン散乱下の運動量 緩和時間 (または散乱時間) は、温度によって次のように変化します:

$$au_{LO} \propto exp\left(\frac{\hbar\omega_{LO}}{kT}\right)$$
 $extsf{15}$

したがって、平均自由行程の温度依存性は、以下のようにモデル化できます:

電子はフォノン衝突の間をさらに移動する可能性があるため、温度が下 がると平均自由行程が増加することに注意してください。

式16を式14に代入し、少し再配置してR_{DS(on)}の変化率を計算すると、次のようになります:

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{L0}}{kT}\right) \sqrt{T} \log(t) \qquad \text{ If } 17$$

表記を簡略化するために、式17のいくつかの定数をパラメータaとbに 含めましたが、モデルの温度と電界の依存性を明確に保持しています。 長時間の近似を採用したため、対数内の加法定数を無視して、単純な log (時間)時間依存性で終わることに注意してください。

2.5.6 電界のドレイン電圧への依存性

R_{DS(on)}増加の実用的なモデルを作成するには、最後の処理が1つ残って います。ドレイン接続付近の電界Fをスイッチング遷移直前の(オフ状態 の)ドレイン・バイアスV_{DS}に関連付けることです。一般に、この関係は 非常に複雑であり、正確にモデル化するための多数の設計パラメータと 半導体デバイスの物理が含まれています。通常、この処理に取り組むた めに有限要素シミュレーションが採用され、その結果は、実際のユーザ ーの方程式には役立ちません。

ドレイン・バイアスが低い場合、2DEGは、ドレイン接続の近くで枯渇していないため、チャネル電界は発生しません。V_{DS}が増加すると、2DEGは最終的に、すべてドレイン接続へと消耗し、その後、V_{DS}の増加に伴って電界が直線的に上昇します。この定性的な動作を捕捉する単純な2パラメータの方程式は次の通りです:

$$F \propto \alpha * \ln \left[1 + \exp \left(\frac{V_{DS} - V_{FD}}{\alpha} \right) \right]$$

 $\ddagger 18$

 V_{FD} は、2DEGがドレイン接続まで完全に枯渇した電圧に対応するデバイ ス依存のオフセット・パラメータです。大まかに言えば、この値は、FETの データシートの定格 $V_{DS(max)}$ に近い値です(つまり、EPC2045やEPC2053 などの100 V製品の場合は V_{FD} = 100 V)。このパラメータαは、シャープネ ス(または曲率)・パラメータであり、完全に枯渇した後の電界の成長速 度を表します。EPC2045の場合の式18は、図22にプロットされています。



図22:ドレイン側の電界とドレイン電圧の関係の単純な数学モデル。この電界 は、ドレイン接続での2DEGの完全な枯渇に対応する開始電圧で、一定(ゼロ) から線形領域にスムーズに移行します。パラメータV_{FD}とαはデバイスに依存し ます;ここで選択した値は、EPC2045および関連する第5世代のFETに適用され ます。

2.5.7 最終的なR_{DS(on)}と寿命方程式

式18のFを式17に代入すると、時間、温度、ドレイン電圧の関数としての R_{DS(on})増加の最終的な数学モデルが得られます:

$$\frac{\Delta R}{R} = a + b \log\left(1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right) \sqrt{T} \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \log(t) \qquad \vec{x} \downarrow 19$$

独立変数:

 V_{DS} = ドレイン電圧 (V) T = デバイス温度 (K) t = 時間 (分) パラメータ: a = 0.00 (単位なし) b = 2.0E-5 (K^{-1/2}) h ω_{L0} = 92 meV V_{FD} = 100 V (第5世代の100 V製品にのみ適当) a = 10 (V)

上に示したように、このモデルには3つの独立変数と、5つの (デバイス に依存する) パラメータがあります。時間は分単位で入力しなければな らないことに注意してください。GaNの主要なLO-フォノン・エネルギー (92 meV) は、第一原理計算 [29] から得られたものであり、GaNトラ ンジスタによって異なるとは想定していません。残りの4つのパラメー タは、ある範囲の温度とドレイン・バイアスにわたるEPC2045からの ハードスイッチングの動的R_{DS(on)}データに適合させました。このパラメ ータのセットは、次の第5世代の100 VのeGaNトランジスタにも直接適 用できます:すなわち、EPC2053、EPC2218、EPC2204です。一般に、 一部のパラメータは、さまざまな製品ファミリーのデバイスによって異 なる場合があります。他のeGaN製品に適切なパラメータ値について は、EPCにご相談ください。

多くのユーザーは、特定の品質または信頼性の要件を満たすために、 特定の使用条件下での寿命の見積もりを必要としています。R_{DS(on})が 初期値から20%上昇する時間を<t>として(ハードスイッチング条件下 での)寿命を定義することによって、式20を簡単な方法で反転して次 の式が得られます:

$$\langle t \rangle = \exp\left[\frac{(0.2-a)}{b \log\left(1 + \exp\left(\frac{V_{DS} - V_{FD}}{a}\right)\right) \sqrt{T} \exp\left(\frac{\hbar \omega_{LO}}{kT}\right)}\right] (\mathcal{H}) \qquad \exists 20$$

この式は、動作電圧と温度の関数として、ハードスイッチング条件下で予想 されるMTTFです。通常、最悪の場合の値(最高電圧、最低温度)が下限を提 供するために使われます。これまでと同様に、寿命の単位は分です。寿命の 他の定義を適用して、式20から抽出することもできます。

2.5.8 スイッチング周波数とスイッチング電流の影響

これまでの分析では、R_{DS(on)}増加特性に対するスイッチング周波数fとスイ ッチ電流Iの影響は無視してきました。この電流は、ハードスイッチング遷 移中に高電界領域に注入される電子の数に直接影響を与えるため、ホッ ト・キャリア密度に線形の影響を及ぼします。同様に、スイッチング周波 数は、所定の時間間隔においてドレインで見られるホット・キャリア・パ ルスの数を決定するため、表面トラップ率にも線形の影響を及ぼします。

表面トラップ率の式11では、周波数とスイッチ電流の影響が定数Bに含まれています。直感的に、BがfとIの両方に線形に比例すると仮定すると、式 17の最終式まで計算が実行されます。あるスイッチング条件(f₁,I₁)での $R_{DS(on)}$ の増加を、別の条件 (f_2 , I_2) での $R_{DS(on)}$ の増加に関連付ける単純な スケーリング結果を導き出します。

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b\left(\log\left(\frac{f_2}{f_1}\right) + \log\left(\frac{I_2}{I_1}\right)\right)$$
 $\exists z 21$

数学的には、スイッチング周波数や電流を変える影響は、単にR_{DS(on)}の 増加曲線が垂直方向にわずかにオフセットするだけです。このオフセッ トはfとIの対数に依存するため、これらの変数への依存性は基本的に弱 くなります。さらに、このオフセットはlog(時間)増加特性の全体的な傾 きbに依存します。したがって、FETがR_{DS(on)}の上昇が小さい(傾きbが小 さい)条件下で動作している場合、周波数や電流を変えた影響は無視で きます。

図23は、10 kHzから1 MHzまでの3つの異なるスイッチング周波数での EPC2045の規格化したR_{DS(on)}と時間の関係の比較です。このグラフは単 に、垂直方向に互いにオフセットされていることに注意してください。異 なるスイッチ電流を比較した場合も同じです。オフセットはf(またはI)の 対数として変化するため、スイッチング周波数(または電流)の10倍の増 加でさえ、測定と投影で±10%の雑音が発生するため、実験的に観測す ることは困難です。



図23:2桁にわたる3つの異なるスイッチング周波数での規格化されたR_{DS(on)}と時 間の関係。周波数変化の影響は、成長特性の小さな垂直オフセットであることに 注意してください。同じオフセットが異なるスイッチ電流で発生します。

対数スケーリングの関係は、前述の実験結果のいくつかを説明していま す。図18の2つの異なるスイッチ電流でのEPC2206の測定では、2倍に増 やしたスイッチング電流でさえ、R_{DS(on)}の増加曲線の認識可能な変化とし て記録されませんでした。抵抗性ハードスイッチングと誘導性ハードスイ ッチングの比較では、遷移中に通過する電流・電圧点の軌跡は、誘導性ス イッチングの場合に、より大きく影響すると考えられます。この仮定は、学 術文献[32]で詳細に説明されており、抵抗性ハードスイッチングを使って GaN HEMTの特性を評価することに反対する議論(証拠なしで)として利 用されることがよくあります。ただし、R_{DS(on)}のスイッチ電流への弱い(対 数)依存性は、同じデバイスで誘導性ハードスイッチングと抵抗性ハード スイッチングを比較したときに有意差が観測されなかった理由を説明し ています。データとそれをバックアップする理論のこの組み合わせを考え ると、EPCは、より単純で、より正確な抵抗性ハードスイッチングのテスト 方法を使って、GaNデバイスの特性を評価し続けます。

2.5.9 より高いストレス電圧の影響

トラップされた電荷の量が2DEGで利用可能な電子の数に近づく 場合(Q_sがQ_pに近づく)、式14を得るために式13で使われた単 純化のための仮定は、もはや無効になります。この状況は、デバイ スが設計限界をはるかに超える電圧になっている場合に発生す る可能性があります。図24に、75°Cと125°Cにおいて、最大150 V でテストされたEPC2045デバイスを示します。単純なlog(時間) 依存で発生する直線外挿が適用できなくなったことに注意してく ださい。トラップされた電荷が小さいという単純化のための仮定 をしないと、次の結果が得られます:

$$\frac{\Delta R}{R} \equiv \frac{R(t) - R(0)}{R(0)} = \frac{C}{Q_{\rm p}} \left[\frac{\frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right)}{Q_{\rm p} - \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right)} \right] \qquad \vec{\pi} 22$$

$$= \frac{C}{Q_{\rm P}} \left[\frac{\frac{qF\lambda}{Q_{\rm P}\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right)}{1 - \frac{qF\lambda}{Q_{\rm P}\beta} \log\left(1 + \frac{B\beta}{qF\lambda}t\right)} \right]$$
 $\vec{\rm x}23$

表記を簡単にするために、

式24

式25

を使います。(λの定義については式16を、Fの定義については式18 を参照してください

次に、式24を式23に代入します

$$\frac{\Delta R}{R} = \frac{C}{Q_{\rm p}} \left[\frac{\frac{\Psi}{Q_{\rm p}} \log\left(1 + \frac{B}{\Psi}t\right)}{1 - \frac{\Psi}{Q_{\rm p}} \log\left(1 + \frac{B}{\Psi}t\right)} \right]$$

 $\Psi \equiv \frac{qF\lambda}{}$

これで、完全なモデル方程式が得られます:

$$\frac{\Delta R}{R} = a_1 \left[\frac{a_2 \Psi \log \left(1 + a_3 t / \Psi \right)}{1 - a_2 \Psi \log \left(1 + a_3 t / \Psi \right)} \right]$$

 $a_1 \equiv \frac{C}{O_2}$ $a_2 \equiv \frac{1}{O_2}$ $a_3 \equiv B$

ここで:

式26

以下が拡張パラメータ・リストです:

- a₁ = 0.6 (単位なし) a₂ = b/a₁ (ここで、[28] からb=2.0E-5 K^{-1/2}) a₃ = 1000 (K^{1/2}分⁻¹) b = 2.0E-5 (K^{-1/2}) $\hbar\omega_{L0}$ = 92 meV V_{FD} = 100 V (第5世代の100 V製品のみに適用) α = 10 (V) T = デバイス温度 (K)
- t= 時間(分)

パラメータの拡張リストを使って式26を計算すると、図24の実線が得られ、この物理ベースのモデルの有効性と適用可能性のさらなる証拠が得られます。



図24:設計定格の150%までのさまざまな電圧(上)と、同じく設計定格の150% の2つの異なる温度(下)でのハードスイッチング回路内の100 VデバイスEPC2045 の特性。実線はモデルの予測であり、点は測定点を表しています。

2.5.10 200 Vのモデル

同様の分析を200 VのGaNトランジスタについて実施しました。 この結果の変数は次のとおりです:

- a₁ = 0.6 (単位なし)
- a₂ = 2.8·b/a₁ (ここで、[28] からb=2.0E-5 K^{-1/2})
- a₃ = 1000 (K^{1/2} min⁻¹)
- $b = 2.0E-5 (K^{-1/2})$

 $\hbar\omega_{L0} = 92 \text{ meV}$

- V_{FD}= 210V(第5世代の200V製品のみに適用)
- a = 25(V) (第5世代の200V製品のみに適用)
- T= デバイス温度(K)
- t= 時間(分)

図25は、200 Vデバイスの変数を使った式26の結果です。これらの計算結果を実際の測定値と比較します。上図は、第5世代の定格200 Vの EPC2215に対して3種の電圧での正規化されたR_{DS(on)}です。最高電圧で ある280 Vは、最大定格を40%上回っています。下図は、2つの異なる温度 と最大定格電圧でのモデルと比較した測定値です。



図25:(上)3種の電圧における200 VのEPC2215の正規化されたR_{DS(on)}。280 Vは 最大定格電圧よりも40%高いことに注意してください。(下)75℃と125℃、およ び200 VでのEPC2215。実線は200 Vデバイスの変数を使った式20の結果であり、 点は実際の測定値です。

時間(分)

2.5.11 物理ベースの動的R_{DS(on)}モデルの結論

EPCは、ハードスイッチング条件下でのGaNトランジスタのR_{DS(on})の増加 を説明するために、物理ベースの第一原理モデルを開発しました。このモ デルは、ホット・エレクトロンが表面電位を越えて表面誘電体の伝導帯 に注入されるという仮定に基づいています。この中に入ると、電子はすぐ に、深い中間ギャップ状態に陥り、永久にトラップされていると見なされ ます(トラップ解除なし)。ホット・エレクトロンは、スイッチング遷移中 に生成されます。ここでは、高注入電流と高電界の一時的な組み合わせ によって、高エネルギー領域への長い末端を持つホット・キャリアのエネ ルギー分布が発生します。

このモデルによって、以下の結果が予測されます:

- R_{DS(on)}は、時間と共に増加します。
- ・時間の経過にわたるR_{DS(on)}の傾きは、負の温度係数を持ちます(つまり、温度が上昇するにつれて、傾きが小さくなります)。
- ・スイッチング周波数は傾きに影響を与えませんが、垂直方向のオフセットが小さくなります。
- ・スイッチング電流は傾きに影響を与えません。

この時間依存は、2つの絡み合った効果を伴う急速な自己消光電荷トラ ップの力学に起因します:(1)エネルギーが指数関数的なホット・エレク トロンのエネルギー分布;(2)誘電体への電子注入の障壁を着実に高く する蓄積表面電荷Qsです。これらの効果の組み合わせは、トラップ速度 につながり、電荷が蓄積するにつれて指数関数的に遅くなり、時間依存 性が遅くなります。トラップされた電荷の数が2DEGで利用可能な電子の 数に近づくと、R_{DS(on)}は、直線的にlog(時間)依存よりも速く上昇するよ うになります。ただし、このトラップ・メカニズムは、引き続き真のlog(時 間)依存性に従います。

負の温度依存性は、ホット・キャリアのエネルギー分布に対するLO-フォ ノン散乱の影響の結果です。低温では、散乱が減少すると平均自由行程 が改善され、電子が電界内で、より高いエネルギーを獲得できるように なります。

数学モデルの主要なパラメータは、ドレイン電圧と温度の範囲にわたる EPC2045の測定結果に適合しました。このモデルによって、ユーザーは、 ドレイン電圧、温度、スイッチング周波数、スイッチング電流の4つの主要 な入力変数の関数として、長期的なR_{DS(on)}の増加を予測できます。このモ デルは、ユーザーが任意の条件下での寿命を予測できるように、単純な MTTF方程式を提供するように適合されています。

セクション3:一般的な実世界の使用例へのモデルの適用

このセクションでは、モデルをいくつかの一般的な実際の使用例に適用 します:(i)同期整流器と、(ii)ハイサイドとローサイドの両方のFETを考 慮したバック(降圧型)・コンバータです。これらの計算には、2段階のシ ミュレーション・プロセスを採用しました。

最初のステップでは、実際のレイアウトで発生する主な寄生インダクタン スの影響など、アプリケーション回路の現実的なSPICEモデルを開発しま した。これらの寄生成分は、リンギングと電圧オーバーシュートに一次的 な影響を与えるため、FET自体の動的R_{DS(on})に影響を与える可能性があり ます。寄生インダクタンスは、一般的なものから極端なもの(非常に稚拙 なプリント回路基板のレイアウト)まで、さまざまでした。SPICEシミュレ ーションは、1回のスイッチング周期全体にわたって、FET内のチャネル電 流とドレイン-ソース間電圧を細かい時間サンプリングで補足しました。

2番目のステップでは、これらの1周期の電流-電圧の軌跡を、ホット・エレ クトロンのトラップ・モデル (MATLABに実装) にインポートしました。こ のモデルを使って、最初のスイッチング周期で発生する電荷トラップを計 算し、最も多くの電荷が発生する時間(例えば、オン時またはオフ時の 遷移)を決定します。さらに、数兆を超える同一のスイッチング周期にわ たって積分して、10年間の連続動作にわたって発生する累積電荷トラッ プを決定できます。瞬間的なトラップ率は、累積トラップ電荷に(非線形 に) 依存するため、1周期当たりの充電は、一定ではなく、FETがスイッチ ングするときに、時間の経過と共に急速に自己消光します。充電は時間 内で飽和するだけでなく、最も弊害をもたらすスイッチング波形内の領域 も、デバイス動作に応じて変わる可能性があります。例えば、バック・コン バータのハードスイッチのハイサイドFETの場合を考えてみましょう(後で 詳しく説明します)。最初は、電荷トラップは主に、オン時の遷移での大 電流/中電圧の軌跡の間に発生します。ただし、長期間動作の後、このプ ロセスは完全に停止し、それ以降のすべての充電は、オフ時の遷移の低 電流/高電圧の軌跡の間にのみ発生します。

以下の結論は、これらの計算によって裏付けられます:

48 V入力、12 V出力のLLC同期整流器の場合:

これらのゼロ電圧スイッチング (ZVS) 条件下では、動的R_{DS(on)} (dR_{DS(on)})は一般に問題ありません。

• ユーザーは、12 V出力、および24 Vバス電圧の保守的な40 Vのトランジスタの代わりに30 Vのトランジスタの使用を検討できます。

最新世代の100 VのGaNデバイスを使ったバック・コンバータ (ソフトスイ ッチング) のローサイドFETの場合:

オン時の遷移のための80 Vバス電圧で50 Vのオーバーシュートがある 場合でもdR_{DS(on)}は問題なし。

 170 Vへの極端なオーバーシュートは、かなりのdR_{DS(on)}につながる可 能性があります。

最新世代の100 VのGaNデバイスを使ったバック・コンバータ (ハードスイ ッチング) のハイサイドFETの場合:

- 40 Vの中程度のオーバーシュート(130 Vピーク)の下では、電荷トラップは主に、オン時の遷移中に発生し、長期のdR_{DS(on)}は問題ありません。
- 90 Vの極端なオーバーシュート(170 Vピーク)の下では、電荷トラップはオフ時の遷移後の高電圧リンギングによって支配され、長期の dR_{DS(on)}が懸念される可能性があります。

3.1 電流依存のホット・エレクトロンのトラッピング・モデル

個々のスイッチング周期内の動的電荷トラップをシミュレーションするために、前述の基本的な支配的な微分方程式(式11)に2つの単純な一般化を行いました。1つは、瞬間的なトラップ率がチャネル電流(I)に直線的に比例すると仮定したことです。デバイス物理の観点から、この合理的な仮定は、チャネル電子が独立して(相互作用せずに)作用し、それぞれが表面障壁を乗り越えて、トラップされるために十分な運動エネルギーを持つ「幸運な」電子になる確率が等しいと言うのと同じです。V_{DS}に対するドレイン側電界Fの依存性、および平均自由行程入の接合部温度依存性は、式18と16から得られ、便宜上、ここで繰り返されていることに注意してください。

$$\frac{dQ_s}{dt} = B \exp\left(-\frac{\beta Q_s}{qF\lambda}\right) \qquad \qquad \vec{x} \downarrow \downarrow \downarrow$$

ここで

С

ŀ

$$F \propto \alpha * \ln\left[1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right]$$

 \vec{x} 18

2番目の一般化は、式11の時間積分に関連します。以前の分析では、電 流と電圧が時間と共に変化しないと仮定しました。これによって、式11 をすぐに積分して、表面電荷と時間の閉形式の解析解を得ることができ ました(式12)。ここで検討するさらに一般的な事例では、スイッチング 周期の軌跡全体にわたって電流と電圧の両方を時間と共に変えること ができます。結果として、閉形式の解はなく、式11を時間内に明確に積 分しなければなりません。これによって、以下の式27に示す一般的な解 が得られます。スイッチング波形が複雑なため、この積分は数値的に実 行する必要があります。

$$Q_{S}(t) = B' \int_{0}^{1} I(t) \exp\left(-\frac{\beta Q_{S}}{qF(t)\lambda}\right) dt \qquad \exists 27$$

式27は、GaNトランジスタの動的R_{DS(on)}の理論的理解における重要な進展を表しています。研究者は、電流と電圧の両方がこれらのデバイスにおけるホット・エレクトロンのトラップの主な推進力であることを以前から知っていました。しかし、それらの効果を数学的に組み合わせて、累積トラップ電荷と動的R_{DS(on)}を計算する方法を知りませんでした。式27から分かるように、電流の影響は線形ですが、V_{DS}の影響(電界項Fによる)は、かなり非線形であり、すでに蓄積されているトラップされた電荷Q_sに依存します。このため、FETがより長い時間スケールにわたって切り替わり、Q_sが上昇すると、最大の電界Fと最大のV_{DS}軌跡から生じる最も高温の電子のみが、さらなるトラップに寄与する可能性があります。この効果は、以下の説明で実際の使用例を分析するにつれて明らかになります。

次のステップは、実際の例の組み合わせを検討することです。最初の 例では、1 MHzで動作する48 V入力、12 V出力のLLC同期整流器を使っ て、2次側トランジスタのR_{DS(on}の劣化を評価します。

3.2 48 V入力、12 V出力の LLC同期整流器

この回路のSPICEモデルは、デモ回路EPC9149 [31] に基づいています。この回路とモデルのパラメータが図26です。オーバーシュートが大きくても小さく ても異なる波形を作成するために、各トランス端子の出力での漏れインダクタンスL1、L2、L3、L4を50 pHから150 pHまで一緒に変化させました。 図27 (右)に示すように、インダクタンス値が大きいほど、リンギングとオーバーシュートが大きくなります。



図26:デモ・ボードEPC9149に基づく1 MHzで動作する48 V入力、12 V出力の LLC同期整流器の回路図とSPICEモデル・パラメータ。

4つの異なる事例で、大きくても小さくてもオーバーシュートする変数、および40V(事例1と2)、または30V(事例3と4)の定格のGaNデバイスで調査しました。すべての事例において、eGaN FETはZVSのオン時とハードスイッチのオフ時に遭遇します。最初の周期から1000万番目の周期までのスイッチング波形のシーケンス全体にわたる電圧、電流、dR_{DS(on)}を計算しました。図27は、1000万周期後に計算された電流と電圧の波形です。各周期を通して、トラップされた電荷の量Qsが計算され、以前のすべての周期と合算しました。



図27:事例2と4では、L1~L4のインダクタンス値を50 pHから150 pHに増やすことによって、オーバーシュートが増加しました。

3.3 40 VのGaNトランジスタ — 事例1と2

図28に、10年で終了するlog (時間) スケール でプロットされた40 V品を使った計算結果 を示します。どちらの事例も、トラップされ た電荷の測定可能な蓄積はなく、したがって R_{DS(on)}の測定可能な劣化はありません。次の 2つの事例は、より低いR_{DS(on)}の30 VのGaN FETを使いました。通常、低電圧部品は40 V 部品よりも高効率です。



図28:40 VのEPC2024デバイスで、(左の上と下)時間の経過によるトラップされた電荷Q_{S、}(右の上と下) 時間の経過による正規化されたR_{DS(on)}。事例1は、L1~L4=50 pH、事例2は、L1~L4=150 pHです。



図29:40VのEPC2024デバイスで、(左の上と下)時間の経過によるトラップされた電荷Q_S、(右の上と下)時間の経過による正規化されたR_{DS(on})。事例3は、L1~L4=50 pH、事例4は、L1~L4=150 pHです。

3.4 30 VのGaNトランジスタ — 事例3と4

図29に、30 VのGaNトランジスタである EPC2024を使ったことを除いて、事例1と 2で使った同じ回路について、10年で終 了するlog (時間) スケールでプロットした 計算結果を示します。最も極端な場合で は、約5%、つまりR_{DS(on})の劣化が最小限 に抑えられています。この結論として、こ の回路では、より極端なオーバーシュート があっても、30 Vのデバイスを安全に使え ます。

3.4 48 V入力、12 V出力のバック・コンバータ

次の例は、500 kHzの電流連続モードCCM (continuous conduction mode) で動作する48 V入力、12 V出力のバック・コンバータです。SPICEモデルの回路図が図30です。コイルL5は、オーバーシュートの量を変調するために変更しました。最初に、ローサイドの同期整流用FETを調べ、次にハイサイドの制御用FETを調べます。どちらのデバイスもGaNトランジスタの100 VのEPC2045です。

3.5 ローサイドGaNトランジスタ

図31に、寄生インダクタンスが異なるコンバータのローサイドの同期整流用FETの電圧と電流の波形を示します。どちらの事例も、ローサイド・トランジスタはソフトスイッチング過渡現象が発生し、インダクタンスが増加するにつれて、オフ時の電圧オーバーシュートが増加します。図31に示すように、L5を変化させることによって、80 Vバス上のオーバーシュートは、ローサイド・トランジスタで50 Vから90 V以上のピークになりました。170 Vのピーク・オーバーシュートは、うまく設計されたシステムで発生するよりも、はるかに大きいことに注意してください。



図30:デモ・ボードEPC9078に基づく500 kHzで動作する48 V入力、12 V出力のバック・コンバータ [32]。異なる量のオーバーシュートを生成するために、L5を0.2 nHから1.2 nHまで変化させました。



図31:500 kHzで動作する48 V入力、12 V出力のバック・コンバータ。異なる量のオーバーシュートを生成するために、L5を0.2 nHから1.2 nHまで変化させました。0.2 nH のコイルでは、ローサイド・デバイスで、80 Vの直流バスよりも50 V高いオーバーシュートのピークが発生しました(左)。一方、1.2 nHでは、90 V高いオーバーシュートの ピークが発生しました。

信頼性レポート

フェーズ14テスト

図32は、最初の周期でトラップされた電荷の量を、1000万番目の周期でトラップされた累積電荷量と比較した図です(縦軸の5桁の変化と目盛 りの細かさに注意してください)。赤色の楕円は、100万周期から1000万周期のある時点で、特性が変化したことを示しています。実際、これは、 電子がトラップされるたびに、障壁の高さがわずかに高くなることによります。これによって、最もエネルギーの高い電子以外のすべてがトラップ されることがより困難になります。この領域には、いくらかのリンギングが含まれますが、トラップされた電子は、デバイスが名目上、オフ状態に あるときに高いV_{DS}と組み合わされた非常に小さな漏れ電流によるものです。



図32:1000万番目の周期でトラップされた累積電荷量と比べた最初の周期でトラップされた電荷の量Q_{co}

これらのデータは、図33のグラフに変換できます。上の2つは0.2 nHのコイルの事例で、左はトラップされた電荷Q_sを示し、右は正規化されたR_{DS(on)}を 示しています。下のグラフは、1.2 nHの事例で、同じ情報を示しています。リンギングが130 Vのピークになると、R_{DS(on)}の増加は最小限に抑えられます が、ピーク電圧が170 Vに達すると、R_{DS(on)}の大幅な変化が見られます。



図33:上の0.2 nHのコイルの事例の2つのグラフにおいて、左は時間経過にわたるトラップされた電荷Qsを示し、右は正規化されたR_{DS(on)}を示しています。下のグラフは、1.2 nHの事例に対して、同じ情報を示しています。

信頼性レポート

フェーズ14テスト

3.6 ハイサイドGaNトランジスタ

図34の左図は、図30のバック・コンバータのハイ サイド制御用FETの電流波形と電圧波形です。 今回、eGaN FETは、オン時とオフ時においてハ ードスイッチングで遷移します。L5インダクタン ス (1.2 nH) の値が同じ場合、ハイサイド・デバイ スのオーバーシュートは、わずか約40Vであり、ピ ーク・オーバーシュート電圧は120 Vになります。 右図には、最初の周期でトラップされた電荷をグ ラフにしました(上)。1000万番目の周期(下)と 比較します。ローサイド・トランジスタと同様に、 縦軸の目盛りの変化に注意すると、トラップされ た電荷の量が、後ろの周期で増加するにつれて、 特性が変化します。ローサイド・デバイスでは見 られなかった1.3 µsでのオフ時の周期中に現れ る電荷のバンプがあります。この周期のこの部分 では、オフ時の電圧減衰中にハイサイド・トラン ジスタにかなりの量の電流が流れます。したがっ て、トラップに利用できる非常にエネルギーの高 い電子が大量に供給されます。

インダクタンスが1.2 nHのハイサイド・デバイス で、ピーク過電圧が120 Vに低減されると予想さ れるように、dR_{DS(on)}の最小の変化は、図35に示 すように、両方ともほぼ同じピーク・オーバーシュ ート電圧を持つため、0.2 nHの事例の図33の変 化と同様です。

3.7 モデルを重要な実際の使用例に適用 するときのまとめ

物理ベースのモデルによって、任意の与えられた スイッチング軌跡の電荷トラップを計算できま す。シミュレーションによると、電流の影響は小さ く、電圧の影響は、はるかに大きくなります。12 V 出力のLLC同期整流器では、トランスの各レッグ で漏れインダクタンスを50 pHから150 pHに変 化させると、30 V定格のデバイスを使ったときで さえ、異なる大きさのオーバーシュートが発生し ましたが、dR_{DS(on)}の量はそれほど大きくなりま せん。バック・コンバータでは、ローサイド・トラ ンジスタとハイサイド・トランジスタの両方で、定 格100 Vのデバイスにおいて最大130 Vのピーク・ オーバーシュートまでR_{DS(on)}の変化が最小でし た。170 Vのピーク過電圧では、この100 Vデバイ スのR_{DS(on)}は10年間で50%しか劣化しませんで した。



図34:(左)図30のバック・コンバータのハイサイド制御用FETの電流と電圧の波形。(右)1000万番目の 周期(下)と比較した最初の周期(上)でトラップされた電荷。



図35:(上)時間の経過に伴うトラップされた電荷Q_S、および(下) 正規化されたR_{DS(on)}。 横軸の目盛り は、右端で10年です。

フェーズ14テスト

セクション4:安全動作領域

安全動作領域 (SOA) テストは、GaNトランジスタを指定されたパルスの長さで大電流 (I_D) と高電圧 (V_{DS}) に同時に曝します。主な目的は、データシートのSOAグラフ内のす べての点 (I_D、V_{DS}) でトランジスタが不具合なく動作できることを確認することです。安 全領域の外側で故障するまでテストすることによって、安全マージンを調査するためにも 使えます。

SOAテスト中、チップ内の大きな電力消費によって、接合部温度が急激に上昇し、温度の 傾きが強くなります。電力またはパルス持続時間が十分に大きい場合、デバイスは、単純 に過熱して壊滅的に故障します。これは、熱過負荷故障として知られています。

Si MOSFETでは、SOAテストで2次降伏(またはSpirito効果 [14])として知られる別の故 障メカニズムが観察されています。高V_Dおよび低I_Dで発生するこの故障モードは、接合 部温度としきい値V_{TH}の間の不安定なフィードバックによって引き起こされます。パルス 期間中に接合部温度が上昇すると、V_{TH}が低下し、パルス電流が大きくなる可能性があり ます。次に、電流が大きくなることによって温度がより速く上昇し、それによって正のフィ ードバック・ループが形成され、熱暴走と最終的な故障につながります。この調査の目的 は、Spirito効果がGaNトランジスタに存在するかどうかを判断することです。

直流または長期間パルスの場合、トランジスタのSOA能力は、デバイスのヒートシンクに 大きく依存します。これは、真のSOA能力を評価するための大きな技術的課題となる可 能性があり、多くの場合、特殊な水冷ヒートシンクが必要になります。ただし、パルスが 短いと(1 ms以下)、ヒートシンクはSOA特性に影響しません。短い時間では、接合部で 発生する熱が外部のヒートシンクに拡散するための十分な時間がないためです。代わり に、すべての電力は、GaN膜と近くのシリコン基板の温度(熱容量)を高くすることに変 換されます。これらの考慮事項の結果として、SOAテストは、2つのパルス幅、すなわち、 1 msと100 μsで実施しました。

図36は、200 VのEPC2034CのSOAデータで す。このプロットでは、個々のパルス・テスト は、(I_D、V_{DS})空間の点で表されています。こ れらの点は、データシートのSOAグラフに重 ね合わされています。100 µsと1 msの両方の パルス・データを一緒に示しました。緑色の 点は、部品が合格した100 µsのパルスに対応 し、赤色の点は部品が故障した場所を示しま す。 低V_{DS}からV_{DSmax} (200 V) までの範囲す べてで、SOAの広い領域が故障なしという調 査結果でした(すべて緑色の点)。すべての故 障(赤色の点)はSOAの外側で発生し、デー タシートのグラフの緑色の線で示されていま す。 同じことが1 msのパルス・データ (紫色 と赤色の三角形)にも当てはまります;つま り、すべての故障は、データシートのSOAの 外側で発生しました。

図37は、車載品質AEC認定のEPC2212(第 4世代の車載用100 V)、EPC2045(第5世 代の100 V)、およびEPC2014C(第4世代の 40 V)の追加した3種の部品のSOAデータで す。すべての場合において、データシートの 安全動作領域は、故障なしで調査されてお り、すべての故障はSOA制限の外、多くの場 合、この制限よりもかなり外側で発生してい ます。



図36:EPC2034CのSOAプロット。「R_{DS(on})による制限」の 線は、150°CでのR_{DS(on})のデータシートの最大仕様に基づ いています。1 ms (紫色の三角形) と100 µs (緑色の点) の パルスの測定値が一緒に示されています。故障は、赤色の 三角形 (1 ms) または赤色の点 (100 µs) です。すべての故 障は、データシートのSOA領域の外で発生することに注意し てください。





図37:EPC2034CのSOAプロット。「R_{DS(on})による制限」の線は、150°CでのR_{DS(on})のデータシートの最大仕様に 基づいています。1 ms (紫色の三角形) と100 μs (緑色の点)のパルスの測定値が一緒に示されています。故障 は、赤色の三角形 (1 ms) または赤色の点 (100 μs) です。すべての故障は、データシートのSOA領域の外で発生 することに注意してください。 データシートのSOAグラフは、関連するすべての層を含むデバイスの熱モ デルと、その熱伝導率および熱容量を使って、有限要素解析で生成され ます。過渡シミュレーションに基づいて、SOAの制限は、単純な基準によ って決定されます:すなわち、特定のパルス持続時間に対して、消費電力 は、パルスの終了前に接合部温度が150℃を超えないようにしなければ なりません。この基準によって、SOAグラフの45度の緑色の線(100 μs) と紫色の線(1 ms)で示される一定の電力に基づく制限になります。この アプローチの結果は、この調査の広範なテスト・データによって証明され るように、保守的な安全動作領域を定義するデータシートのグラフになり ます。パワーMOSFETでは、同じ定電力アプローチによって、熱的不安定 性(Spirito効果)が原因で故障が早期に発生する高電圧領域での能力の 過大評価につながります。

故障の正確な物理は、まだ決められませんが、この調査の主な結果は明 らかです — GaNトランジスタはデータシートのSOA内で動作すれば故 障しません。

セクション5:短絡の耐久性テスト

短絡の耐久性とは、オン(導通)状態のときに、パワー・コンバータで発生 する可能性のある意図しない故障状態に耐えるFETの能力のことです。こ のような場合、そのデバイスには、トランジスタの固有の飽和電流と、故 障の場所とアプリケーションによって変わる回路の寄生抵抗によっての み制限される電流とバス電圧全体の組み合わせが加わります。短絡状態 が保護回路によって抑制されない場合、極端な電力消費は最終的にトラ ンジスタの熱故障につながります。短絡テストの目的は、これらの条件下 で部品が生き残ることができる「耐性時間(耐えられる時間)」を定量化 することです。

ー般的な保護回路(IGBTゲート・ドライバの不飽和保護など)は 2~3 μsの過電流状態を検出して対応することができます。したがっ て、GaNトランジスタが約5 μs以上のクランプされていない短絡状態に 耐えることができることが望ましいと言えます。

短絡の耐久性の評価に使われる2つの主なテスト回路は以下です[35]:

- ハードスイッチ故障 (HSF: Hard-switched fault):ドレイン電圧が 印加された状態でゲートがオン (およびオフ) に切り替えられます
- 負荷時故障 (FUL: Fault under load):ゲートがオンのときにドレイン 電圧がオンに切り替えられます

この調査では、両方の故障モードでデバイスをテストし、耐性時間に有意 差は見られませんでした。したがって、この説明の残りの部分では、FUL の結果に焦点を当てます。ただし、HSFテストから、GaNトランジスタは、 シリコン・ベースのIGBTで発生する可能性のあるラッチやゲート制御の 損失がなかったことに注意することが重要です[35]。GaNデバイスに寄生 のバイポーラ構造がないことから、これは予想された結果です。このトラ ンジスタが壊滅的に故障する時間まで、ゲートをローに切り替えることで 短絡を完全に抑えることができます。これは、保護回路設計にとって有利 な機能です。

2種類の代表的なGaNトランジスタをテストしました:

1) EPC2203 (80 V):第4世代の車載品質 (AEC) のデバイス

2) EPC2051 (100 V):第5世代のデバイス

これらのデバイスは、製品ファミリーの中で最も小さいので、選びました。これによって、短絡評価に必要な大電流によって、テストが簡素化されました。ただし、単純な熱スケーリングの議論に基づいて、耐性時間は、他のファミリー内のデバイスと同じであると予想されます。EPC2203の結果は、EPC2202、EPC2206、EPC2201、EPC2212にも対応します;EPC2051はEPC2045とEPC2053にも当てはまります。

図38は、増加する一連のドレイン電圧に対するEPC2203の負荷時の故障 データです。6V(データシート最大値)のV_{GS}、および10 µsのドレイン・ パルスにおいて、このデバイスは、60 VのV_{DS}まで、まったく故障しません でした。これらの条件下では、1.5kW以上が面積0.9mm×0.9mmのチッ プで消費されます。より高いV_{DS}では、電流はパルス中に時間と共に減衰 するように見えます。これは、デバイス内の接合部温度の上昇の結果であ り、永久的な劣化を意味するものではありません。



図38: 増加する一連のドレイン電圧におけるEPC2203の負荷時故障テスト (FUL) 波形。ドレイン・パルスは、幅10 µsでV_{DS}=6Vです。このデバイスは、こ のパルス幅で故障しませんでした。(上の図) V_{DS}対時間。V_{DS}は、デバイスの端子 で直接、ケルビン検出しました。(中央の図) I_{DS}対時間。I_{DS}は、自己発熱によっ て、時間の経過と共に減少することに注意してください。(下の図) このテスト・ シーケンスの結果の出力曲線。ドレイン電流は、パルス期間中の平均電流として 報告されます。より高いV_{DS}でのデバイスの加熱によって、ドレイン電流は飽和領 域で反転します。 より長いパルス幅 (25 μs) を使うと、その部品は、最終的に熱過 負荷で故障します。代表的な波形が図39です。故障時は、ドレイ ン電流の急峻な上昇によって示されます。この事象の後、デバイ スは永久に損傷します。この耐性時間は、パルスの開始から故障 までの時間で測定されます。



図39: V_{DS} = 60 V, V_{GS} = 6 V, ドレイン・パルス幅25 μ sでのEPC2203 (上図) と EPC2051 (下図) の標準的な負荷時故障テストの波形。ドレイン電流の急峻な上 昇は、壊滅的な熱故障のときの時間を示しています。

耐性時間に関する統計を収集するために、このアプローチを使っ て、8個の部品の群を故障するまでテストしました。この結果が表3で す。EPC2203は、5V(推奨ゲート駆動電圧)と6V(V_{GS(max}))の両方でテ ストされ、平均耐性時間は、それぞれ20 μsと13 μsでした。飽和電流が高 いため、6Vでの寿命が短いことに注意してください。EPC2051は、6Vで のEPC2203と比べて、故障までの時間がわずかに短くなっています(9.3 μs)。これは、第5世代製品のより積極的なスケーリングと電流密度のた めに、予想通りです。ただし、すべての場合において、この耐性時間は、ほ とんどの短絡保護回路が応答して、デバイスの故障を防ぐために十分な 長さです。さらに、この耐性時間は、部品間のばらつきが小さいことを示 しました。

表3の下の行は、チップ面積に対するパルスの電力とエネルギーを示して います。これらの量と故障までの時間との関係を理解するために、時間依 存の熱伝導をシミュレーションし、短絡パルス期間中の接合部温度の上 昇ΔT」を決定しました。この結果が図40です。

短絡パルス	EPC2203	8 (Gen 4)	EPC2051	(Gen 5)	
$V_{DS} = 60 V$	$V_{GS} = 6 V$	$V_{GS} = 5 V$	$V_{GS} = 6 V$	$V_{GS} = 5 V$	
平均 TTF (µs)	13.1	20.0	9.33	21.87	
標準偏差 (µs)	0.78	0.37	0.21	2.95	
最小TTF (µs)	12.1	19.6	9.08	18.53	
平均パルス電力 (kW)	1.764	1.4	3.03	2.03	
エネルギー (mJ)	23.83	27.6	27.71	42.49	
チップ面積 (mm²)	0.9	025	1.105		
平均電力/面積 (kW/mm²)	1.95	1.55	2.74	1.84	
エネルギー/面積 (mJ/mm²)	26.4	30.59	25.08	38.46	

表3:EPC2203およびEPC2051の短絡耐性時間の統計。

注:各条件の8個のデバイスから得られた統計。耐性時間は、平均値の周りに密に 分布しています。平均パルス電力とエネルギーは、母集団内の標準的な部分に対応 します。



図40:5 Vと6 VのV_{GS}でのEPC2051とEPC2203の両方の短絡パルス中の時間に 対するシミュレーションした接合部温度の上昇。測定された故障時間は赤い マーカーで示されています。EPC2203は、約475°CのΔT」で壊滅的に故障する ことに対し、EPC2051は約575℃で故障することに注意してください。シミュ レーションしたΔT」は、方程式に示されているように、時間に対する単純な平 方根依存性(熱拡散)によく適合します。Pは単位面積当たりの平均電力を示 し、k=6.73×10⁻⁵ K m² / W s^{1/2}です。

パルス期間中の非常に高い電力密度によって、GaN層と近くのシリコン 基板が急速に加熱されます。パルスが短く、熱伝導が比較的遅いため、 半導体の厚さが薄いこと(深さ約100 μm以下)だけが、エネルギーを 吸収する助けになります。この温度は、時間の平方根(熱拡散の特性) で上昇し、パルス電力に線形に比例します。図40に示されているよう に、EPC2203の場合、5 Vと6 Vの両方の条件において、同じ接合部温度の 上昇の約475℃で故障します。同じことがEPC2051にも当てはまり、両方 の条件で、約575℃の同じΔT」で故障します。これらの結果から、3つの重 要な結論が導き出されます:

- 1) これらのデバイスの場合、故障までの時間は、消費電力の2乗に反比 例します (P-2)。これは、持続時間が約1 ms以下の短絡パルスおよ びSOAパルスに適用されます。
- 2) 大電力パルスに起因する固有の故障モードは、ある臨界値を超える 接合部温度に直接関連しています。
- 3) ワイド・バンドギャップeGaNデバイスは、フリー・キャリアの熱暴 走のために、シリコン・デバイスが完全に対応できない接合部温度 (400℃以上)に耐えることができます。

デバイスがこれらの極端な条件に繰り返し耐えられるかどうかを確認す るために、データシートに記載されている最大定格パルス電流の約2倍の デバイス電流を発生させる短絡条件下で、いくつかの部品に50万周期以 上を加えました。このテストの設定では、直流5 Vまたは6 Vのゲート・バイ アスをテスト対象デバイス (DUT)のゲートに印加しました。ドレイン・バ イアスは直流10 Vに設定し、60 mFのコンデンサをドレイン電源の両端に 接続しました。DUTと直列の低R_{DS(on)}のハイサイド・トランジスタは、それ 以外の場合は、電流の無制限の流れを制御しました。次に、制御トラン ジスタに1 Hzで5 μsのパルスを加えて、チャネルが再び平衡するまでの時 間を与えました。表4は、テストされたさまざまなタイプのデバイス、最大 パルス電流のデータシート定格、テスト開始時の各周期中にデバイスを介 してパルス化された短絡電流の量を示しています。

デバイス	種類	データシー トのパルス 電流 (A)	V _{GS}	平均値 (A)	標準偏差 (A)
EDC0002	80 V AEC	17	5	35	2.4
EPC2205	Gen4	17	6	43	2.5
100 V AEC		75	5	124	2.1
EPCZZIZ	Gen4	/5	6	160	3.5
EDC2051	100 V	27	5	68	1.0
EPC2051	Gen5	57	6	87	1.3
EDCODEO	100 V	74	5	147	1.6
EPC2052	Gen5	/4	6	163	2.2
EDC2207	200 V	EA	5	99	4.7
EFC2207	Gen5	54	6	132	5.0

表4:極端なパルス短絡電流、通常はデータシートの最大制限の2倍でテスト されたデバイス。

表5は、EPC2051の主なデバイス・パラメータです。これは、表3と図40で 使われているものと同じ型番のデバイスです。データシートの最大定格 の2倍を超える50万個の85 Aのパルスという極端な条件下でさえも、す べての電気的特性がデータシートの仕様の範囲内に収まっています。た だし、V_{TH}のわずかな増加に従って、時間の経過と共にDUTによって「消 費」される短絡電流の量がわずかに減少しました。

この50万パルスのシーケンスの後、この部品は175℃で、バイアスなしで 10分間、アニールしました。表5の右側の列に示されているように、電気 的パラメータと短絡電流は、繰り返しパルスのストレスを受ける前のそれ らの値の近くまで回復しました。この回復は、大電流パルスの繰り返し による恒久的な損傷が発生しなかったことを示しています。

EPC2051	t = 0	10万パルス	50万パルス	175℃で10分間の アニール後		
V _{TH} (V)	1.8	2	2.1	1.8		
I _{GSS} (μΑ)	11	33	55	23		
I _{DSS} (μΑ)	7	5.5	5.1	5.6		
R _{DS(on)} (mΩ)	R _{DS(on)} (mΩ) 22		22.3	22		
I _{short circuit}	84	77	74	82		

表5:パルス・テストの開始時、10万パルス後、50万パルス後、および175℃で 10分間のアニールの後のEPC2051の主なデバイス・パラメータ。デバイス・パ ラメータは常に、データシートの制限内に収まりました。

セクション6:高di/dt電流パルスの信頼性(Lidar用途)

GaNトランジスタとICは、自動運転車の直接飛行時間 (DToF) と間接飛行時間 (IToF) のLidar (光による検出と距離の測定) 回路の両方に広く実装されています。EPCの最新の書籍GaN Power Devices and Applicationsの第5章では、このトピックについて詳しく説明しています。

標準的なDToF型Lidarアプリケーションでは、GaNデバイスに1~5 nsのオ ーダーの短い大電流パルスを加え、レーザー・ダイオードを駆動して狭い 光パルスを発生します [36]。ピーク電流は通常、トランジスタのパルス電 流定格の50%を大幅に上回っています。パルスのデューティ比は通常、小 さく、パルスの繰り返し周波数 (PRF) は10~100 kHzの範囲です。パルス が加えられていないとき、GaNデバイスはオフ状態にあり、特定のドレイ ン・バイアスが印加されています。

このストレス状態は、パワー・デバイスでは、やや普通ではないため、HTGB(高温ゲート・バイアス)やHTRB(高温逆バイアス)などの従来の直流信頼性テストによって、動作寿命を予測することは困難です。パルス期間中に大電流と高電圧を同時に加えると、ホット・キャリア効果に関する懸念が浮上するので、デバイス内でしきい値V_{TH}やオン抵抗R_{DS(on)}のシフトを引き起こす可能性があります。さらに、繰り返し大電流パルスの累積効果によって、エレクトロマイグレーションの懸念が高まり、はんだ接合部の劣化につながります。

[37]で最初に説明されたハードスイッチング信頼性テストのようなGaN固 有のテストでさえ、Lidar回路のストレス条件を効果的にエミュレートし ません。これらの懸念に対処するために、Lidarセンサーのいくつかのメ ーカーと協力して新しいテスト方法を開始しました。このLidar信頼性テ ストは、[38]で説明される「Beyond AEC」イニシアチブの一部です。これ は、AEC-Q101規格の一部としてMOSFET用に開発された従来の信頼性 テストを超えるGaN固有の一連のストレス・テストです。

6.1 大電流パルス下での長期安定性

このテスト方法の概念は、実際のLidar回路の部品に、最終的なミッショ ン・プロファイルを十分上回るパルスの総数をストレスとして与えることで す。自動車用Lidarのミッション・プロファイルは、ユーザーごとに異なり ます。標準的な自動車のプロファイルでは、100 kHzのパルス繰り返し周 波数 (PRF)、1日当たり2時間の動作で、15年の寿命が必要になります。 これは、合計約4兆のLidarパルスに相当します。いくつかの最悪のシナリ オ (高い使用頻度)では、耐用年数に10~12兆パルスが必要になること もあります。

このテスト方法は、システム性能とデバイス特性の安定性を検証するため に、完全なミッション・プロファイルの最後までデバイスの母集団をテス トすることによって、LidarミッションでのeGaNデバイスの寿命を直接実 証します。

6.2 テストの方法論と結果

多数のパルスを得るために、部品は、通常のLidar回路よりも、はるかに高いパルス繰り返し周波数 (PRF) で連続的にストレスが加えられます。

この調査では、EPC2202 (80 V) とEPC2212 (100 V) の2種の一般的なAEC品質の部品をテストしました。2種とも4個の部分を同時にテストしました。ストレス期間中、2つの重要なパラメータをすべてのデバイスで継続的にモニターします: (1) ピーク・パルス電流と、(2) パルス幅です。これらのパラメータは、Lidarシステムの範囲と分解能の両方にとって重要です。

図41と42は、最初の13兆パルスにわたるこのテストの結果です

パルスの累積数は、一般的な自動車の寿命をはるかに超えており、最悪の使用条件をカバーしています。パルスの幅や高さのいずれにも劣化やドリフト が観測されていないことに注目してください。これは、eGaNデバイスの状態を間接的にモニターするものですが、Lidarの性能に悪影響を与える劣化メ カニズムが発生していないことを示しています。



間間隔で測定しました。V_{TH}は、一連のゲート電圧でR_{DS(on})を測定することによって推測されたことに注意してください。4個のEPC2202(赤色)デバイスと4個の EPC2212(青色)デバイスのデータを重ね合わせてプロットしています。使用頻度の高い条件における自動車の寿命に対応する13兆パルスにわたって、これらの 重要なパラメータの安定性が優れていることに注目してください。

フェーズ14テスト

セクション7:機械的ストレス

製品の最終的な寿命、または、特定のアプリケーションでのその適合性 は、遭遇する機械的ストレスによって制限される場合があります。このセ クションでは、最も一般的な機械的ストレス源であるチップのせん断、裏 面圧力、曲げ力のいくつかを特徴づけ、ウエハー・レベルのチップスケー ル・パッケージ (WLSCP) が、通常の組み立てまたは取り付け条件下で、 耐久性があることを実証します。

7.1 チップのせん断テスト

チップせん断テストの目的は、eGaNデバイスをプリント回路基板に実 装するために使われるはんだ接合の耐性を評価することです。この判断 は、実装したデバイスに適用されたときに、チップがプリント回路基板 から受けるせん断の面内力に基づいています。すべてのテストは、軍用テ スト規格MIL-STD-883E、Method 2019 [21] に準拠しています。

図43に、選択した4種のGaNトランジスタのテスト結果を示します。各 製品について10個の部品をテストしました。テストした最小のチップ は、EPC2036/EPC2203で、チップ面積は0.81 mm²、直径200 µmのは んだボールは、わずか4個です。予想通り、この製品のせん断強度は、 最小でしたが、図43に示すように、MIL規格で指定された最小の力の要 件を超えています。テストした最大のチップはEPC2206で、チップ面積 13.94 mm²のランド・グリッド・アレイ (LGA)の製品です。EPC2206は、 最小の力の要件の10倍以上になっています。サイズの分散内のEPC2212 (100 V、LGA)とEPC2034C (200 V、BGA)の2つの製品を追加してテス トしました。どちらの製品も、最小の力を大幅に上回りました。

図43の結果は、ウエハー・レベルのチップスケール・パッケージのGaN製品がすべて、最も厳しい条件下で環境せん断ストレスに対して機械的に 丈夫であることを示しています。



図43:せん断強度を測定すると同時に、GaNトランジスタのさまざまなチップ・サ イズとはんだ構成で、故障するまでテストしました。この結果は黒色の点で示され ています。赤色の点は、MIL-STD-883E、Method 2019の下での推奨される最小の チップせん断強度です。

7.2 裏面圧力テスト

GaNデバイスの機械的丈夫さのもう1つの重要な側面は、裏面圧力をどれ だけうまく処理できるかです。これは、チップの裏面の放熱が必要なアプ リケーションにとって重要な考慮事項です。組み立て中に、安全な「ピッ ク・アンド・プレース」配置の力を決めるためにも重要です。 最大400 psiの裏面圧力テストを実施しました。この圧力は、加えられた カをチップ面積で割って計算します。図44は、使用した実験室用圧力テ スターです。負荷速度を0.6 mm/分にして、チップの裏側に直接圧力を加 えました。この圧力テストの前後に、合格または不合格を判断するために パラメータ・テストを実施しました。続いて、部品を60 V_{DS}、85℃、相対 湿度85%で300時間の高温高湿逆バイアス(H3TRB)・テストに曝しまし た。H3TRBは、圧力テストによる機械的損傷(内部亀裂)によって引き起 こされた潜在的な故障があったかどうかを判断するときに効果的です。



図44: 圧力テスト機器。 テスター・ヘッドは、0.6 mm/分の一定の負荷速度を使って、事前に決めた力がゲージによって検出されるまで、デバイスの裏側に下がります。 DUTは、テスト段階で固定されているFR4テスト・クーポンに表面実装されています。

EPC2212 (100 V、LGA) とEPC2034C (200 V、BGA) をテストし、両方とも 400 psiに合格しました。このデータは表6に含まれています。これらの結 果は、eGaN FETには、プリント回路基板の組み立て工場で通常使われる 裏面圧力を処理するための十分なマージンがあることを示しています。こ れらの部品は400 psiに耐えましたが、EPCは、最大裏面圧力を50 psi以下 に制限することを推奨しています。

製品	サンプ ル・サ イズ	チップ 面積 (mm)	裏面 圧力	印加した力	圧力テスト 後のパラメ ータ・テス トにおける 故障	300時間 のH3TRB テスト後 の故障
EPC2212 (LGA)	16	2.1 x 1.6	400 psi	9.3 N (2.1 ポンド)	0/16	0/16
EPC2034C (BGA)	16	4.6 x 2.6	400 psi	33.0 N (7.4ポンド)	0/16	0/16

表6:eGaNデバイスの圧力の結果。

注:小型および比較的大型のeGaNデバイスは、高い裏面圧力下でテストされ、機 械的故障はありませんでした。温度、湿度、バイアスの下でのストレス・テスト後の 故障はありませんでした。

7.3 曲げカテスト

曲げカテストの目的は、取り扱い、組み立て、または操作中に発生する 可能性のあるプリント回路基板のたわみに耐えるGaNトランジスタの能 力を判断することです。このテスト規格は、表面実装の受動部品(AEC-Q200)[40]向けに開発されましたが、多くのユーザーは、2つの主な理由 からGaNトランジスタの曲げ力に関心があります:(1)ウエハー・レベル のチップスケール・パッケージ(WLCSP)のはんだ接合の耐久性;そして (2)デバイスのパラメータを変え、望ましくない回路動作にさせる可能性 のあるトランジスタ内の圧電効果です。

フェーズ14テスト

これらの関心に対応するために、AEC-Q200-005Aテスト規格 [41] に従って、4個のEPC2206で曲げ力テストを実施しました。図 45が、テスト設定の概略図です。デバイスは、FR4プリント回路基 板(長さ100 mm×幅40 mm×厚さ1.6 mm)の中央付近に実装さ れています。両端がしっかりと固定されている状態で、デバイスの 反対側に圧力が加えられているので、プリント回路基板が上向き にたわみます。この屈曲状態で60秒間保持した後、すべてのデバ イスの電気的パラメータを測定します。



図45:EPC2206の曲げカテスト (AEC-Q200-005A) の概略図。 基板の裏面に圧力 が加えられます。 圧力は、 0~8 mmの範囲の規定された中心点のたわみを実現す るように調整されます。

Q200-005Aテスト規格では、プリント回路基板のたわみが2 mmの場 合、圧力を1回だけ加えます。ただし、故障するまでのテストで得た原 理の一環として、デバイスは、徐々に増加する4種のたわみ(2 mm、 4 mm、6 mm、8 mm)でテストしました。4 mmのたわみを実現するた めには、240 N (25 kg)の極端な力が必要です。各圧力レベルで、60秒 間の継続期間の後、すべてのデバイス・パラメータを(屈曲の状態で)測 定しました。

表7は、テスト対象の4個のデバイスすべての正規化されたR_{DS(on})と基板 のたわみの関係を示しています。すべてのデバイスが2 mmのテスト条件 に合格しました。2個のデバイスは6 mmのたわみで故障しましたが、残り の2個は8 mmまで生き残りました。事後分析によって、故障モードは、は んだ接合部の亀裂であり、ゲート接続がオープンになったことが明らかに なりました。故障するまで、R_{DS(on})は基板のたわみに対して、感知できる ほどの反応を示しませんでした。同じことがV_{TH}や漏れ電流I_{DSS}のような 他の電気的特性でも観察されました。

	0 mm	2 mm	4 mm	6 mm	8 mm
DUT1	1.00	1.01	1.00	0.98	0.98
DUT2	1.00	1.02	1.01	故障	-
DUT3	1.00	1.01	1.03	故障	-
DUT4	1.00	0.99	0.99	1.03	1.04

表7:曲げカテスト中の4個のデバイスの正規化されたR_{DS(on)}と基板のたわみ。値 は、屈曲していない場合のR_{DS(on)}に正規化されています。4個のデバイスのうち2個 は、6 mmのたわみで故障しましたが、残りの2個のデバイスは8 mmで生き残りまし た。どのデバイス・パラメータでも、応力への大きな反応は見られませんでした。 曲げ力の下での故障モードと電気的応答について、さらなる洞察を得る ために、プリント回路基板に実装したEPC2206の完全な機械モデルを 使って、有限要素 (FEA) シミュレーションを実行しました。これらのシ ミュレーションでは、デバイス内部の機械的たわみ、応力/歪み、およ び圧電応答を計算します。

図46は、6 mmのたわみに対応する曲げ力に対するEPC2206のはんだ 接合部の縦応力を示しています(応力はプリント回路基板に垂直な軸 に沿って測定されます)。見て分かるように、はんだバーの外縁は、高い 引張応力を受けますが、内縁は圧縮されています。ピーク引張応力は、 約6×10⁸ N/m²に達します。これは、SAC305はんだの引張降伏応力の 限界(約3×10⁸ N/m²)を超えています。これは、6 mmのたわみで故障 する2個の部品で観測されたはんだ接合の亀裂を説明しています。



図46:プリント回路基板の平面に垂直な方向に沿ったEPC2206のはんだ接合の 縦応力のFEMシミュレーション (6 mmのたわみ曲げ力)。はんだバーの外縁は、 はんだ接合の降伏応力の限界近くで高い引張応力を受けます。

AlGaN/GaN HEMTの圧電分極と自発分極は、デバイスの動作に一次 的な影響を及ぼします。実際、AlGaN/GaN界面の分極シート電荷(約 1.0×10¹³ e-/cm²)は、GaNトランジスタの2DEGチャネルの高い電子密 度に直接関与しています。この電荷は、V_{TH}およびR_{DS(on)}に直接(線形) 影響します。この結果、曲げテストなど、部品に機械的応力が加わったと きに、圧電によって引き起こされるデバイス・パラメータの変化の影響に ついての懸念が浮上します。

この懸念に対処するために、FEAを使って、基板の曲げ実験によって引き起こされた極端な歪みの結果として、AlGaN/GaNヘテロ接合での分極シート電荷の変化を計算しました。シート電荷の変化は、次の方法で計算できます:

ここで、 ϵ_z は (ウルツ鉱) c軸に沿った歪み、 $\epsilon_x \geq \epsilon_y$ は2DEGの平面 内の歪みです。有効な圧電定数 $e_{zz} \geq e_{zx}$ は、Bernardini氏らのabinitio計算から得られたように、GaNとAlGaNの間の圧電係数の 違いを考慮することから導き出されます [24]。

図47は、極端な (4 mm) 基板のたわみの結果として、EPC2206内の分極 シート電荷のわずかな変化を示しています。このレベルの機械的応力で は、はんだ接合は、亀裂に対する破損のしきい値をわずかに下回ります。 分極は、1.0×10¹³ e-/cm²の組み込まれた(ゼロ歪み)シート電荷に正規 化されます。圧電電荷の面積当たりの変化の平均は-0.3%以下ですが、ピー クの変化は、はんだバーのすぐ近くで約0.8%です。圧電分極のこれらの変化 は小さすぎて、デバイス・パラメータV_{TH}またはR_{DS(on)}に観測可能な変化を生 じません。これは、これらのパラメータがどの曲げ応力状態でも変化が観測 されなかった理由を説明しています。圧電性はGaNトランジスタのデバイス 物理において重要な役割を果たしますが、デバイスの動作に大きな変化を引 き起こすために、十分な機械的歪みをトランジスタ内に発生させることは、事 実上不可能です。この結果、振動や基板のたわみによって引き起こされる一 般的な応力では、動作中のトランジスタに対して、いかなる回路の問題も生 じません。



図47: 基板の4 mmのたわみによる歪みの下でのEPC2206の圧電シート電荷の割 合の変化。圧電電荷の面積当たりの変化の平均は-0.3%以下ですが、変化のピ ークは、はんだバーのすぐ近くで約0.8%です。圧電分極のこれらの変化は小さす ぎて、デバイス・パラメータV_{TH}とR_{DS(on})に観測可能な変化は生じません。

セクション8:熱機械的応力

WLCSP 封止のGaNトランジスタは、AECまたはJEDECの規格に従ってテスト すると、優れた熱機械的信頼性を備えています。これは、「パッケージ」の本 質的な単純さ、および、ワイヤー・ボンド、異種材料、成形材料を使っていな いことによるものです。まとめると、すべてのWLCSPのGaNトランジスタは、 ベア・チップ形式で-40℃~150℃で利用できると言えます。

部品レベルの信頼性に加えて、業界規格IPC-9592のような業界固有の他の 規格や、プリント回路基板に実装された部品にシステムや基板レベルのテス トを課すOEM (相手先ブランドによる生産)環境要件があります。これらの中 には、GaNトランジスタなどの表面実装部品、特に部品と基板の間のはんだ 接合に深刻な熱機械的応力を誘発する組み合わせが常に存在します。例え ば、IPC-9592規格の最も厳しい温度サイクル要件 (クラスIIカテゴリー2)で は、サンプル数30ユニットで、−40°C~125°Cを700サイクル実施して、故障し ないことが要求されます。

はんだ装着の信頼性は、プリント回路基板の レイアウト、設計と材料、アセンブリ工程、動 作中の放熱ソリューション、アプリケーション の性質など、デバイスによらないいくつかの 要因に依存します。したがって、特定のアプリ ケーションにおいて、故障までの時間を予測 するための正確なモデルを提供することは、 実行不可能で非現実的と言えます。それにも かかわらず、過去に、EPCは、歪みエネルギー 密度と疲労寿命の相関関係に基づいて、はん だ接合の故障までの時間を予測するモデル を公開しました [43]。

さまざまな条件下におけるより多くの温度サイ クルと断続動作寿命IOL (電力温度サイクルと も呼ばれます)の結果を示します。さらに、こ のセクションでは、アンダーフィル材料を使っ て、はんだ接合の信頼性を向上させる方法に 関するデータと分析を提供します。アンダーフィルは一般的に、表面実装デバイ スを最も過酷な環境条件に曝す可能性のあるアプリケーションで使われます。

WLCSP封止のGaNトランジスタの適切な動作を保証するために、アンダー フィルは必要ないことを強調することが重要です。実際、製品認定中に、ほ とんどの信頼性テストを実施するために、被試験デバイスは、アンダーフィ ルなしでFR4基板に実装しています。このテストのリストには、HTRB (High Temperature Reverse Bias: 高温逆バイアス)、HTGB (High Temperature Gate Bias: 高温ゲート・バイアス)、H3TRB (High Temperature High Humidity Reverse Bias: 高温高湿逆バイアス)、uHAST (Unbiased highly accelerated test:バイアスなしの高加速試験)、MSL1 (Moisture Sensitivity Level 1: 耐湿性レベル1)、IOL (Intermittent Operating Life: 断続動作 寿命)、HTOL (High Temperature Operating Life:高温動作寿命試験) 、ELFR (Early LifeFailure Rate:初期寿命故障率)、HTS (High Temperature Storage: 高温保存)、および、多くの場合TC (Temperature Cycling: 温度サ イクル)が含まれます。とはいえ、アンダーフィルは、チップとプリント回路基 板の間の熱膨張係数 (CTE: coefficient of thermal expansion) の不一致に 起因するはんだ接合への応力を軽減するため、基板レベルの信頼性を向上さ せるために使えるかもしれません。さらに、アンダーフィルは、厳しい沿面距 離とクリアランス要件がある場合に、汚染保護と、電気的絶縁の強化に貢献 します。最後に、アンダーフィルは、使われる材料の熱伝導率が空気よりも大 きいため、接合部から基板への熱インピーダンスの低減にも役立ちますが、 通常の熱伝導性材料TIM (thermal interface material) ほどは大きくはあり ません。アンダーフィル材料の選択を誤ると、はんだ接合の信頼性も低下す る可能性があることに注意してください。したがって、このセクションでは、シ ミュレーションと実験結果に基づいたガイドラインを提供します。

8.1 適切なアンダーフィルを選択するための基準

アンダーフィル材料の選択では、材料のいくつかの重要な特性と、チップ とはんだの相互接続を考慮しなければなりません。まず第1に、アンダー フィル材料のガラス転移温度Tgは、アプリケーションの最大動作温度よ りも高くなければなりません。次に、アンダーフィルのCTEは、はんだ接 合の余分な引張/圧縮応力を回避するために、両方が同じ速度で膨張/ 収縮しなければならないため、はんだのCTEにできるだけ近い必要があ ります。参考までに、一般的な鉛フリーSAC305やSn63/Pb37のCTEは約 23 ppm/°Cです。ガラス転移温度Tgを超えて動作すると、CTEが劇的に 大きくなることに注意してください。TgとCTEに加えて、ヤング率も重要で す。非常に硬いアンダーフィルは、はんだバンプのせん断応力を減らすこ とに役立ちますが、このセクションの後半で示すように、デバイスの角の 応力が増加します。低粘度(チップの下のアンダーフィルの流れを改善す るため)と高い熱伝導率も望ましい特性です。表8は、この調査でテストさ れたアンダーフィルの主な材料特性を比較しています。

		СТ	E (ppn	n/C)	貯蔵弾性 率 (DMA)	싸ං휴	ポマソ			絶縁耐力
メーカー名 4	型番	Tg (TMA) [°C]	Tg 以下	Tg 以上	@ 25°C (N/mm²)	· 柏皮 @ 25°C	ン比	体積抵抗率	熱伝導率	
独ヘンケルの LOCTITE	ECCOBOND- UF 1173	160	26	103	6000	7.5 Pa*S				
ナミックス	U8437-2	137	32	100	8500	40 Pa*S	0.33	>1E15 Ω-cm	0.67 W/m⋅K	
ナミックス	XS8410-406	138	19	70	13000	30 Pa*S				
米MASTERBOND	EP3UF	70	25-30	75-120	3400	10-40 Pa*S	0.3	>1E14 Ω-cm	1.4 W/m⋅K	450 V/ミル
米AI TECHNOLOGY	MC7885-UF	236	20		7500	10 Pa*S		>1E14 Ω-cm	1 W/m⋅K	750 V/ミル
米AI TECHNOLOGY	MC7885-UFS	175	25		7500	10 Pa*S		>1E14 Ω-cm	2 W/m⋅K	1000 V/ミル

表8:アンダーフィルの材料特性。

8.2 温度サイクル下でのアンダーフィルの調査

このセクションでは、前述のアンダーフィル材料を使った場合と使わない場合の2つの異なる条件下でのさまざまなGaNトランジスタの温度サイクル (TC)の結果を示します。2つの温度サイクル範囲でテストしました:(i)−40℃~125℃;(ii)−55℃~150℃です。すべての場合において、部品は2層、 厚さ1.6 mmのFR4基板で構成されるDUTのカードやクーポンに実装しました。はんだペーストSAC305と水溶性フラックスを使って、アンダーフィルの前 にフラックス洗浄プロセスを実施しました。EPC2701CとEPC2053の温度サイクル・データを表9~12に示し、EPC2206の結果を図48のワイブル・プロッ トで示します。

両方の温度範囲で、ナミックスのアンダーフィル (U8437-2_Nと8410-406B) は、アンダーフィルがない場合と比べて、寿命に大きな利点があります。同 じことがヘンケル (UF1137_H) にも当てはまります。一方、Master BondのEP3UFは信頼性を低下させることが分かりました。これは主にTgが低いため であり、当社のすべての調査では、ガラス転移温度をはるかに超えてアンダーフィルを実施したからです。ただし、材料特性に基づくと、Master Bondの EP3UFは70°C以下にとどまるアプリケーションに適した候補である可能性があります。

製品/DOE		EPC2001C									
ストレス条件: -40℃~125℃	状態	300 サイクル	550 サイクル	850 サイクル	1000 サイクル	1250 サイクル	1550 サイクル	1750 サイクル	1950 サイクル	2150 サイクル	2450 サイクル
アンダーフィルなし	完了	0/32故障	0/32故障	0/32故障	0/32故障	2/32 故障	5/32故障	8/32故障	15/32 故障	20/32故障	26/32 故障
	継続中	0/32 故障	0/32故障	0/32故障	0/32故障						
ヘンケルのUF1137_H	継続中	0/40 故障	0/40故障	0/40故障	0/40故障	0/40 故障					
Master bondの EP3UF_M	継続中	0/40 故障	0/40故障	14/40故障	31/40故障						
MC7685-UFS	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	1/32 故障	2/32 故障	2/32故障	3/32 故障	6/32 故障	14/32 故障
MC7885-UF	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32故障	0/32 故障	0/32 故障	0/32 故障	1/32 故障	4/32 故障
ナミックスの 8410-406B	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
+>	完了	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障	0/32 故障
) = 997X0008437-2_N	継続中	0/80故障	0/80故障	0/80 故障	0/80 故障	0/80 故障					

表9:温度サイクル-40℃~125℃のEPC2001Cの結果。

製品/DOE		EPC2053									
ストレス条件: −40°C~125°C	状態	300 サイクル	550 サイクル	850 サイクル	1000 サイクル	1250 サイクル	1550 サイクル	1750 サイクル	1950 サイクル	2150 サイクル	2450 サイクル
アンダーフィルなし	完了	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	2/32故障	3/32故障	3/32故障	3/32故障
ヘンケルのUF1137_H	継続中	0/40故障	0/40故障	0/40故障	0/40故障	0/40故障					
Master bondの EP3UF_M	継続中	1/40故障	7/40故障	15/40故障	25/40故障	39/40故障					
MC7685-UFS	完了	0/32故障	0/32故障	0/32故障	1/32 故障	17/32故障	32/32故障	32/32 故障			
MC7885-UF	完了	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	1/32故障	1/32 故障	1/32故障
ナミックスの 8410-406B	完了	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障
	完了	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障	0/32故障
)ミックスの08437-2_N	継続中	0/40故障	0/40故障	0/40故障	0/40故障	0/40故障					

表10:温度サイクル-40℃~125℃のEPC2053の結果。

製品/DOE			EPC2	001C		
ストレス条件: −55℃~150℃	状態	300 サイクル	600 サイクル	900 サイクル	1100 サイクル	1300 サイクル
アンダーフィルなし	完了	0/16故障	0/16故障	1/16故障	1/16故障	2/16故障
ヘンケルのUF1137_H	継続中	0/20故障	0/20故障	0/20故障	1/20故障	
Master bondの EP3UF_M	継続中	0/20故障	0/20故障	4/20故障	6/20故障	
MC7685-UFS	完了	0/16故障	0/16故障	0/16故障	1/16故障	1/16故障
MC7885-UF	完了	0/16故障	0/16故障	0/16故障	0/16故障	0/16故障
ナミックスの 8410-406B	完了	0/16故障	0/16故障	0/16故障	0/16故障	0/16故障
+=>>>>/	完了	0/16故障	0/16故障	0/16故障	0/16故障	0/16故障
) = 997X0008437-2_N	継続中	0/20故障	0/20故障	0/20故障	0/20故障	

表11:温度サイクル-55℃~150℃のEPC2001Cの結果

製品/DOE	EPC2053								
ストレス条件: -55℃~150℃	状態	300 サイクル	600 サイクル	900 サイクル	1100 サイクル	1300 サイクル			
アンダーフィルなし	完了	0/16故障	0/16故障	0/16故障	0/16故障	1/16故障			
ヘンケルのUF1137_H	継続中	0/20故障	0/20故障	0/20故障	0/20故障				
Master bondの EP3UF_M	継続中	5/20故障	15/20故障						
MC7685-UFS	完了	1/16故障	9/16故障	13/16故障					
MC7885-UF	完了	2/16故障	1/16故障	7/16故障					
ナミックスの 8410-406B	完了	0/16故障	0/16故障	0/16故障	0/16故障	0/16故障			
+ミックスの118437-2 N	皇7	0/16故障	0/16故障	0/16故障	0/16故障	0/16故障			

表12:-温度サイクル-55℃~150℃のEPC2053の結果。



図48:EPC2206の温度サイクルの結果のワイブル・プロット。

8.3 断続動作寿命の調査

温度サイクルTCでは、デバイスとプリント回路基板の両方が、周囲温度を 循環させるチャンバ内に配置され、アセンブリ全体で等温温度変化にな るようにします。断続動作寿命(IOL:IntermittentOperatingLife)では、 デバイス内部で電力を消費することによって温度上昇を実現します。した がって、IOLでは、デバイスと、チップの近くのプリント回路基板のみの温 度が変わります。この結果、GaNトランジスタとプリント回路基板の間の CTE(熱膨張率)の不一致に起因するはんだ接合の応力は、温度サイク ルの場合ほど大きくありません。ただし、完全なサイクルを完了する時間 は、TCよりもはるかに速くなります(IOLは、電力温度サイクルとして知ら れているかもしれません)。

図49は、2つの異なる条件下で、故障するまでテストしたEPC2206の32個 のサンプルの群の結果です。すべての場合において、各サイクルは、30秒 の加熱期間と、それに続く、さらに30秒の冷却期間で構成しました。図49 で、青色の情報は40°Cと100°Cの間で循環したデバイスを示し、オレンジ 色の情報は40°Cと150°Cの間で循環したデバイスを示しています。いずれ の場合も、はんだ疲労が唯一の故障メカニズムであるため、ワイブル適合 の傾きは、ほぼ同じでした。ただし、平均故障時間は、各サイクル中に到 達したΔTとT_{max}によって大幅に加速されました。



注:アンダーフィル (ナミックスのU8437-2) を使った部品は、5万3000サイクル後も 故障が発生せずに、まだテスト中なので、緑色のワイブル「適合」は下限を表します。

図49:EPC2206の断続動作寿命の結果のワイブル・プロット。

さらに、アンダーフィルにナミックスのU8437-2を使った部品の3番目の群 が、40°C~150°Cの間でサイクルを開始しました。5万3000サイクル後、 故障は観測されませんでした。図49の緑色の線は、5万3001サイクル後 に、1つの故障を想定しているため、このアンダーフィルの性能の下限と 見なすことができます。明らかに、TCの調査で分かったように、ナッミク スのアンダーフィルは、周期的な温度ストレス下での寿命の大幅な改善 (100倍以上)に貢献することが分かりました。

8.4 有限要素解析

アンダーフィルを使う場合の熱機械的信頼性に影響を与える主な要因を より深く理解するために、温度サイクルのストレス下でのEPC2206の有限 要素シミュレーションを実施しました。図50は、この分析に使われたシミ ュレーションの構成です。このチップは1.6 mmのFR4プリント回路基板 上に配置され、温度変化は、ニュートラル(ストレス・フリー)状態よりも ΔT=+100°C高くなります。ヤング率とCTEの2つの主要なアンダーフィル・ パラメータを変えました。図に示すように、応力は、示されている切断線 に沿って分析され、はんだバー、チップ、アンダーフィル内の応力を可視化 します。



図50:温度サイクルのストレス下でのEPC2206内部の応力の有限要素解析シミュ レーションの構成。1.6 mmのFR4プリント回路基板上にアンダーフィルと共に配 置したチップ。応力は、示されている切断線に沿って分析します。

下の図51は、切断線に沿った最も端のはんだバーのフォン・ミーゼス応力 [26]、つまりピークせん断応力を示しています。分かりやすくするために、 はんだバーの応力のみを示しています。さらに、接合部のせん断変位を示 すために、機械的変形は、20倍誇張されています。アンダーフィルのヤン グ率(E)またはCTEを変えることによって、4つの異なるアンダーフィル条 件をシミュレーションしました。

図から分かるように、アンダーフィルなしのはんだバーは、はるかに極端 なせん断応力と変形になっています。アンダーフィルを追加すると、接合 部からの応力が大幅に軽減され、ヤング率Eが大きいほど、接合部の応力 が小さくなります。はんだ接合とのCTEマッチングが不十分なアンダーフ ィルの場合、接合部に応力が発生する可能性もあります。



図51:ΔT=+100°Cの温度サイクル変化の下での最も端のはんだバーのフォン・ミ ーゼス応力 (ピークせん断応力)。アンダーフィルのヤング率(E)を変え、CTEも 変えて、4つの異なるアンダーフィル条件をシミュレーションしました。機械的変形 は、すべての場合で20倍誇張されていることに注意してください。 図52は、同じように4つの条件を示していますが、ここでは、フォン・ミー ゼス応力がチップとアンダーフィルにも示されています。図から分かるよ うに、ヤング率が大きい場合は、はんだ接合部の応力は小さくなります が、チップ内部と、チップの端の近くのアンダーフィルの応力は大きくなり ます。これらの大きい応力は、デバイス内部の亀裂や最終的な故障につな がる可能性があります。

FEA解析では、約6~13 GPaの範囲で最適なヤング率であり、はんだ接合の保護とチップの端の保護の間に適切な妥協点があることが示されています。CTEに関しては、分析によって、アンダーフィルの大きいCTE (32以上) は避ける必要があることが示されています。



図52:ΔT=+100℃の温度サイクル変化の下での最も端のはんだバーのフォン・ ミーゼス応力(ピークせん断応力)。アンダーフィルのヤング率(E)を変え、CTEも 変えて、4つの異なるアンダーフィル条件をシミュレーションしました。各画像で同 じ縮尺で変形が誇張されていることに注意してください。

8.5 アンダーフィルを選択するためのガイドライン

eGaN FETで使うアンダーフィルを選択するための主なガイドラインが以下です:

アンダーフィルのCTEは、はんだ接合部のCTE (24 ppm/°C)を中心として、16~32 ppm/°Cの範囲内でなければなりません。チップとプリント回路基板の間のマッチングをより良くするため、この範囲内のより小さい値を推奨します。

- ガラス転移温度(Tg)は、最大動作温度を十分に上回っていなければ なりません。Tgを超えて動作すると、アンダーフィルは剛性を失い、は んだ接合部を保護しなくなります。
- 6~13 GPaの範囲のヤング(または貯蔵)弾性率。弾性率が小さすぎると、アンダーフィルは、それに対応して、はんだ接合部からの応力を緩和しません。大きすぎると、大きな応力がチップの端に集中し始めます。

この調査の実験結果から、ヘンケルのUF1137_H、およびナミックスの 8410-406BとU8437-2_Nのアンダーフィルは、eGaN FETに使ったときに、 熱機械的信頼性を大幅に向上させます。

セクション9:まとめ

GaNデバイスは、2010年以来、大量生産されており、いくつか例を挙げれ ば、自動運転車のLidar、4G基地局、車両のヘッドランプ、衛星などで、実 験室でのテストやユーザーのアプリケーションの両方で非常に高い信頼 性を示しています。故障するまでのテストは、すべてのストレス条件で固有 の故障メカニズムとその動作を分離できます。この情報は、実際のさまざ まなミッション・プロファイルでデバイスの寿命を予測するために自信を 持って利用できます。

信頼性レポート

参考文献:

- Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications, Third edition: May 2015, Editor: ZVEI Robustness Validation Working Group, Eds. Published by ZVEI – Zentralverband Elektrotechnik – und Elektronikindustrie e.V. [Online]. Available: https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2015/mai/Handbook_for_Robustness_Validation_of_ Semiconductor_Devices_in_Automotive_Applications_3rd_edition_/Robustness-Validation-Semiconductor-2015.pdf
- [2] Spirito, P., Breglio, G., d'Alessandro, V., and Rinaldi, N., "Analytical model for thermal instability of low voltage power MOS and S.O.A. in pulse operation," 14th International Symposium on Power Semiconductor Devices &ICS; Santa Fe, NM; 4–7 June 2002; pp. 269–272.
- [3] J. W. McPherson, "Time dependent dielectric breakdown physics—Models revisited", Microelectron. Rel., vol. 52, no. 9–10, pp. 1753-1760, 2012
- [4] Efficient Power Conversion Corporation, "EPC2212 Enhancement-mode power transistor," EPC2212 datasheet. [Online]. Available: https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2212_datasheet.pdf
- [5] Turuvekere, S,, et al., "Evidence of Fowler–Nordheim Tunneling in Gate Leakage Current of AlGaN/GaN HEMTs at Room Temperature," IEEE Transactions on Electron Devices, Volume: 61, Issue: 12, Dec. 2014.
- [6] Cook Jr., T. E., Fulton, C. C., Mecouch, W. J., and Davis, R. F., "Band offset measurements of the Si₃N₄/GaN (0001) interface," Journal of Applied Physics 94, 3949, 2003.
- [7] Roul, B, et al., "Binary group III-nitride based heterostructures: band offsets and transport properties," J. Phys. D: Appl. Phys. 48 423001, 2015.
- [8] Neugroschel, A, and Wang, L., "Trapped charge induced gate oxide breakdown," Journal of Applied Physics 96, 3388, 2004.
- [9] Cao et al., "Experimental characterization of impact ionization coefficients for electrons and holes in GaN grown on bulk GaN substrates," Applied Physics Letters, 112, 262103, 2018.
- [10] Dong Ji, Burcu Ercan, and Srabanti Chowdhury, "Experimental determination of impact ionization coefficients of electrons and holes in gallium nitride using homojunction structures,' Appl. Phys. Lett. 115, 073503 (2019)
- [11] Bertazzi, F., Moresco, M., and Bellotti, E., "Theory of high field carrier transport and impact ionization in wurtzite GaN: Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [12] Gao, X. et al., "Semiclassical Poisson and Self Consistent Poisson-Schrodinger Solvers in QCAD," [Online]. Available: https://cfwebprod.sandia.gov/cfdocs/CompResearch/docs/Gao_Banff_Talk.pdf
- [13] Cheang, P.L., Wong, E.K., and Teo, L.L., "Avalanche characteristics in thin GaN avalanche photodiodes," Jpn. J. Appl. Phys. 58, 082001, 2019.
- [14] Ozbek, A.M., "Measurement of Impact Ionization Coefficients in GaN," Ph.D. thesis, North Carolina State University, 2012.
- [15] Chynoweth, A. G. and McKay, K. G., "Threshold Energy for Electron-Hole Pair Production by Electrons in Silicon," Phys. Rev., 108:29, 1957.
- [16] Ooi, T. L. W., et al., "Mean multiplication gain and excess noise factor of GaN and Al0.45Ga0.55N avalanche photodiodes," Eur. Phys. J. Appl. Phys. 92, 10301, 2020.
- [17] Oguzman, I. H., et al., "Theory of hole initiated impact ionization in bulk zincblende and wurtzite GaN," J. Appl. Phys. 81 (12), June 15, 1997.
- [18] Sze, S.M., "Semiconductor devices, physics and technology," Wiley, 2002.
- [19] Real Statistics: Three-parameter Weibull Distribution," [Online]. Available: https://www.real-statistics.com/other-key-distributions/weibull-distribution/three-parameter-weibull-distribution/
- [20] Dynamic On-Resistance Test Method Guidelines for GaN HEMT Based Power Conversion Devices, Version 1.0, JEDEC Standard JEP173, 2019.
- [21] Efficient Power Conversion Corporation, "EPC2045 Enhancement-mode power transistor," EPC2045 datasheet. [Online]. Available: https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2045_datasheet.pdf
- [22] Pozo、A.、Zhang、S.、Strittmatter、R.、「EPCのeGaN® FETの信頼性試験:フェーズ10テスト」、EPC Corp.、米国カリフォルニア州エルセグンド、信頼性レポート。 [オンライン] ウエブサイト:https://epc-co.com/epc/jp/設計サポート/eGaNFETの信頼性/ReliabilityReportPhase10.aspx
- [23] Bhapkar, U. V. and Shur, M.S., "Monte Carlo calculation of velocity-field characteristics of wurtzite GaN," Journal of Applied Physics, 82, 1649, 1997.
- [24] Braga, N., et al., "Simulation of hot electron and quantum effects in AlGaN/GaN heterostructure field effect transistors," Journal of Applied Physics Volume 95, Number 11, June 1, 2004.
- [25] Chen, S. and Wang, G., "High-field properties of carrier transport in bulk wurtzite GaN: A Monte Carlo perspective," Journal of Applied Physics 103, 023703 2008.
- [26] Bertazzi, F., et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [27] Moresco, M., et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part II: Application to avalanche photodetectors," Journal of Applied Physics 106, 063719, 2009.
- [28] Brazzini, T., et al., "Mechanism of hot electron electroluminescence in GaN-based transistors," J. Phys. D: Appl. Phys. 49, 435101, 2016.

信頼性レポート

フェーズ14テスト

参考文献(続き):

- [29] Meneghini, M., et al., "Time- and Field-Dependent Trapping in GaN-Based Enhancement-Mode Transistors With p-Gate," IEEE Electron Device Letters, vol. 33, no. 3, March 2012.
- [30] Hu, C., et al., "Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement," IEEE Transactions on Electron Devices, vol. ED-32, no. 2, February 1985.
- [31] Fang, J., et al., "Electron transport properties of AlxGa1-xN/GaN transistors based on first-principles calculations and Boltzmann-equation Monte Carlo simulations," Phys. Rev. Applied 11, 044045, April 15, 2019.
- [32] Ueda, T, "GaN power devices: current status and future challenges," Japanese Journal of Applied Physics 58, SC0804, 2019.
- [33] Efficient Power Conversion Corporation、「EPC9149:評価キット」、[オンライン] ウエブサイト: https://epc-co.com/epc/jp/製品/デモ・ボード/EPC9149.aspx
- [34] Efficient Power Conversion Corporation、「EPC9078:開発基板」、[オンライン] ウエブサイト: https://epc-co.com/epc/jp/製品/デモ・ボード/EPC9078.aspx
- [35] Mishra, S., "Fault current limiting and protection circuit for power electronics used in a Modular Converter," M.S. thesis, Univ. of Tennessee, 2008. [Online]. Available: https://trace.tennessee.edu/utk_gradthes/468
- [36] Glaser, J., "An introduction to Lidar: A look at future developments," IEEE Power Electronics Magazine, March 2017
- [37] Pozo、A.、Zhang、S.、Strittmatter、R.、「EPCのeGaN® FETの信頼性試験: フェーズ11テスト」、EPC Corp、米国カリフォルニア州エルセグンド、信頼性レポート。 [オンライン] ウエブサイト: https://epc-co.com/epc/jp/設計サポート/eGaNFETの信頼性/ReliabilityReportPhase7.aspx
- [38] Strittmatter, R., "GaN reliability for automotive: Testing beyond AEC-Q," IEEE APEC Conf., PSMA Industry Session, Anaheim, 2019.
- [39] Department of Defense Test Method Standard: Mechanical Tests Die Shear Strength, Mil-Std-883e (Method 2019), May 3, 2018. [Online]. Available: https://landandmaritimeapps.dla.mil/Downloads/MilSpec/Docs/MIL-STD-883/std883.pdf
- [40] AEC-Q200 REV D: Stress Test Qualification for Passive Components (base document), Automotive Electronics Council, June 1, 2010, [Online]. Available: www.aecouncil.com
- [41] AEC-Q200-005 Rev A: Board Flex Test, Automotive Electronics Council," June 1, 2010, [Online]. Available: www.aecouncil.com
- [42] Bernardini, F., et al., "Spontaneous polarization and piezoelectric constants of III-V nitrides," Physical Review B Volume 56, Number 16, October 15, 1997
- [43] Jakubiec、C.、Strittmatter、R.、Zhou、C.、「EPCのeGaN® FETの信頼性試験:フェーズ9テスト」、EPC Corp、米国カリフォルニア州エルセグンド、信頼性レポート。[オンラ イン] ウエブサイト: https://epc-co.com/epc/jp/設計サポート/eGaNFETの信頼性/ReliabilityReportPhase9.aspx
- [44] von Mises, R., "Mechanik der festen Körper im plastisch-deformablen Zustand." Nachrichten von der Gesellschaft der Wissenschaften zu Göttingen. Mathematisch-Physikalische Klasse. 1913 (1): 582–592