

GaNの信頼性と寿命の予測： フェーズ17



Siddhesh Gajare, Ph.D., Duanhui Li, Ph.D., Ricardo Garcia, Angel Espinoza, Jordan Green, Peter Tieu, Ph.D., Christopher Wong, Anthony Nguyen, David Wu, Shengke Zhang, Ph.D.

多くのアプリケーションで窒化ガリウム (GaN) デバイスの採用を加速するためには、信頼性統計の継続的な蓄積と、集積回路 (IC) を含む GaN デバイスの故障の基本的な物理の調査が必要です。このフェーズ17の信頼性レポートは、故障するまでテストするという方法を使った継続的な作業を文書化し、より複雑でミッション固有の動作条件下での GaN デバイスの信頼性を正確に予測することを目的としたより包括的で高度な寿命モデルを開発します。

フェーズ17の信頼性レポートに新たに追加した内容は次のとおりです

最新のフェーズ17の信頼性レポートでは、第一原理寿命モデルをさらに拡張し、より複雑な動作条件に対応することで、ミッション固有のアプリケーションにおけるより正確な寿命予測を可能にしています。加えて、この最新版では、複雑な物理ベースのモデルを、アプリケーション主導のユーザー・フレンドリーなさまざまな形式で提示することに重点を置いており、読者が概念を迅速に理解し、実際の使用条件に容易に適用できるようにしています。

セクション4.1では、さまざまなゲート-ソース間電圧や温度におけるゲートの漏れ電流の影響を主要な衝突電離メカニズムに組み込んだ拡張したゲート寿命モデルを紹介します。次に、7Vにおけるデューティ比ベースの繰り返し過渡ゲート過電圧定格を設定し、繰り返し誘導スイッチング・ゲート過電圧テスト・システムの開発を通じて検証しました。このシステムは、アプリケーション中の共振のような過渡ゲート過電圧ストレスを正確にモデル化します。

セクション4.2では、繰り返し過渡ドレイン過電圧仕様に対する詳細なテスト検証を提供し、ドレイン-ソース間の過電圧条件下での GaN デバイスの優れた耐性を示します。

セクション4.3.5は、第6世代と第5世代の GaN デバイスのパルス電流定格を、さまざまなゲート駆動電圧および温度で定量化するための最新の開発と測定結果を示す新しいセクションです。このテストは1億パルス以上まで拡張し、その後もパラメータ・シフトは最小限に抑えられたことを観測しました。この調査は、Lidar (光による検出と距離の測定) など、過渡的な大電流パルスを必要とするアプリケーションにおける GaN の活用への道を開くものです。

セクション4.4では、温度サイクル (TC) ・ストレスとパワー・サイクル (PC) ・ストレスの両方に適用可能な熱機械的ストレスの包括的な寿命モデルの開発について説明します。この改訂したセクションでは、チップ寸法、バンプ形状、TC テスト条件、上昇速度、プリント回路基板特性、およびプリント回路基板の厚さを組み込むことで、TC 寿命モデルの完全性がさらに向上します。加えて、このセクションでは、熱機械的考察と寿命モデルを、初めてパワー・サイクルに拡張します。PCでは、電源投入時のデバイスの自己発熱によって温度が上昇しますが、プリント回路基板の温度は遅れるため、デバイスからプリント回路基板への温度勾配は不均一になります。セクション4.4.4では、サイクル時間、PQFN パッケージ内の内部のチップ寸法と形状、2つの極端な温度間の温度変化など、PC ストレスに関係する重要なパラメータについて説明し、モデル化します。

目次

セクション1:フェーズ17の信頼性レポートの新しい焦点と追加事項	4
セクション2:故障するまでのテスト手法を使った摩耗メカニズムの特定	4
セクション3:故障するまでのテストの結果を使って、システム内のデバイスの寿命を予測	5
セクション4:摩耗メカニズム	5
4.1 ゲートの摩耗	5
4.1.1 ショットキー型pGaNゲートの信頼性の概要	5
4.1.2. ゲート信頼性の包括的な寿命モデルの開発	6
4.1.3. ゲートの繰り返し過渡過電圧仕様の開発	8
4.2. ドレインの摩耗	10
4.2.1. ドレインの摩耗メカニズムの概要	10
4.2.2. 動的 $R_{DS(on)}$ の物理ベース寿命モデルの開発	10
4.2.3. より高いドレイン-ソース間電圧ストレスの影響	12
4.2.4. 繰り返し過渡ドレイン過電圧仕様の開発	14
4.3. 電流密度の摩耗	16
4.3.1. 電流密度摩耗メカニズムの概要	16
4.3.2. 安全動作領域	16
4.3.3. 短絡耐性	17
4.3.4. PQFN封止 GaN HEMT の連続電流定格の開発	19
4.3.5. GaN HEMT のパルス電流定格の開発	20
4.4. 熱機械的摩耗	22
4.4.1. 熱機械的摩耗メカニズムの概要	22
4.4.2. 包括的TC寿命モデルの開発	22
4.4.3. 適切なアンダーフィルの選択基準	27
4.4.4. パワー・サイクル (PC) ・ストレスの寿命モデルの開発	29
4.4.5. 結論	33
4.5. 機械的応力による摩耗	34
4.5.1. 機械的応力の摩耗メカニズムの概要	34
4.5.2. チップスケール部品のチップせん断テスト	34
4.5.3. チップスケール部品の裏面圧力テスト	34
4.5.4. チップスケール部品の曲げ力テスト	34
4.5.5. PQFN部品の曲げテスト	35
セクション5:ミッション固有の信頼性予測	35
5.1. 太陽光発電用途特有の信頼性	36
5.1.1. はじめに	36
5.1.2. 太陽光発電の動向	36
5.1.3. 太陽光発電における故障するまでのテストの適用	36
5.1.4. ゲート・バイアス	37
5.1.5. ドレイン・バイアス	37
5.1.6. 温度サイクル	38
5.1.7. 結論	39
5.2. DC-DC用途固有の信頼性	39
5.2.1. はじめに	39
5.2.2. 故障するまでのテスト手法	39

5.2.3. ゲート・バイアス	39
5.2.4. ドレイン・バイアス	39
5.2.5. 温度サイクル	42
5.2.6. 結論	42
5.3. Lidar用途の信頼性	43
5.3.1. Lidarの信頼性の概要	43
5.3.2. 大電流パルス下での長期安定性	43
5.3.3. モノリシック GaN オン・シリコンのレーザー駆動IC	44
5.3.4. Lidar用途向けeToFレーザー・ドライバICの主なストレス要因	44
5.3.5. 論理電源電圧 V_{DD} の影響	44
5.3.6. レーザー駆動電圧 V_D の影響	47
5.3.7. 動作周波数の影響	48
6. 要約と結論	49
7. 参考文献	49

セクション1: フェーズ17の信頼性レポートにおける新たな焦点と追加事項

前回のフェーズ16の信頼性レポート[1]と比較して、最新版では、これまで開発してきた物理ベースの寿命モデルをさらに拡張し、より複雑な動作条件に対応することに重点を置いています。この拡張には、ゲート電圧ストレス、温度サイクルの熱機械的ストレス、パワー・サイクルの熱機械的ストレスの寿命モデルが含まれます。より包括的な寿命モデルの開発によって、ミッション固有の動作条件におけるより正確な寿命予測が可能になります。

フェーズ17の信頼性レポートの2つ目の焦点は、複雑な寿命モデルをさまざまなユーザー・フレンドリーな形式に変換したことです。これによって、読者は、モデルを実際の使用条件に容易に適用できます。加えて、この取り組みによって、データシートの過渡過電圧定格とパルス電流仕様を更新し、よりアプリケーション指向で、他のGaNメーカーと比べて競争力の高いものにすることができました。この結果は、EPCのGaNデバイスの優れた耐久性も実証しています。

セクション2: 故障するまでのテスト手法を使った摩耗メカニズムの特定

半導体の標準品質認定テストでは通常、データシートに指定されている制限値、またはその近くで、デバイスに長期間、または特定のサイクル数のストレスを与えることが含まれています。標準品質認定テストの目標は、テストされる比較的大きな部品グループの故障をゼロにすることです。

このタイプの品質認定テストは、非常に特殊なテスト条件に合格した部品のみを報告するため、不十分です。部品を故障点までテストすることで、データシートの制限間のマージン量を理解することができ、さらに重要なことに、本質的な故障メカニズムを理解できるようになります。本質的な故障メカニズム、故障の根本原因、および時間、温度、電氣的または機械的ストレスに対するこのメカニズムの動作を知ることで、より一般的な一連の動作条件における製品の安全な動作寿命を決定できます(半導体デバイスをテストするための故障するまでのテスト手法の優れた説明は、参考文献[2]を参照してください)。

すべてのパワー・トランジスタと同様に、主なストレス条件には、電圧、電流、温度、湿度、および、さまざまな機械的ストレスがあります。ただし、これらのストレス条件を適用する多くの方法があります。例えば、GaNトランジスタの電圧ストレスは、ゲート端子からソース端子(V_{GS})まで、および、ドレイン端子からソース端子(V_{DS})まで、に印加することができます。例えば、これらのストレスは、直流バイアスとして継続的に加えること、オンとオフを繰り返すこと、または、高速パルスとして加えることもできます。電流ストレスは、直流の連続電流またはパルス電流として加えることができます。温度ストレスは、所望の極端な温度で一定期間、デバイスを動作させることによって継続的に加えること、

または、温度をさまざまな方法で繰り返して加えることができます。

かなりの数の故障が発生する所まで、これらの各条件でデバイスにストレスをかけることによって、テスト対象のデバイスの主な固有の故障メカニズムを理解して決定することができます。妥当な長さの時間で故障を発生させるためには、ストレス条件は通常、製品のデータシートの制限を大幅に超える必要があります。ある過度のストレス状態が、通常の動作中に決して遭遇することがない故障メカニズムを引き起こさないように注意しなければなりません。過度なストレス条件が故障を引き起こさなかったことを確認するために、故障した部品は、故障の根本原因を特定するために、慎重に調べる必要があります。根本的な原因を検証することによってのみ、さまざまなストレス条件下でのデバイスの動作を完全に理解することができます。eGaN® デバイスの固有の故障モードについての理解が深まるにつれて、2つの事実が明らかになりました; (1) eGaN デバイスはSiベースのMOSFETよりも丈夫であり、(2) 極端な、または長期の電氣的ストレス条件下でeGaN デバイスの寿命を予測するとき、一般に、シリコンMOSFET固有の故障モデルを適用することはできません。

表2-1の左側の列には、アセンブリ中または動作中にトランジスタが受ける可能性のあるさまざまなストレス要因をすべてリストしています。左から3番目の列にリストしたさまざまなテスト方法を使って、デバイスを故障点まで導くと、固有の摩耗メカニズムを発見できます。このレポートの執筆時点で確認されている摩耗メカニズムを右の列に示します。

ストレス源	デバイス/ パッケージ	テスト方法	固有の摩耗メカニズム
電圧	デバイス	HTGB	絶縁破壊 (TDDB)
		HTRB	しきい値シフト
		ESD	$R_{DS(on)}$ シフト
電流	デバイス	直流電流 (EM)	エレクトロマイグレーション
			サーモマイグレーション
電流+電圧 (電力)	デバイス	SOA	熱暴走
		回路の短絡	熱暴走
電圧の立ち上がり/ 降下	デバイス	ハードスイッチングの信頼性	$R_{DS(on)}$ シフト
電流の立ち上がり/ 降下	デバイス	パルス電流 (Lidarの信頼性)	問題なし
温度	パッケージ	HTS	問題なし
湿度	パッケージ	MSL1	問題なし
		H3TRB	問題なし
		AC	問題なし
		はんだ付け性	はんだ腐食
		uHAST	柱状突起の形成/腐食
機械的/熱機械的	パッケージ	TC	はんだ疲労
		IOL	はんだ疲労
		曲げカテスト	層間剥離
		曲げカテスト	はんだ強度
		曲げカテスト	圧電効果
		チップのせん断	はんだ強度
		パッケージ圧力	フィルムの欠け
放射線	デバイス	ガンマ線	問題なし
		中性子線	問題なし
		重イオン照射	結晶変位ダメージとイオン化ダメージ

表2-1: GaNトランジスタに対するストレス条件と固有の摩耗メカニズム

セクション3:故障するまでのテストの結果を使って、システム内のデバイスの寿命を予測

複数の故障メカニズムまたはストレス源が関係している場合、一般に平均故障率 (FIT: Failure in Time) として知られるシステムの合計故障率は、以下に示すように、故障メカニズムごとの故障率の合計です [3,4]。

$$FIT_{Total} = FIT_1 + FIT_2 + \dots + FIT_i \quad \text{式3-1}$$

ここで、FIT は、平均故障率であり、通常は 10^9 (10 億) デバイス時間内の故障数を表し、下付き文字は、特定されたさまざまな故障メカニズムを示します。

FIT は、平均故障時間 (MTTF: mean time to failure) に反比例します。

$$FIT = \frac{10^9}{MTTF} \quad \text{式3-2}$$

したがって、式3-2を式3-1に代入すると、合計MTTFは式3-3で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_1} + \frac{1}{MTTF_2} + \dots + \frac{1}{MTTF_i} \quad \text{式3-3}$$

下付き文字は、興味のあるアプリケーションに関連する信頼性ストレス源に割り当てられます。式2-3に基づいて、最小の分母が最小のMTTFにつながり、したがって、全体の寿命を支配することが分かります。設計および動作中に最も弱い関係が最も考慮される必要があるため、どのストレス源が信頼性の制限要因であるかを理解することが重要です。

ほとんどのアプリケーションでは、デバイスは、ミッション寿命全体にわたって、さまざまなバイアス条件やさまざまな温度プロファイルの組み合わせなど、各種ストレス条件に曝されます。各ストレス条件は、 FR_a 、 FR_b 、...、 FR_n として指定される特定の故障率 (単位時間当たりの故障数) に対応します。各ストレス条件のそれぞれの継続時間は、 t_a 、 t_b 、...、 t_n として示されます。 $t_{total} = t_a + t_b + \dots + t_n$ が 10^9 時間であると仮定すると、合計故障数のFITの計算は、特定の信頼性ストレス条件に対して、次のように一般化されます。

$$FIT = FR_a \cdot t_a + FR_b \cdot t_b + \dots + FR_n \cdot t_n \quad \text{式3-4}$$

時間平均故障率FRは、

$$FR = FR_a \frac{t_a}{t_{total}} + FR_b \frac{t_b}{t_{total}} + \dots + FR_n \frac{t_n}{t_{total}} \quad \text{式3-5}$$

と計算できます。これに、以下の分数の演算時間を導入して簡略化すると、

$$n = \frac{t_n}{t_{total}} \quad \text{式3-6}$$

a、b、...、nと表記できます。a、b、...、nの合計は100%となり、式3-7で与えられます。

$$a + b + \dots + n = 100\% \quad \text{式3-7}$$

式3-5は次のように簡略化できます。

$$FR = FR_a \cdot a + FR_b \cdot b + \dots + FR_n \cdot n \quad \text{式3-8}$$

各サブストレス条件下での故障率は、同じ数の故障が発生した場合、デバイス寿命LT [4] に反比例することが知られています。この関係が式3-9です。

$$FR \propto \frac{1}{LT} \quad \text{式3-9}$$

式3-9を式3-8に代入すると、式3-10が得られます。

$$\frac{1}{LT_{Total}} = \frac{a}{LT_a} + \frac{b}{LT_b} + \dots + \frac{n}{LT_n} \quad \text{式3-10}$$

ここで、 LT_{Total} は合計の予測寿命、 LT_i は各ストレス条件の予測寿命です。

式3-10は、複数のストレス条件で構成されるミッション・プロファイルがシステム寿命にどのような影響を与えるかを示しています。分子内の分数の演算時間 (a、b、...、n) は、厳しいストレス条件、中程度のストレス条件、軽度のストレス条件で費やされた時間を表します。

セクション4: 摩耗メカニズム

4.1. ゲートの摩耗

4.1.1. ショットキー型pGaNゲートの信頼性の概要

ショットキー型pGaNゲートは、現在量産されている商用エンハンスメント・モード GaN HEMT において、最も広く使われているゲート構造です。ショットキー型pGaNゲートは通常、窒化チタン (TiN) 製のゲート電極と、Mg (マグネシウム) をドーパしたpGaNゲート層で構成されています。GaN HEMT と Si ベースのMOSFETのゲート構造には大きな違いがあるため、pGaNゲートの安定性と丈夫さはユーザーにとって大きな関心事となっています。

このセクションでは、故障するまでのテストを通じてゲートの基本的な摩耗メカニズムを理解した上で、物理ベースのゲート寿命モデルを第一原理から開発しました。このモデルは、ゲート・バイアス電圧を約25年のミッション寿命全体にわたって $6 V_{GS,Max}$ 以下に維持した場合、故障率が100万分の1 (1 ppm) 以下になると予測しています。この予測結果は、EPCの現場経験とも一致しています。

この新しいフェーズ17の信頼性レポートでは、ゲートの漏れ電流の伝導メカニズムを分析することによって、ゲート寿命モデルがさらに拡張され、電子注入の電流密度の電圧および温度の依存性が組み込まれました。これによって、さまざまな温度における平均故障時間 (MTTF: mean-time-to-fail) の活性化エネルギーを正確にモデル化することが可能になりました。

ショットキー型pGaNゲートに関する信頼性に関するもう一つのよくある疑問は、過渡過電圧の機能と耐性です。これは、推奨ゲート駆動電圧 (約5V) とデータシートの最大仕様 ($V_{GS,Max} = 6V$) の間のマージンが比較的小さいためです。最新のフェーズ17の信頼性レポートでは、1%のデューティ比係数で7Vの繰り返し過渡過電圧定格を規定しています。これは後

に、繰り返し誘導スイッチング・テスト回路の開発を通じて検証しました。

4.1.2. ゲート信頼性の包括的な寿命モデルの開発

ゲート摩耗のメカニズムを理解するため、EPC の各種 GaN HEMT に対し、さまざまな電圧と温度で時間依存の加速信頼性テストを実施しました。故障解析の結果、図4-1に示すように、ゲートの角と金属フィールド・プレートの間に位置するシリコン窒化物誘電体層の破壊が pGaN ゲート故障の主な原因であることが明らかになりました。

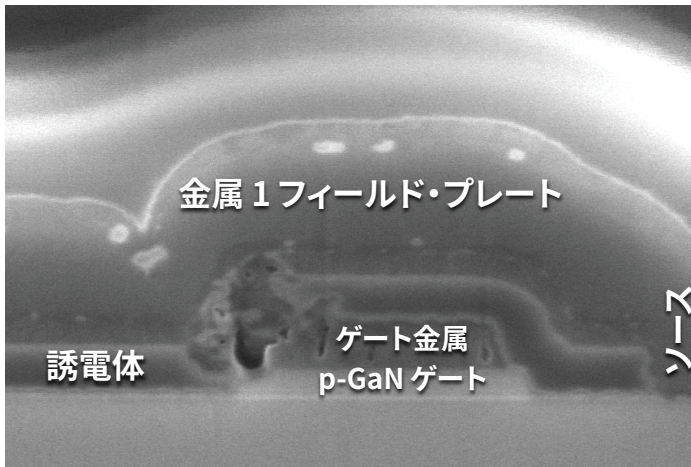


図4-1. ゲート故障の走査型電子顕微鏡 (SEM) 画像。ゲート金属とフィールド・プレート金属の間に絶縁破壊が観測されています。

シリコン窒化物絶縁破壊の故障モードを引き起こす主な摩耗メカニズムとして、衝突電離が特定されています[5]。図4-1に示す故障モードを説明するために、4段階のプロセスを開発しました。2次元電子ガス (2DEG) からの電子注入と、それに続く pGaN ゲート層内での加速が最初の段階です。pGaN ゲートに高い順方向ゲート・バイアス電圧 (V_{GS}) が印加されると、2DEG の電子がチャネルを完全に占有し、AlGaIn バリア層の「曲がった」伝導帯を越えて溢れ出す可能性があります。その後、注入された電子は、高い順方向電圧 V_{GS} の下で空乏化した pGaN ゲート層内で加速され、大きな運動エネルギーを獲得します[5]。高エネルギーで移動する電子が TiN ゲート金属/pGaN の界面で停止すると、結果として生じる衝撃によって衝突電離が起こり、電子-正孔の増倍が誘発されます。これは発光測定によって確認しています [6]。このように、TiN/pGaN 界面における衝突電離と電子-正孔の増倍が第2段階目を構成します。第3段階では、シリコン窒化物誘電体層内に正孔が蓄積されます。衝突電離によって生成された正電荷の正孔は、ゲート・ストレス時にゲート電極 ($+V_{GS}$ 以下) から接地電位にある金属フィールド・プレートへと移動します。この結果、正孔はシリコン窒化物誘電体層にトラップされ、ゲート・ストレスが続くにつれて正電荷密度が増加します。最終的に、トラップされた正孔密度がシリコン窒化物誘電体層の臨界電界を超えると、絶縁破壊が発生します。これ

が図4-1に示す故障モードです。4段階の衝突電離故障プロセスに基づき、物理ベースのゲート寿命モデルを第一原理から開発しました。

MTTF は、トラップされた正孔電荷が式4-1で定義されるシリコン窒化物誘電体層の臨界電荷密度 (Q_c) に達するタイミングを推定することによってモデル化できます。

$$MTTF = \frac{Q_c}{G} \quad \text{式4-1}$$

ここで、 G は電子-正孔の生成速度 ($s^{-1}cm^{-3}$) であり、式4-2で表されます。正孔は絶縁破壊の主な原因です。

$$G = \alpha_n \frac{J_n}{q} \quad \text{式4-2}$$

ここで、 J_n は電子電流密度 (A/cm^2) であり、順方向ゲート・バイアス時のゲートの漏れ電流に直接比例します。 q は電気素量 (クーロン = A-s)、 α_n は電子衝突電離係数 (cm^{-1}) であり、Chynoweth モデルによって式4-3で定義されます [7]。

$$\alpha_n = a_n e^{-\left(\frac{b_n}{E}\right)^m} \quad \text{式4-3}$$

E は、ゲート・バイアスによって駆動される垂直電界であり、 m は通常、1から2の範囲の指数です； a_n と b_n は温度に依存する衝突電離係数であり、Okuto-Crowell モデル [8] で記述でき、さらに式4-4と式4-5 [9] で定義されます。

$$a_n = a_{n,0} (1 + c\Delta T) \quad \text{式4-4}$$

$$b_n = b_{n,0} (1 + d\Delta T) \quad \text{式4-5}$$

ここで ΔT は、298 K (ケルビン単位) を基準とした温度差です [17-19]。

$a_{n,0} = 2.77 \times 10^8 cm^{-1}$ 、 $b_{n,0} = 3.20 \times 10^7 V/cm$ 、 $c = 3.09 \times 10^{-3} K^{-1}$ 、 $d = 5.03 \times 10^{-4} K^{-1}$ は、Okuto-Crowell モデル [8] に従った衝突電離係数の適合パラメータです。式4-1と式4-5を組み合わせると、MTTF は式4-6のようになります：

$$MTTF = \frac{qQ_c}{J_n a_{n,0} (1 + c\Delta T)} e^{\left(\frac{b_{n,0}(1+d\Delta T)}{E}\right)^m} \quad \text{式4-6}$$

まず、EPC2212 の時間に依存するゲートの信頼性テストを、室温 25°C で 8 V、8.5 V、9 V、9.5 V の4種の異なるゲート・バイアス電圧下で実施しました。 ΔT は 0 となり、式4-7のように簡略化した MTTF 式が得られます。

$$MTTF = \frac{qQ_c}{J_n a_{n,0}} e^{\left(\frac{b_{n,0}}{E}\right)^m} \quad \text{式4-7}$$

ここで m は 1.9、 $a_{n,0} = 2.77 \times 10^8 cm^{-1}$ 、 $b_{n,0} = 3.20 \times 10^7 V/cm$ です。

図4-2は、式4-7のゲート寿命の式が、さまざまなゲート・バイアスにおける測定したMTTFとよく一致することを示しています。さらに、ゲート・バイアスを最大ゲート定格電圧6V以下に25年間維持した場合、故障率は1ppm(100万分の1)以下になると予測されます。

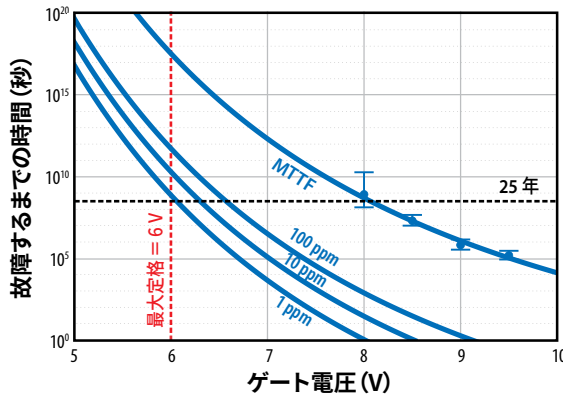


図4-2: 25°CにおけるEPC2212の V_{GS} に対するMTTF(およびエラー・バー)を、4つの異なる電圧レグについて示しています。実線は、衝突電離寿命モデルに対応しています。100 ppm、10 ppm、1 ppmにおける故障するまでの時間の外挿も示しています。

次に、EPC2057において、ゲート・バイアスを9.5Vに固定し、さまざまな温度におけるゲート信頼性の経時変化を評価しました。3種の異なる温度(-25°C、25°C、125°C)におけるワイブル分布のプロットが図4-3です。温度が-25°Cから25°Cに上昇すると、ゲート寿命は長くなり、活性化エネルギー(E_a)が負になることを示しています。しかし、温度がさらに上昇し続けて125°Cになると、ゲート寿命は短くなり、 E_a が正になります。これは、pGaNゲートのブレイクダウン故障の原因が、2つの相反する要因である可能性が高いことを示唆しています。

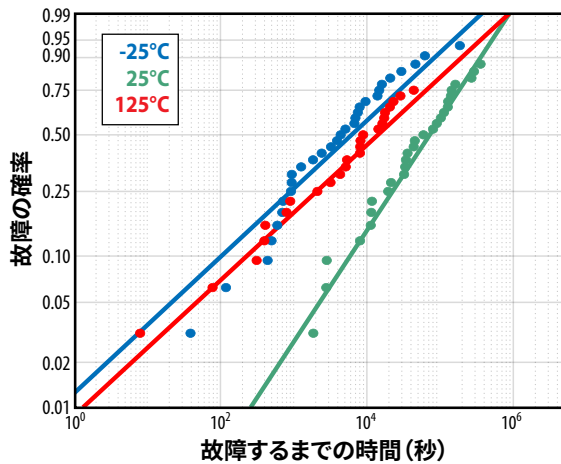
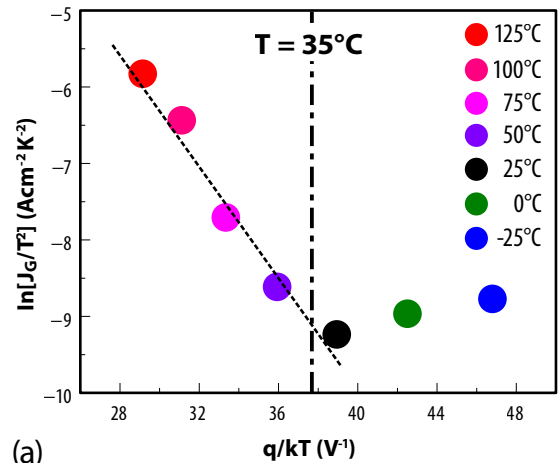


図4-3: 3種の異なる温度(-25°C、25°C、125°C、ゲート・バイアスは固定の9.5V)におけるEPC2057のワイブル分布のプロット。

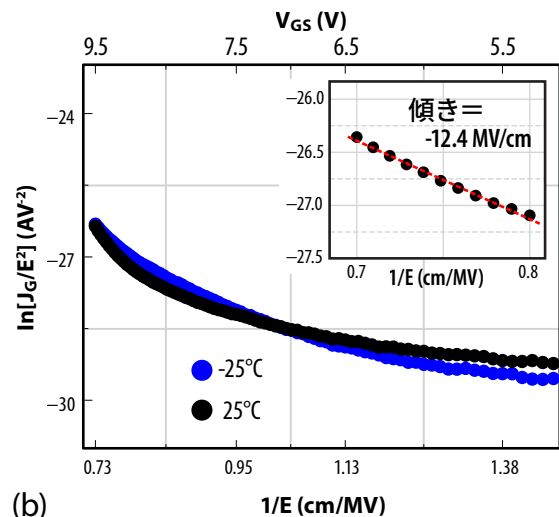
包括的なゲート寿命モデルを開発するためには、 J_n の電圧と温度の依存性を、さらに調査しなければなりません。 J_n は直接、順方向のゲート漏れ電流(I_G)に比例します。そこで、EPC2057のゲート漏れ電流をさまざまな温度と電圧で測定し、ゲートのI-Vの結果を[10]に報告しました。高温では I_G の顕著な温度加速が観測されており、熱イオン放出(TE: thermionic emission)が支配的な伝導メカニズムであると提案しています。これは、式4-8に示すように、リチャードソンの法則[11]によってモデル化できます。

$$J_{TE} = AT^2 e^{\left(\frac{-\phi_B}{kT}\right)} \quad \text{式4-8}$$

ここで、Aはリチャードソン定数、kはボルツマン定数、 ϕ_B は、電子がAlGaN/GaNヘテロ接合を越えるための障壁の高さです。図4-4(a)に示す適合線の傾きに基づくと、 ϕ_B は9.5V V_{GS} で0.45eVと計算できます。



(a)



(b)

図4-4: (a) 9.5V V_{GS} での-25°C~125°Cのリチャードソン・プロット; (b) -25°Cおよび25°CでのFN(Fowler-Nordheim、電子の電流と電界の関係)プロット。挿入した図は25°Cでの9V~9.5Vの線形近似を示しています。

式4-6と式4-8を組み合わせると、高温でのMTTFは次の式4-9のように表すことができます。

$$MTTF = \frac{qQ_c}{AT^2 a_{n,0}(1+c\Delta T)} e^{\left[\left(\frac{b_{n,0}(1+d\Delta T)}{E}\right)^m + \frac{\phi_B}{kT}\right]} \quad \text{式4-9}$$

図4-4 (a) で、リチャードソン・プロットは50°Cから125°Cまでの直線は適合線を示しており、TEが支配的な伝導メカニズムであることが確認できます。ただし、25°Cから-25°Cのデータ・ポイントは適合線から外れており、TEは、もはや I_G を担う主な伝導メカニズムではないことを示しています。したがって、35°Cが、主な I_G 伝導メカニズムがTEから他のメカニズムに移行するしきい値温度であると予測できます。図4-4 (b) のように、25°Cと-25°Cについて、 $\ln(J_G/E^2)$ を $1/E$ に対してプロットすると、 V_{GS} が9Vを超えるときに有意な分散が見られないことから、Fowler-Nordheim (FN) のトンネリングが主な伝導メカニズムであることが示唆されます [12]。FNトンネリングは式4-10でモデル化できます。

$$J_{FN} = \frac{q^2(m_e/m^*)}{8\pi h\phi_{eff}} E^2 e^{\frac{-8\pi\sqrt{2m^*(q\phi_{eff})^3}}{3hqE}} \quad \text{式4-10}$$

ここで、 ϕ_{eff} は有効な障壁の高さ、 h はプランク定数、 m^* は電子の有効質量です。低温におけるFNトンネリングの ϕ_{eff} は、高温におけるTEの ϕ_B と一致することが広く報告されています [13]。したがって、FNトンネリングの ϕ_{eff} には0.45 eVを採用します。FNの傾きが-12.4 MV/cmであることから、 m^* は約0.36 m_e と推定され、AlGaInで一般的に報告されている m^* の0.4 m_e と一致します [14]。

式4-6と式4-10を組み合わせると、式4-11のように、低温および高いゲート・バイアスでのMTTFが得られます。

$$MTTF = \frac{8\pi h\phi_{eff}Q_c}{q(m_e/m^*)E^2 a_{n,0}(1+c\Delta T)} e^{\left[\left(\frac{b_{n,0}(1+d\Delta T)}{E}\right)^m + \frac{8\pi\sqrt{2m^*(q\phi_{eff})^3}}{3hqE}\right]} \quad \text{式4-11}$$

式4-8と4-10に示すように電流密度項 (J_n) をさらに展開すると、式4-9と4-11のように包括的なゲート寿命モデルを開発できるようになります。T < 35°Cかつ $V_{GS} = 9.5$ Vの場合、 J_n は温度依存性が最小であるFNトンネリング伝導メカニズムによって支配されるので、ゲート寿命は衝突電離係数 (α_n) によって支配されます。注入されたホット・エレクトロンは格子散乱が少なくなり [7,9]、よりエネルギーの高い衝撃、より高い正孔生成率 (G)、および、より短いMTTFにつながります。図4-5は、式4-12によって計算した E_a が-25°Cから25°Cまで-0.19 eVと推定されることを示しています。高温では、フォノン散乱の増加によって α_n が減少し、注入された電子が十分なエネルギーを得ることができず、ゲートの摩耗が遅くなります。ただし、 I_G は高温で指数関数的に増加するため、注入される電子の量は桁違いに増加し、ゲートの摩耗が加速します。図4-5は、25°Cから125°Cの範囲で、ホット・エレクトロンの増加が α_n の減少を上回っていることを示しています。図4-5に

示すように、式4-12では、25°Cから125°Cの範囲で0.1 eVの正の E_a が測定されています。

$$MTTF \propto \text{Exp}(E_a/kT) \quad \text{式4-12}$$

包括的なゲート寿命のモデリングのより詳細な分析については、IEEE Electron Device LettersのEPCの寄稿を参照してください [10]。

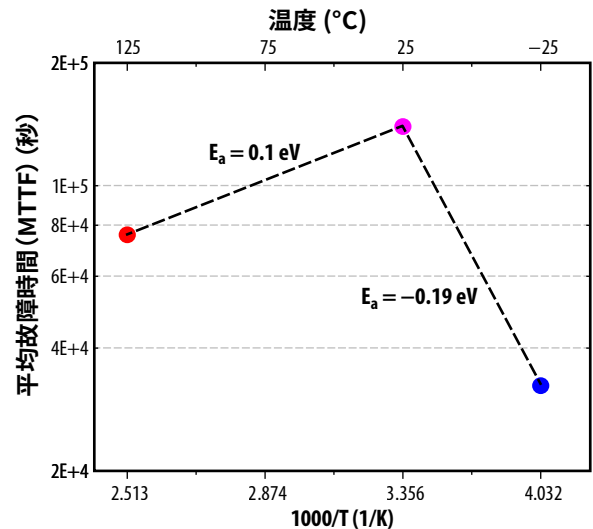


図4-5: EPC2057に対して $V_{GS} = 9.5$ Vでさまざまな温度において実験で測定した E_a 。

4.1.3. ゲートの繰り返し過渡過電圧仕様の開発

GaN HEMTでは、高周波・高速スイッチング変換の用途において、デバイスのオン時の過渡現象中にゲート過電圧スパイクが発生することがよく観測されます [15,16]。ゲート過電圧過渡時の振幅は主に、ゲート・ループのインダクタンスとスルーレート (V_{GS}/dt) によって決まり、これらは回路設計とプリント回路基板のレイアウトに密接に関連しています [17]。

図4-2は、ゲート駆動電圧が最大ゲート電圧定格の6Vを超えない場合、故障率がほぼゼロになると予測しています。これは、自動車、衛星、高度なエンタープライズ・サーバーといった非常に要求の厳しいアプリケーションにもかかわらず、ゲート故障が確認されていないEPCの現場での経験と一致しています。ただし、ユーザーからは、繰り返しゲート過電圧ストレス下における信頼性と耐性について頻繁に問い合わせがあります。このため、信頼性データによって裏付けられた繰り返し過渡ゲート過電圧仕様の開発が強く求められています。図4-2は、ゲートが7Vの連続ゲート・バイアスに曝された場合、故障率100 ppmでゲート寿命が 3.3×10^6 秒と推定されることを予測しています。一般的なミッション寿命である10年 (3.1×10^8 秒) と比べると、全寿命の1%強に相当します。この1%は、図4-6に示すように、スイッチング周期ごとに発生するデューティ比係数 (DC_{Factor}) に変換できます。

実際のアプリケーションでは、過渡ゲート過電圧プロファイルは図4-6に示す簡略化した波形で表すことができます。ここで、 T_S はスイッチング周期 (スイッチング周波数の逆数)

を表し、 T_0 は過渡過電圧リンギングの持続時間です。したがって、 DC_{Factor} は T_0 と T_S の比として定義できます。これは、GaN HEMTが、各スイッチング周期の1%にわたって $7V_{GS}$ の繰り返し過電圧スパイクに耐え、低い故障率を維持できることを示しています。

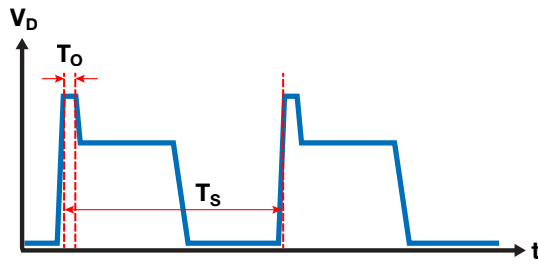
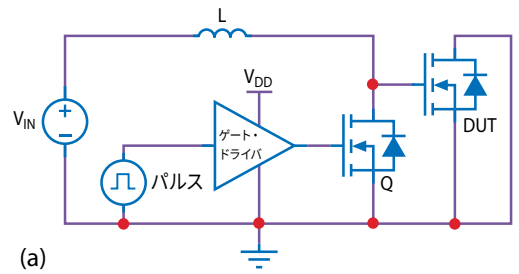


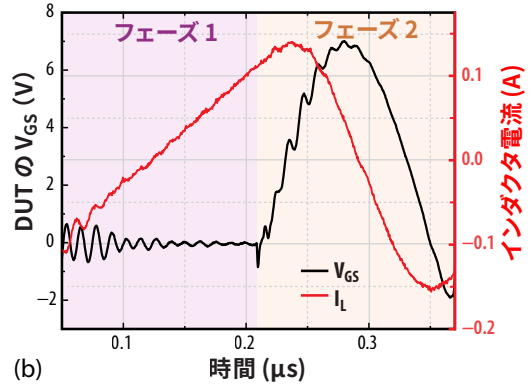
図4-6: T_0 (過電圧持続時間) と T_S (スイッチング周期) の比率によって定義される1%の DC_{Factor} の過電圧仕様の図。

1%の DC_{Factor} の過電圧仕様を検証するために、スイッチング用途で見られるゲート過電圧リンギング現象をエミュレートする誘導スイッチング・テスト・システムを開発しました。図4-7 (a) は、誘導スイッチング・テスト回路の回路図です。この回路の動作は、充電のフェーズ1と過渡のフェーズ2の2つのフェーズに分けられます。フェーズ1の間、図4-7 (a) のFET Qが指定した時間間隔 (t) の間、オンになり、その間に入力電圧 (V_{IN}) がインダクタ (L) を充電し、図4-7 (b) に示すようにインダクタ電流が増加します。次に、FET Qがオフになると、インダクタ (L) と寄生容量 (C) によって、LC共振が発生し、図4-7 (b) に示すように、ピーク電圧が7Vの半正弦波過渡過電圧スパイクが発生します。時間間隔 (t) は、 $V_{GS} > 6V_{GS,Max}$ のパルス幅がすべての部品において一貫して約70 nsに維持するように調整します。このテストのスイッチング周波数は約3 MHzです。

ドレイン-ソース間電圧 (V_{DS}) 定格が50V~200Vの4種類のGaN HEMT製品に対して、製品ごとに3個の部品を25°Cでピーク電圧 V_{GS} が7V、1兆サイクルのパルスの印加テストを実施しました。図4-8は、各製品の代表的なデバイスのしきい値電圧 (V_{TH}) とオン抵抗 ($R_{DS(on)}$) の変化を示しています。デバイス特性は、テスト前と1兆サイクル到達後に評価しました。図4-8に示すように、ストレス印加後の測定値は、各製品のデータシートの制限値を大幅に下回っています。



(a)



(b)

図4-7: (a) 誘導性ゲート・スイッチングのテスト・システムの簡略化回路図、(b) ピーク電圧7Vで測定したインダクタ電流と V_{GS} の波形。

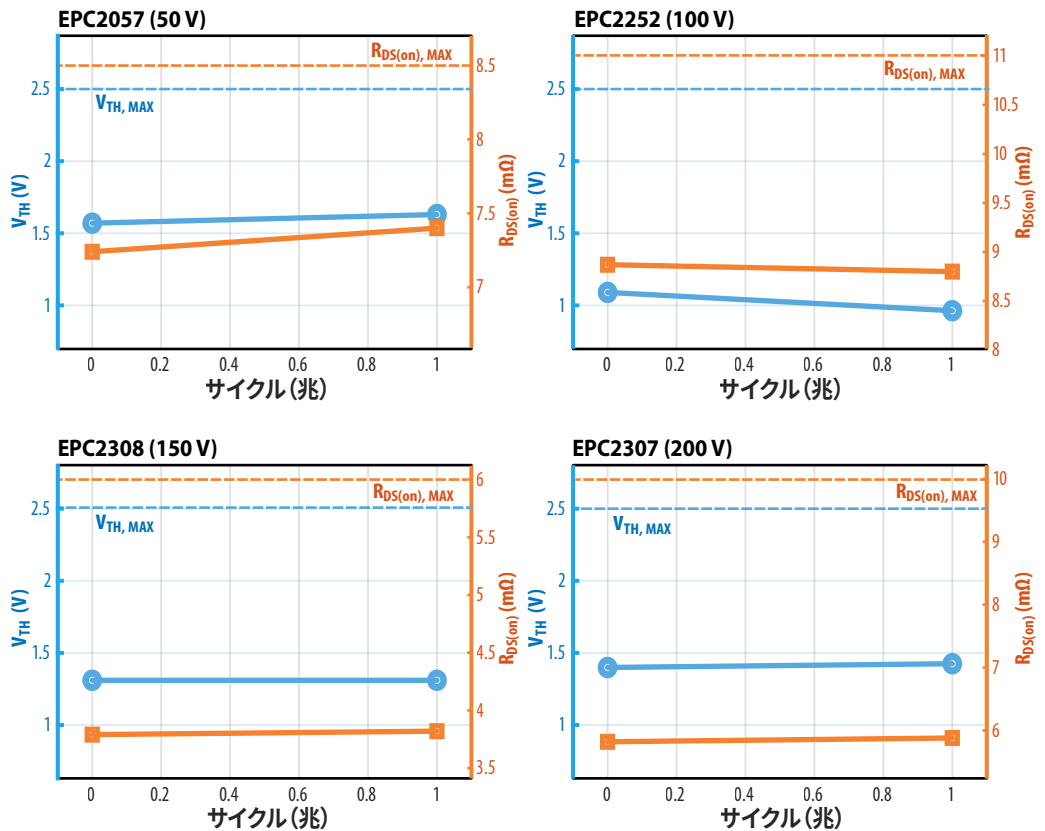


図4-8: 代表的な4種類のGaN HEMT製品 (EPC2057、EPC2252、EPC2308、EPC2307) の1兆ゲート過電圧スパイク (ピーク電圧7V) のストレス前後のパラメータ比較。

さらに、代表的な2種の製品 (EPC2057とEPC2307) に、接合部温度を125°Cに維持すると同時に、 V_{GS} のピーク電圧7Vの1兆サイクルのパルスのストレスを追加で印加しました。図4-9は、125°Cで追加の1兆サイクルのストレスを加えた後の静的パラメータ測定結果です。この結果では、顕著な変化は見られませんでした。

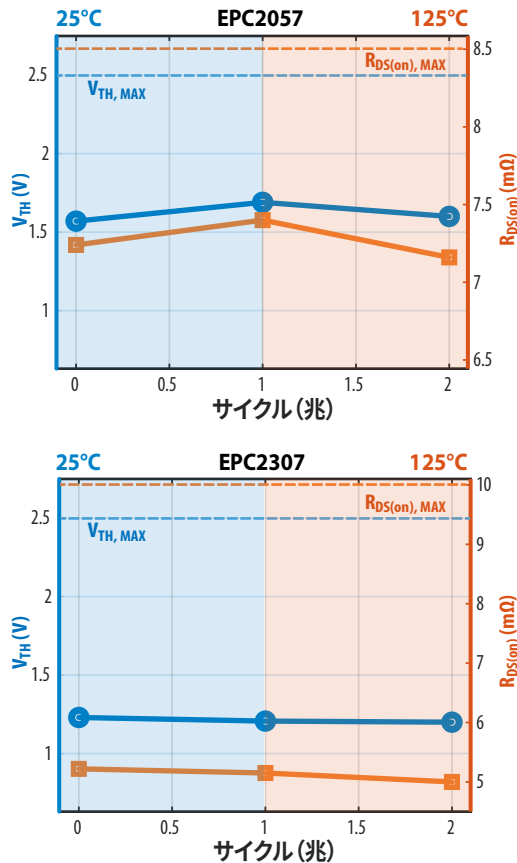


図4-9: EPC2057とEPC2307の25°C(青色の下地)および125°Cの強制加熱(オレンジ色の下地)でピーク電圧7Vの2兆パルスのストレス前後のオン抵抗($R_{DS(on)}$)としきい値電圧(V_{TH})のパラメータ比較。

このレポートの執筆時点で、合計12個のGaN HEMTが、ピーク・ゲート電圧7Vで合計15兆パルスのストレスに曝されています。各デバイスは、 $V_{GS} > 6V$ で約70 nsの一定時間間隔でテストしたため、合計ストレス時間は約 1.1×10^6 秒と計算され、これは、故障率100 ppmで静的ゲート・バイアス7Vにおいて予測ゲート寿命(3.3×10^6 秒)の1/3に相当します。目に見えるパラメータのシフトは観測されていないため、GaN HEMTが測定可能な任意のパラメータ劣化を示すまでの寿命には、まだかなりの余裕があることが示唆されます。提案している1%の DC_{Factor} 仕様の適用可能性をさらに検証するためのテストが進行中です。これまでの誘導性ゲート過電圧スイッチング・テストの結果は、1%の DC_{Factor} で7Vの繰り返し過渡ゲート過電圧定格をサポートしています。

1%の DC_{Factor} の過電圧仕様を設定する方法を示すための例を示します。コンバータが1 MHzのスイッチング周波数($T_S = 1 \mu s$)で動作する場合、ゲートのループ・インダクタンスが最適化されていないため、ゲートのオン時の過渡中に繰り返し過電圧スパイクが発生します。このスパイクの V_{GS} のピーク電圧は7Vで、 V_{GS} が6Vを超える時間は8 nsです。この8 nsを T_S の1 μs で割ると0.8%となり、これは1%の DC_{Factor} を下回ります。したがって、10年間の連続動作後でも、故障率は100 ppmを大幅に下回ると予想されます。

4.2. ドレインの摩耗

4.2.1. ドレインの摩耗メカニズムの概要

動的オン抵抗($R_{DS(on)}$)は、GaN HEMTが高いドレイン-ソース間バイアス・ストレスに曝されたときの信頼性に関する最も一般的な懸念事項の1つです。動的 $R_{DS(on)}$ とは、デバイスに高いドレイン-ソース間電圧(V_{DS})を加えたときに、GaN HEMTのオン抵抗が増加する状態を指します。

このセクションでは、同様の故障するまでのテスト手法を、ドレイン関連の摩耗メカニズムの調査にも使います。動的 $R_{DS(on)}$ の原因となる基本的なメカニズムを理解した後、電圧、温度、周波数、電流などのさまざまなパラメータに対する動的 $R_{DS(on)}$ のシフトを予測するために、包括的な物理ベースのドレイン寿命モデルを第一原理から開発しました。

GaN HEMTは、高いスイッチング周波数と高速スルーレートを特徴とする高度な用途への導入がますます増えています。このため、繰り返し過渡ドレイン過電圧ストレス下における信頼性と耐性は、ユーザーから頻繁に寄せられる信頼性に関する質問の1つとなっています。このセクションの後半では、抵抗性ハードスイッチング・テスト回路を使って、同様のデューティ比ベースの繰り返しドレイン過電圧仕様を開発しました。この仕様は、その後、誘導性スイッチング・テスト回路の開発によって検証しました。

4.2.2. 動的 $R_{DS(on)}$ の物理ベース寿命モデルの開発

以前の信頼性レポート[1]で説明したように、動的 $R_{DS(on)}$ の故障モードの主なメカニズムは、高電界領域またはその近くでの電子トラップであり、ドリフト領域内の2DEG電子の枯渇につながります。図4-10は、1~2 μm の光の範囲で熱放出を示すEPC2016C (GaN HEMT)の拡大画像です。このような波長範囲で観測したこれらの放出は、ホット・エレクトロン・メカニズムと一致しています。この放出をデバイス・レイアウトに合わせて調整した後、これらのホット・エレクトロン放出は、高いドレイン-ソース間バイアス下で最高の電界が存在する領域で発生することが分かりました。この重要な発見は、動的 $R_{DS(on)}$ を最小化するためにピーク電界を注意深く管理する次世代GaN HEMTの開発につながりました。このため、最新世代のGaN HEMTでは、動的 $R_{DS(on)}$ は、ほとんどありません。

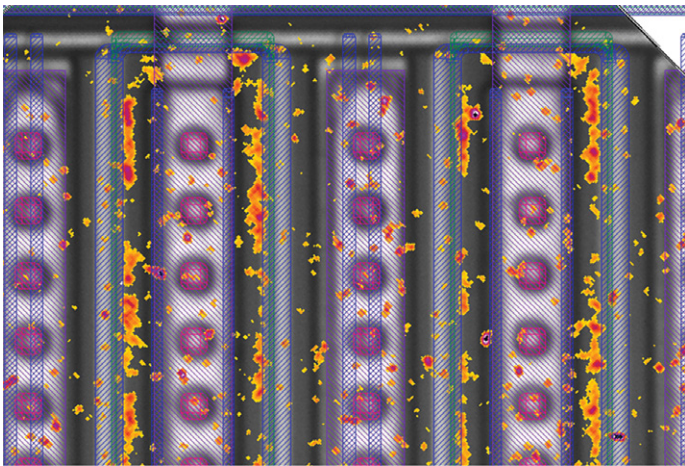


図4-10: GaNトランジスタのEPC2016Cの拡大画像。ホット・エレクトロンと一致する波長1~2 μmの短波赤外光領域 (SWIR: short-wave infrared light range) での発光を示しています。SWIR発光 (赤色からオレンジ色) は、通常 (可視波長) の顕微鏡画像と設計フォトマスクの半透明画像 (紫色) に重ねて表示しています。

動的 $R_{DS(on)}$ の原因となる基本的な摩耗メカニズムを理解した後、GaN HEMTの動的 $R_{DS(on)}$ の上昇を説明する包括的な寿命モデルを開発しました。このモデルも、ハードスイッチング・テスト条件下での第一原理から導き出しました。このモデルは、ホット・エレクトロンが表面電位を越えて誘電体層 (Si_3N_4 など) の伝導帯 (電界が最も高い場所) に注入されるという仮定に基づいています。図4-11は、GaN層/AlGaIn障壁層/ Si_3N_4 誘電体層の界面におけるバンド構造です。よりエネルギーの高い電子が障壁を乗り越えて誘電体層にトラップされると、トラップされた電荷 (Q_S) は2DEG内の電子に対して追加の静電遮蔽力を及ぼし、動的障壁の高さが高くなります。障壁の高さがさらに高くなると、他のエネルギーの高い2DEG電子がトラップされることが妨げられ、自己制限的なトラップ・プロセスにつながります。これらのホット・エレクトロンはハードスイッチング遷移中に生成されるため、高い注入電流と高電界の過渡的組み合わせによって、高エネルギー領域で長い裾野を持つホット・キャリアのエネルギー分布が生じます。

この自己制限的な電子トラップ率 $\frac{dQ_S}{dt}$ は、エネルギー障壁 $\phi_{bi} + \beta Q_S$ で囲まれた電子密度分布関数 ($f(E)$) の無限大までの積分によってモデル化でき、実質的に、電子はエネルギー障壁を乗り越えられず、式4-13のようにトラップ・プロセスは最終的に停止します。

$$\frac{dQ_S}{dt} = A \int_{\phi_{bi} + \beta Q_S}^{\infty} f(E) dE \quad \text{式4-13}$$

ここで、電子密度分布 $f(E)$ は、式4-14 [16,18] に示すように、電子エネルギー (E) に指数関数的に依存します。

$$f(E) dE \propto E e^{-E/qF\lambda} dE \quad \text{式4-14}$$

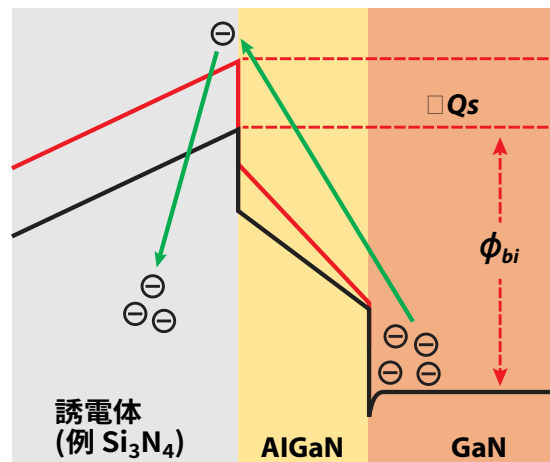


図4-11: 自己制限的なトラップ・プロセスの図。最もエネルギーの高い電子がトラップされた後に障壁高さが高くなります。動的障壁の変化は、 $\beta \times Q_S$ として定量化できます。ここで、 β は、動的障壁高さの増加とトラップされた電荷 (Q_S) との相関関係を示す幾何学的係数です。

ここで、 f は電界、 q は電子の電荷、 λ は電子の平均自由行程です。したがって、 Q_S を解くと、式4-15になります。

$$\lambda = v_{th} \tau_{LO} \propto A \sqrt{kT} \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \text{式4-15}$$

印加した V_{DS} が $V_{DS,Max}$ の120%を超えない一般的な動作条件下では、 Q_S は2DEGに組み込まれた圧電電荷 Q_p よりも大幅に小さくなるのが予想されます [2,3]。加えて、電子は一度トラップされると永久にトラップされる (デトラッピングされない) という仮定もあります。したがって、動的 $R_{DS(on)}$ シフト、すなわち $\Delta R_{DS(on)}/R_0$ を定義する最終的な式は、式4-16で示されます。

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \sqrt{T} \log(t) \quad \text{式4-16}$$

ここで、 V_{DS} はドレイン・ソース間電圧、 T はデバイスの接合温度 (ケルビン単位)、 t はテスト時間 (分) です。数学モデルのその他のパラメータは、ドレイン電圧と温度の範囲にわたって測定結果に適合させました。 a は単位のない適合パラメータ、 b は $2.0E-5 (K^{-1/2})$ であり、 $\hbar\omega_{LO}$ は 92 meV (ホット・エレクトロンによって散乱される LO フォノンのエネルギー・レベルに対応)、 V_{FD} は第5世代 (Gen5) の100 V製品のみで100 V、 a は10 Vです。

したがって、ハードスイッチング条件下での動的 $R_{DS(on)}$ シフトは、テスト時間の対数 ($\log-t$) に対する線形関係でモデル化できます。図4-12は、最大ドレイン・ソース間電圧定格が100 V ($V_{DS,Max} = 100$ V) の第5世代 GaN HEMTであるEPC2045の動的 $R_{DS(on)}$ の電圧と温度の依存性を示しています。この結果は、測定データ点が対数-時間寿命予測に従っていることを示しており、式4-16の寿命モデルの有効性を実証しています。

図 4-12 の上のグラフでは、EPC2045 デバイスを 25°C で、60 V~120 V のドレイン-ソース間電圧を印加してテストしました。この結果は、動的 $R_{DS(on)}$ がドレイン-ソース間電圧 (V_{DS}) の関数として増加することを示しています。 V_{DS} が大きくなると、ピーク電界が増加し、ホット・エレクトロンのトラップ効果が加速され、時間の経過と共に動的 $R_{DS(on)}$ の上昇がより顕著になります。下のグラフは、25°C、75°C、125°C の3つの異なる温度にわたって 120 V でバイアスしたときの $R_{DS(on)}$ の時間的変化を示しています。直感に反する結果ですが、動的 $R_{DS(on)}$ 効果は、高温よりも低温で顕著になることを示しており、これはホット・キャリア注入理論と一致しています。温度が低いほど、これらの高エネルギー電子は、LO フォノンからの散乱イベントの間をより長く移動することができ、与えられた電界の下で、より大きな運動エネルギーを得ることができます。ホット・エレクトロンがより高いエネルギーまで加速されると、電荷がトラップされやすくなるより深い層まで到達する可能性があります。この発見は、デバイスを最大ドレイン-ソース間電圧と最大温度で長時間テストする高温逆

バイアス (HTRB: high temperature reverse bias) などの従来のテスト方法では、デバイスの信頼性を判断するために十分ではない可能性があることを示しています。

このモデルを使うと、ユーザーは、以下の観測結果に基づいて、ドレイン電圧、温度、スイッチング周波数、スイッチング電流の4つの主な入力変数の関数として長期的な $R_{DS(on)}$ の増加を予測できます。

- $R_{DS(on)}$ の経時的増加
- $R_{DS(on)}$ の経時的傾きは負の温度係数を持ちます (つまり、温度が高いほど傾きが小さくなります)
- スwitching 周波数は、傾きには影響しませんが、わずかな垂直オフセットが発生します
- スwitching 電流は、傾きに影響を与えません
- 誘導性ハードスイッチングと抵抗性ハードスイッチングの差は無視できます

4.2.3. より高いドレイン-ソース間電圧ストレスの影響

トラップした電荷の量が 2DEG で利用可能な電子数に近づく場合 (表面にトラップした電荷 (Q_S) が 2DEG の内蔵圧電電荷 (Q_P) に近づく場合)、式 4-16 を導き出すために使った単純化した仮定は、もはや有効ではありません。この状況は、デバイスが設計限界をはるかに超える電圧に曝されたときに発生する可能性があります。図 4-13 は、75°C と 125°C で最大 150 V までテストした EPC2045 デバイスの結果です。単純な $\log(\text{時間})$ 依存性で発生する直線外挿が、もはや適用できないことに注意してください。 Q_P のごく一部だけがトラップされて Q_S に変換されるという単純化した仮定を取り除くと、式 4-17 に示す結果が得られます。拡張したパラメータ・リストを使って式 4-17 を計算すると、図 4-13 の実線の近似線が得られ、この物理ベースのモデルの有効性と適用性のさらなる根拠が提供されます。

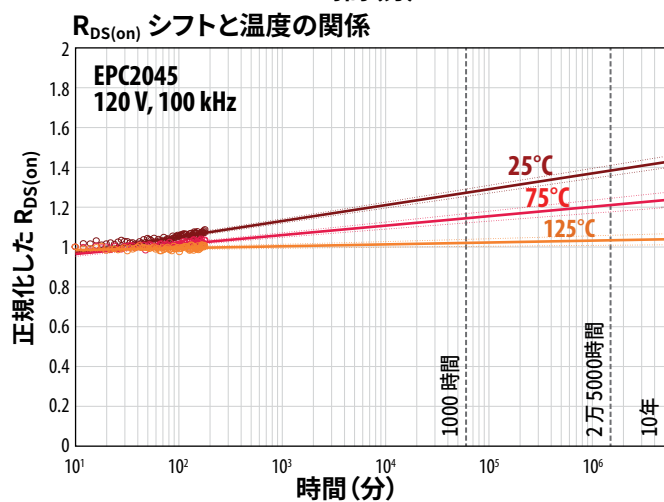
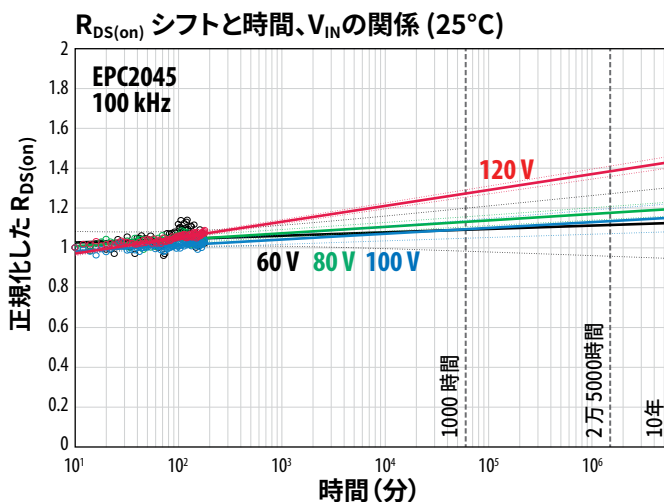


図 4-12: さまざまな電圧ストレス・レベルと温度での第 5 世代 GaN トランジスタ EPC2045 の $R_{DS(on)}$ の経時変化。上図は、デバイスを 25°C、電圧 60 V~120 V でテストした結果。下図は、さまざまな温度での 120 V における $R_{DS(on)}$ の変化。

$$\frac{\Delta R}{R} = a_1 \left[\frac{a_2 \Psi \log(1 + a_3 t / \Psi)}{1 - a_2 \Psi \log(1 + a_3 t / \Psi)} \right]$$

ここで;

$$a_1 \equiv \frac{C}{Q_P} \quad a_2 \equiv \frac{1}{Q_P} \quad a_3 \equiv B$$

式 4-17

パラメータの拡張リストは以下です:

- $a_1 = 0.6$ (単位なし)
- $a_2 = b/a_1$ (ここで、 $b = 2.0E-5 \text{ K}^{-1/2}$ 、[19]より)
- $a_3 = 1000 \text{ (K}^{1/2} \text{分}^{-1}\text{)}$
- $b = 2.0E-5 \text{ (K}^{-1/2}\text{)}$
- $\hbar\omega_{LO} = 92 \text{ meV}$
- $V_{FD} = 100 \text{ V}$ (第5世代の 100 V 製品のみ)
- $\alpha = 10 \text{ (V)}$
- $T =$ デバイス温度 (K)
- $t =$ 時間 (分)

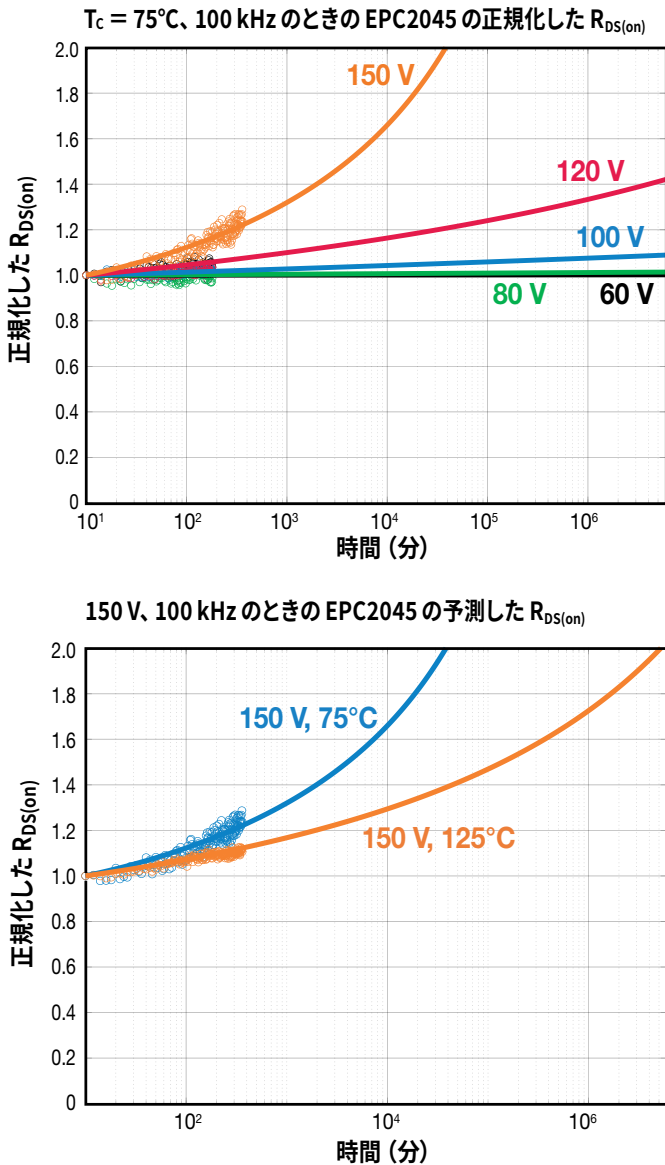


図4-13: ハードスイッチング回路内の100 VのEPC2045を、設計定格の150%までのさまざまな電圧(上図)を印加したとき、同じく設計定格の150%で2種の異なる温度(下図)で動作させたときの図。実線はモデル予測値、点は測定点を表しています。

ドレイン-ソース間の定格電圧200 VのGaN HEMTについても同様の解析を実施しました。得られた変数は以下のとおりです:

- $a_1 = 0.6$ (単位なし)
- $a_2 = 2.8 \cdot b/a_1$ (ここで、 $b = 2.0E-5 K^{-1/2}$)
- $a_3 = 1000 (K^{1/2} \text{分}^{-1})$
- $b = 2.0E-5 (K^{-1/2})$
- $\hbar\omega_{L0} = 92 \text{ meV}$
- $V_{FD} = 210 \text{ V}$ (第5世代の200 V製品のみ適用)
- $\alpha = 25 \text{ (V)}$ (第5世代の200 V製品のみ適用)
- $T =$ デバイス温度 (K)
- $t =$ 時間 (分)

図4-14は、このモデルと、200 Vデバイスの測定値との比較です。上の図は、第5世代の200 V定格のEPC2215に対する3種の電圧における正規化した $R_{DS(on)}$ を示しています。最高電圧の280 Vは、最大定格より40%高い値です。下の図は、2種の異なる温度と最大定格電圧におけるモデルと比較した測定値です。

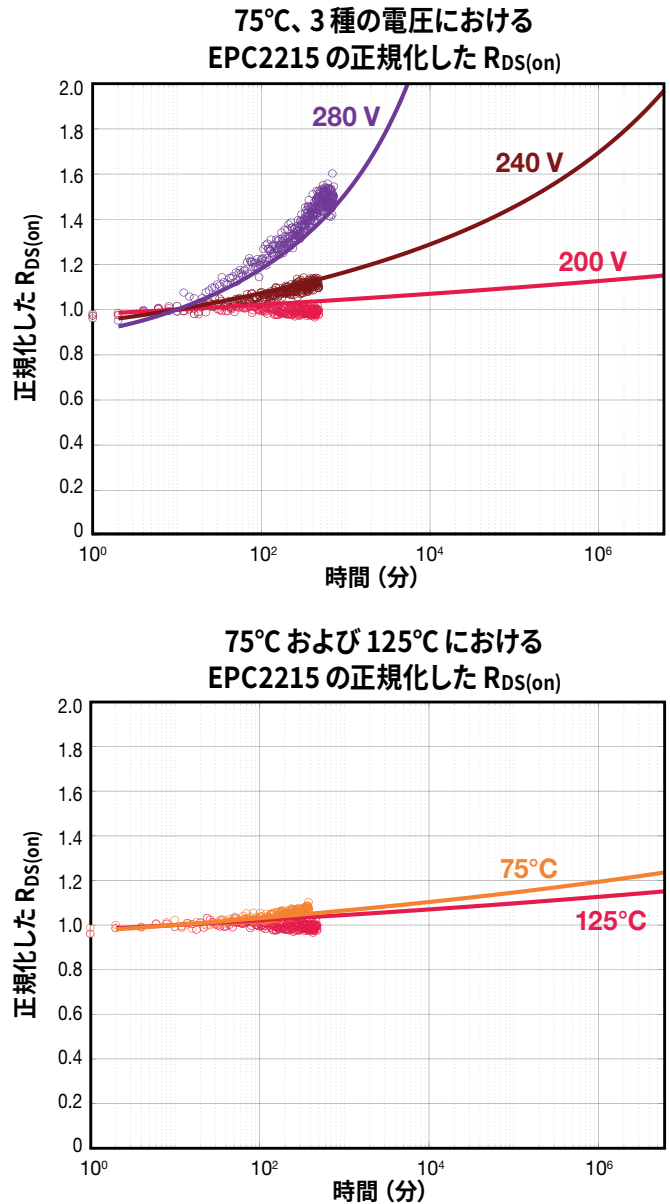


図4-14: (上図) 3種の電圧における200 VのEPC2215の正規化した $R_{DS(on)}$ 。280 Vは最大定格電圧よりも40%高いことに注意してください。(下図) 75°Cおよび125°C、200 VにおけるEPC2215の正規化した $R_{DS(on)}$ 。実線は200 Vデバイスの変数を使ったモデルの結果であり、点は実際の測定値です。

4.2.4. 繰り返し過渡ドレイン過電圧仕様の開発

過渡ドレイン電圧のオーバーシュートは、高スルーレートおよび高速スイッチング用途の GaN ベースのコンバータにおいてよく見られます。GaN のサプライヤたちの過渡過電圧仕様の調査が JEDEC JC-70 委員会によって実施され、JEP186 [20] で発表されました。ほとんどの過渡過電圧仕様では、これをデバイスの耐性指標として説明しています。さらに、それらの多くは、ドレイン電圧オーバーシュートを単一のまれなイベントまたは非定常な発生と見なしています。このため、アプリケーション・エンジニアがこれらの仕様を自身の設計に効果的に実装することは困難です。GaN HEMT には、アバランシェ・メカニズムがないため、データシートにアプリケーション主導でユーザー・フレンドリーな繰り返し過渡オフ状態のドレイン過電圧仕様を記載することは、GaN 技術の一般的な採用にとって重要です。

抵抗性ハードスイッチングのテスト・システム [1,15] を使って、連続するドレイン・オーバーシュートのストレス下における動的 $R_{DS(on)}$ シフトを調査しました。このシステムは 100 kHz で動作し、85% の時間で GaN の被試験デバイス (DUT: device under test) を規定のオフ状態ドレイン電圧で逆バイアスします。故障時間の判定にあたっては、想定される 25 年間のストレス印加後、 $R_{DS(on)}$ の初期値と比較して、 $R_{DS(on)}$ が 20% シフトした時点が故障基準としました。式 4-14 は、現場でモニターした $R_{DS(on)}$ が初期値 (R_0) に対して 20% 以上シフトしたときの故障するまでの時間を外挿するために使われます。このアプローチは、一般的なデータシートに記載されている最大 $R_{DS(on)}$ 制限よりも厳しくなっています。

100 V の第 5 世代 GaN 製品群は、抵抗性ハードスイッチングのテスト回路を使って、 $V_{DS,Max}$ の 120%、および一般的なミッション温度である 75°C の接合部温度でテストしました。最初の第 5 世代のドレイン・ソース間電圧定格 100 V の GaN 製品である EPC2045 を、このような加速ハードスイッチング条件下でテストしました。図 4-15 がテスト結果です。90% の上限信頼水準を考慮すると、DUT は約 2×10^5 分で 20% の $R_{DS(on)}$ シフト限界を超えると予測されます。寿命の外挿は対数時間関係に基づいています。

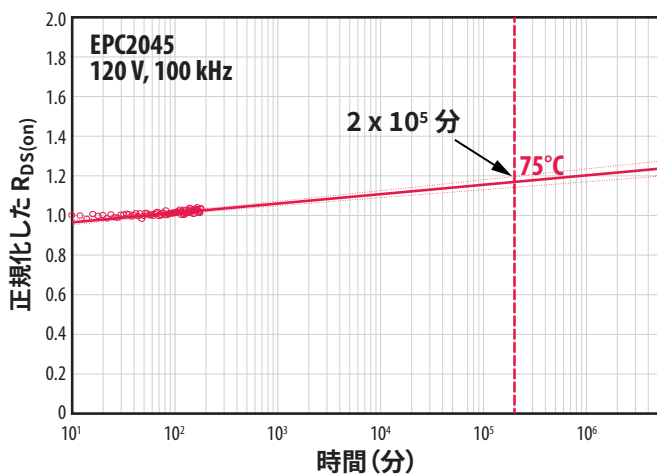


図 4-15: 第 5 世代の定格 100 V の代表的な GaN トランジスタである EPC2045 デバイスの $R_{DS(on)}$ の変化。120 V、75°C でテストしています。上限信頼水準の 90% を考慮すると、 2×10^5 分で $R_{DS(on)}$ が 20% を超えると予測されます。

ここで、これは、実際の予測寿命の見積り約 1×10^6 分よりも保守的な推定故障時間であることに注意してください。85% を乗じると 1.7×10^5 分となり、これは DUT が 120 V、75°C の条件下で継続的にオフ状態にバイアスされているときの全寿命を表します。全体の予測寿命が 25 年 (1.3×10^7 分) であることと比較すると、これは、ミッションにおける全寿命の約 1.3% に相当します。余裕を持たせるため、25 年の 1% に丸めました。これによって、全寿命に基づく過電圧仕様は 1.3×10^5 分となります。

全体の時間ベースの仕様を検証するため、EPC2218、EPC2071、EPC2302、EPC2204 を含む新しい 100 V 定格の GaN 製品にも同じテスト条件を適用しました。図 4-16 に、記載されている製品のテスト結果をまとめました。すべての製品が 1.3×10^5 分の寿命を上回る性能を示すことが予測されます。

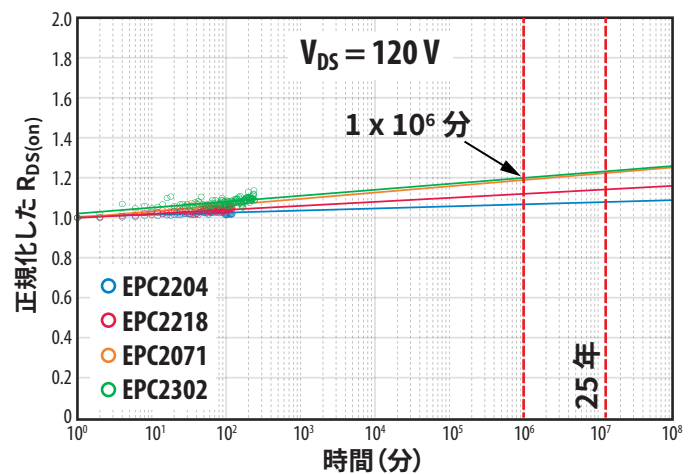


図 4-16: 代表的な GaN トランジスタである EPC2204、EPC2218、EPC2071、EPC2302 の $R_{DS(on)}$ の変化。定格電圧は 100 V で、120 V、75°C でテストしました。これらのトランジスタは、 $R_{DS(on)}$ シフトが悪くても 1×10^6 分で 20% 以下になると予測されており、EPC2045 に基づく寿命 2×10^5 分を大幅に上回っています。

この全体の時間ベースの仕様は、各スイッチング周期内で繰り返し発生するより短い期間にスケールリングできます。したがって、この繰り返し定格を指定する別の方法は、スイッチング周期に対する各サイクルの過電圧期間の比率を計算することです。これは、最初に説明した 1% のスケールリング係数です。過電圧スパイクのデューティ比を計算することと同等です。

例えば、コンバータが 100 kHz (スイッチング周期当たり 10 μ s に相当) で動作する場合、GaN デバイスは 25 年間の寿命期間中、スイッチング周期ごとに 100 ns の持続時間で 120 V の過電圧スパイクを繰り返し発生しても耐えられることが示唆されます。この数学的關係は式 4-18 で示され、図 4-17 でさらに詳しく説明しています。

式 4-18

$$\text{オーバーシュートのデューティ比} = \frac{75^\circ\text{C での } 120\% \text{ の過電圧持続時間 } (T_0)}{\text{スイッチング周期 } (T_s)} \leq 1\%$$

ここで、 T_0 は各スイッチング周期内の過電圧持続時間、 T_s はスイッチング周期です。

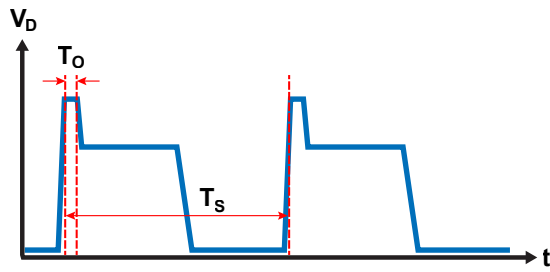
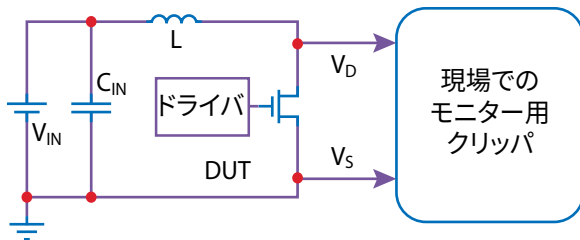


図 4-17: デューティ比の 1% のオーバーシュート過電圧仕様の図。1% は T_0 (過電圧持続時間) と T_S (1 スイッチング周期) の比率です。

この新たに提案した過電圧仕様規定方法を検証するために、クランプしていない誘導スイッチング (UIS: unclamped inductive switching) 回路を開発しました[18]。図 4-18 は、UIS によって生成された過電圧パルスです。



$V_{DS, PEAK} = 120 \text{ V}$ 、 100 kHz 、 75°C のとき

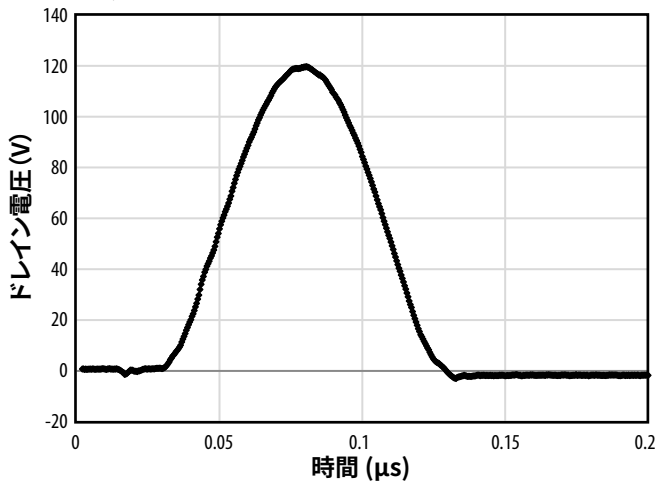


図 4-18: クランプしていない誘導性スイッチング回路の簡略化した回路図と、動作周波数 100 kHz で $V_{DS, Peak}$ が 120 V のときの結果として生じる過電圧パルス。

異なるウェハーのロットから得られた 100 V 定格の GaN トランジスタを、動作周波数 100 kHz 、接合部温度 75°C で、 120 V の $V_{DS, Peak}$ の過電圧スパイクでストレスを加えました。図 4-19 は、3 つの異なるウェハーのロットから得られた代表的な EPC2218 デバイスを数 10 億回以上のスイッチング周期でテストした結果です。これらのデバイスは、非常に小さな動的 $R_{DS(on)}$ シフトを示しました [18]。

このようなドレイン過電圧ストレス下での寿命を予測するために、ホット・キャリア・トラップに基づく同じ物理ベースの寿命モデルを適用しました。この予測は、長期連続動作における 120% の過電圧ストレス下における GaN デバイスの優れた耐久性を実証しています。各スイッチング周期で、 100 V の $V_{DS, Max}$ を超える期間は約 25 ns で、 120 V のピーク・オーバーシュート電圧よりも低くなっています。 8×10^8 秒 (25 年) の終了時には、 100 kHz の周波数を乗じて合計 8×10^{13} パルスに相当しますが、どの DUT も 20% の $R_{DS(on)}$ シフトの故障基準を超えていませんでした。 25 ns に 8×10^{13} パルスを乗じると 2×10^5 分となり、これは推定した全寿命 1.3×10^5 分に近い値です。このわずかな差は、DUT が各パルスのごくわずかな部分でのみ、 120 V のピーク電圧に達するという事実によって説明できます。図 4-18 に示す電圧波形は、リアルタイム回路の用途をよりよく表しています。

図 4-20 に示すように、2 種の代表的な 100 V 定格の GaN トランジスタ、EPC2204 と EPC2302 を、UIS によって 25°C で 120 V の $V_{DS, Peak}$ の条件下でテストしました。それぞれ 60 億回以上、100 億回以上のパルス・ストレスを印加し、微小な動的 $R_{DS(on)}$ ドリフトを測定しました。25 年 (1.3×10^7 分) 以上と予測した場合、DUT の動的 $R_{DS(on)}$ はデータシートの最大限度を大きく下回ると予想されます。この結果は、提案した過電圧仕様の妥当性をさらに裏付けました。

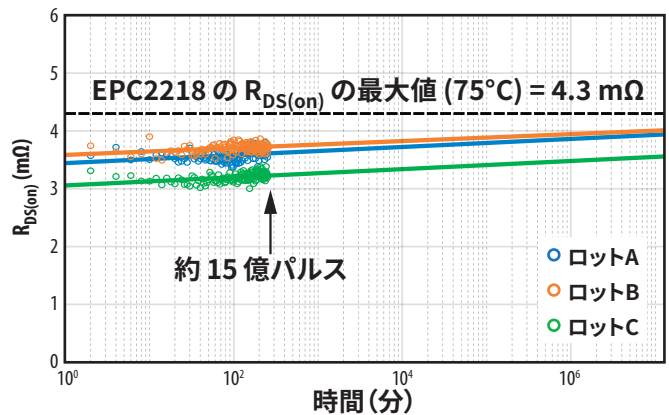


図 4-19: 3 つの異なるウェハーのロットからの代表的な EPC2218 を DUT として、 120 V の $V_{DS, Peak}$ 、 75°C の UIS テストで 15 億サイクル以上を経過したときの動的 $R_{DS(on)}$ の変化。

繰り返しドレイン過電圧仕様を提案し、抵抗性負荷ハードスイッチングおよびクランプなしの誘導スイッチングのテスト回路によって検証しました。このデューティ比ベースの仕様は、アプリケーション・エンジニアが GaN デバイスを設計するためのより定量的で実装しやすいガイドラインを提供します。この調査は、GaN HEMT の極めて優れた過電圧耐久性も実証しています。

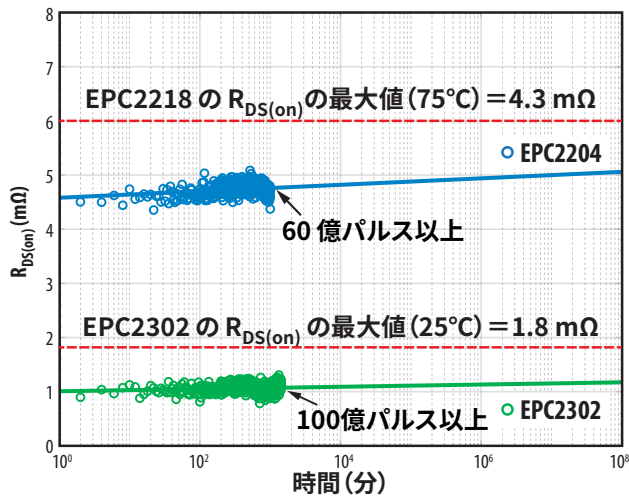


図 4-20: 120 V の $V_{DS,Peak}$ の UIS テストにおける代表的な EPC2204 と EPC2302 の DUT の $R_{DS(on)}$ シフトの変化。

4.3. 電流密度の摩耗

4.3.1. 電流密度の摩耗メカニズムの概要

GaN デバイスでは、大電流と高いドレイン-ソース間電圧が同時に発生すると、熱の制限が懸念されることがあります。広範囲にわたる耐性テストを実施し、この結果は、データシートに指定されている安全動作領域で検証しました。特定の用途では、短絡故障状態に耐える能力が必須です。したがって、短絡テストを実行し、GaN は、そのような極端なストレス条件下で優れた耐性を実証しました。デバイスが高温で継続的に大電流に曝されると、エレクトロマイグレーション (EM) の耐性がユーザーにとって共通の懸念になります。このため、デバイスとパッケージの間の相互接続として、銅ピラーを使うパワー・クワッド・フラット・ノーリード (PQFN) のデバイスで加速 EM テストを実施しました。EM テストの結果に基づいて、優れた EM 耐性も実証されている PQFN 製品の連続電流定格を設定しました。最後に、さまざまなゲート駆動電圧と温度での GaN のパルス電流定格仕様を設定しました。

4.3.2. 安全動作領域

安全動作領域 (SOA: safe operating area) テストでは、GaN トランジスタを指定されたパルス持続時間の間、大電流 (I_D) と高電圧 (V_{DS}) に同時に曝します。この主な目的は、データシートの SOA グラフ内のすべての点 (I_D , V_{DS}) において、トランジスタが故障することなく動作できることを確認することです。安全領域外で故障するまでテストすることで、安全マージンを調査するためにも使えます。SOA テスト中は、チップ内での大きな電力消費によって、接合部温度が急激に上昇し、強い温度勾配が形成されます。十分大きな電力またはパルス持続時間で、デバイスは過熱して壊滅的な故障を引き起こします。これは熱過負荷故障として知られています。

Si MOSFET では、2次破壊 (またはスピリット効果 [21]) として知られる別の故障メカニズムが SOA テストで観測されています。

高 V_D および低 I_D で発生するこの故障モードは、接合部温度と大きい値電圧 V_{TH} の間の不安定なフィードバックによって引き起こされます。パルス中に接合部温度が上昇すると、 V_{TH} が低下し、局所的な電流が増加する可能性があります。電流の上昇によって、今度は温度が急上昇し、それによって正のフィードバック・ループが成立し、熱暴走と最終的な故障につながります。この調査の目的は、GaN トランジスタにスピリット効果が存在するかどうかを判断することです。

直流または長時間パルスの場合、トランジスタの SOA 能力は、デバイスの放熱に大きく依存します。これは、真の SOA 能力を評価する上で大きな技術的課題となる可能性があり、多くの場合、特別な水冷ヒートシンクが必要になります。ただし、短いパルス (1 ms 以下) の場合、放熱は SOA 特性に影響を与えません。これは、短い時間スケールでは、接合部で発生した熱が任意の外部ヒートシンクに拡散する時間が十分でないためです。代わりに、すべての電力が GaN フィルムと、近くのシリコン基板の温度 (熱容量) の上昇に変換されます。これらの考察の結果、SOA テストは、1 ms と 100 μ s の 2 種のパルス持続時間で実施しました。

図 4-21 は、200 V の EPC2034C の SOA データです。このプロットでは、個々のパルス・テストは (I_D , V_{DS}) 空間の点で表されています。これらの点は、データシートの SOA グラフに重ねて表示しています。100 μ s および 1 ms のパルスの両方のデータを一緒に表示しています。緑色の点は、部品が合格した 100 μ s のパルスに対応し、赤色の点は部品が故障した場所を示します。低 V_{DS} から V_{DSmax} (200 V) までの範囲で、SOA の広い領域で調べ、故障はありませんでした (すべて緑色の点)。すべての故障 (赤色の点) は、データシートのグラフで緑色の線で示されている SOA の外側で発生しました。同じことが 1 ms のパルス・データ (紫色と赤色の三角形) にも当てはまり、すべての故障はデータシートの SOA の外側で発生しました。

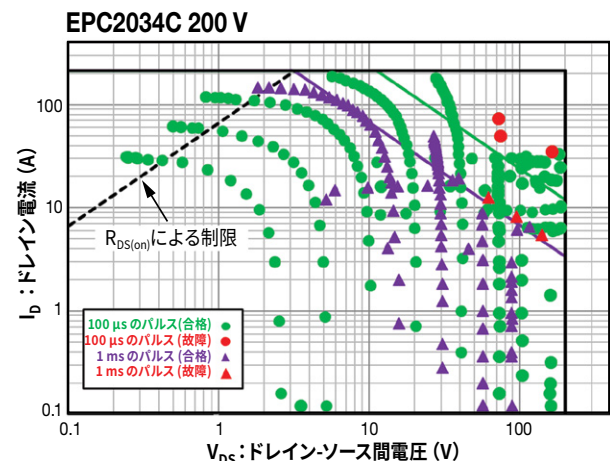


図 4-21: EPC2034C の SOA プロット。「 $R_{DS(on)}$ による制限」の線は、150°C での $R_{DS(on)}$ のデータシートの最大仕様に基づいています。1 ms (紫色の三角形) と 100 μ s (緑色の点) のパルスに対する測定値を一緒に表示しています。故障は、赤色の三角形 (1 ms) または赤色の点 (100 μ s) で示しました。すべての故障はデータシートの SOA 領域外で発生していることに注意してください。

図4-22は、さらに3種の部品、すなわち、EPC2212（第4世代の車載用100 V）、EPC2045（第5世代の100 V）、およびEPC2014C（第4世代の40 V）のSOAデータです。すべての場合で、データシートの安全動作領域の調査では、故障なしで、すべての故障はSOA制限外で発生しており、ほとんどが制限を大幅に超えています。

データシートのSOAグラフは、熱伝導率および熱容量と共に、すべての関連層を含むそのデバイスの熱モデルを使って、有限要素解析で生成しています。過渡シミュレーションに基づいて、SOA制限は単純な基準で決定されます：つまり、特定のパルス持続時間に対して、電力消費は、パルスの終了前に接合部温度が150°Cを超えないようにしなければなりません。この基準によって、SOAグラフの45度の緑色（100 μ s）と紫色（1 ms）の線で示される一定電力に基づく制限が得られます。このアプローチによって、この調査の広範なテスト・データによって証明されているように、保守的な安全動作領域を定義するデータシートのグラフが作成できます。パワーMOSFETでは、同じ一定電力のアプローチによって、高電圧領域での能力が過大評価され、熱不安定性（スピリット効果）によって早期に故障が発生します。故障の正確な物理的性質はまだ解明されていませんが、この調査の主な結果は明らかです—— GaNトランジスタは、データシートのSOA内で動作するとき、故障しません。

4.3.3. 短絡耐性

短絡耐性とは、FETがオン（導通）状態のときに、アプリケーションで発生する可能性のある意図しない故障状態に耐える能力を指します。このような場合、デバイスには、トランジスタの固有の飽和電流と回路の寄生抵抗によってのみ制限される電流と組み合わせられた完全なバス電圧が与えられます。これらは、アプリケーションと故障の場所によって異なります。短絡状態が保護回路によって解消されない場合、極端な電力消費によって、最終的にはトランジスタの熱故障が発生します。短絡テストの目的は、これらの条件下で部品が耐えられる「耐性時間」を定量化することです。

一般的な保護回路（IGBTのゲート・ドライバの非飽和保護など）は、2~3 μ sで過電流状態を検出して反応します。したがって、GaNトランジスタがクランプされていない短絡状態に約5 μ s以上耐えられることが望まれます。

短絡耐性評価に使った2つの主なテスト回路を[22]に記載しています。これらは：

- ハードスイッチ故障（HSF：Hard-switched fault）：ドレイン電圧が印加された状態でゲートがオン（およびオフ）に切り替わります。
- 負荷時故障（FUL：Fault under load）：ゲートがオンのときにドレイン電圧がオンに切り替わります。

この調査では、デバイスを両方の故障モードでテストしましたが、耐性時間に有意な差は見つかりませんでした。したがって、この議論の残りの部分では、FULの結果に焦点を当てます。ただし、HSFテストでは、GaNトランジスタは、シリコン・ベースのIGBT [23] で発生する可能性のあるラッチや、ゲート制御の喪失を示さなかったことに注意することが重要です。この結果は、GaNデバイスに寄生バイポーラ構造がないことを考えると予想された結果です。トランジスタが壊滅的に故障する時間まで、

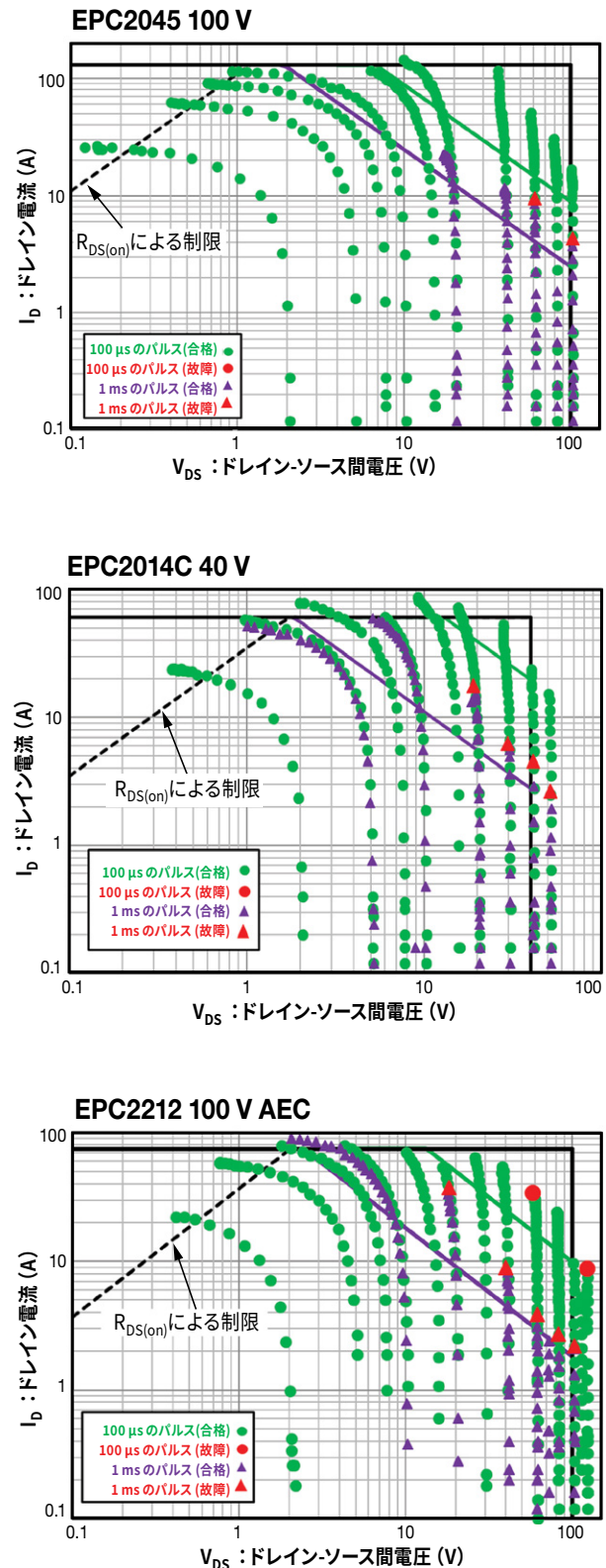


図4-22：EPC2014C、EPC2045、EPC2212のSOA結果。1 ms（紫色の三角形）と100 μ s（緑色の点）のパルスに対する測定値と一緒に表示しています。故障は赤色の三角で示しました。

ゲートを「ロー」に切り替えることで短絡を完全に抑制できます。これは、保護回路設計にとって有利な機能です。

代表的な2種のGaNTランジスタをテストしました：

1. EPC2203 (80 V) : 第4世代の車載品質 (AEC) デバイス
2. EPC2051 (100 V) : 第5世代デバイス

これらのデバイスは、その製品のファミリーの中で最も小さいため選択しました。これによって、短絡評価に必要な大電流によるテストが単純化できました。ただし、単純な熱スケーリングの議論に基づく、耐性時間はファミリー内の他のデバイスでも同じであると予想されます。EPC2203の結果は、EPC2202、EPC2206、EPC2201、EPC2212も適応され、EPC2051はEPC2045とEPC2053も対象となります。

図4-23は、一連の増加するドレイン電圧に対するEPC2203の負荷時故障データです。 V_{GS} が6V(データシートの最大値)、ドレイン・パルスが10 μ sのとき、デバイスは V_{DS} が60Vになるまで故障しませんでした。これらの条件下では、チップ面積が0.9 \times 0.9mmで1.5kW以上が消費されます。 V_{DS} が高くなると、パルス中に電流が時間の経過と共に減少することが分かります。これは、デバイス内の接合部温度が上昇した結果であり、恒久的な劣化を意味するものではありません。

より長いパルス持続時間(25 μ s)を使うと、部品は最終的に熱過負荷によって故障します。代表的な波形が図4-24です。故障の時間は、ドレイン電流の急激な上昇によって評価されます。このイベントの後、デバイスは永久に損傷します。耐性時間は、パルスの開始から故障するまでの時間で測定されます。

耐性時間に関する統計を収集するために、この方法を使って8個の部品の群を故障するまでテストしました。表4-1に結果をまとめました。EPC2203を、5V(推奨ゲート駆動電圧)と6V($V_{GS(max)}$)の両方でテストし、平均耐性時間はそれぞれ20 μ sと13 μ sでした。6Vでは飽和電流が高いため、デバイスの耐性時間が短くなることに注意してください。EPC2051は、EPC2203と比べて、6Vで故障するまでの時間がわずかに短くなりました(9.3 μ s)。これは、第5世代の製品よりも積極的なスケーリングと電流密度のため、予想された結果です。ただし、すべての場合で、耐性時間は、ほとんどの短絡保護回路が応答してデバイスの故障を防ぐために十分な長さです。さらに、耐性時間は部品間での小さなばらつきを示しました。

表4-1の下の行は、チップ面積に対するパルス電力とエネルギーを示しています。これらの量と故障するまでの時間の関係を理解するために、時間依存の熱伝達をシミュレーションして、短絡パルス中の接合部温度の上昇 ΔT_j を決定しました。この結果が図4-25です。

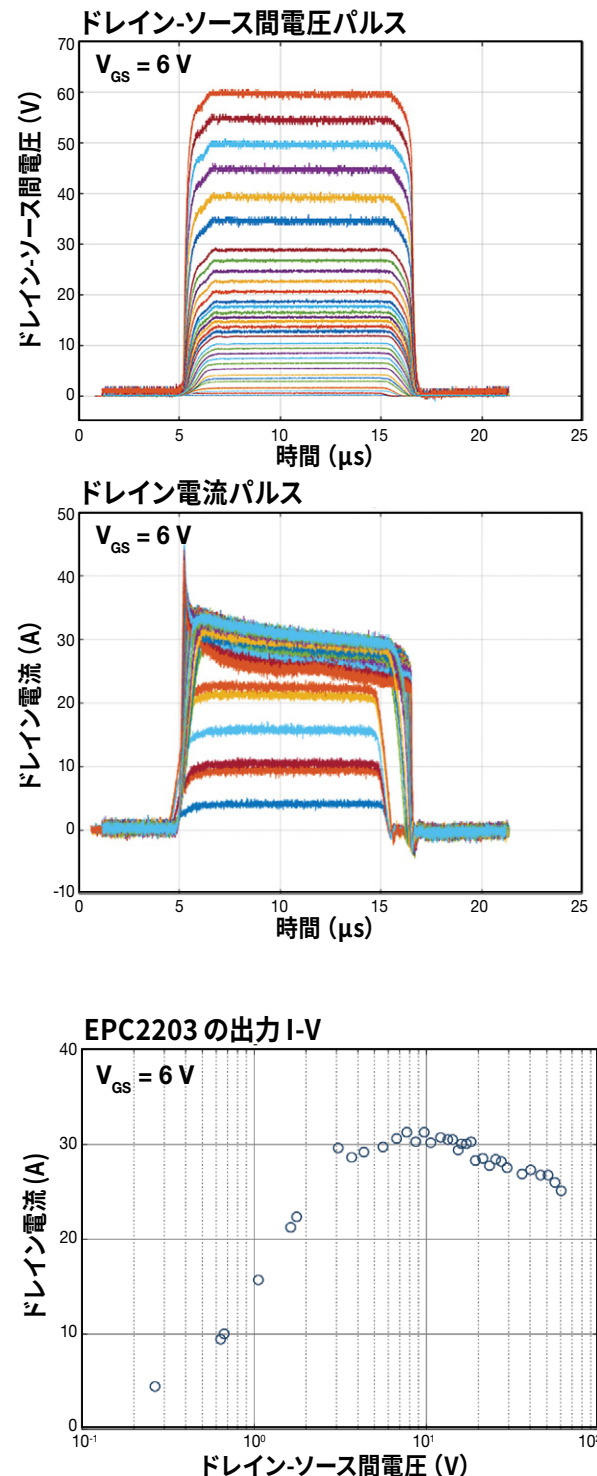
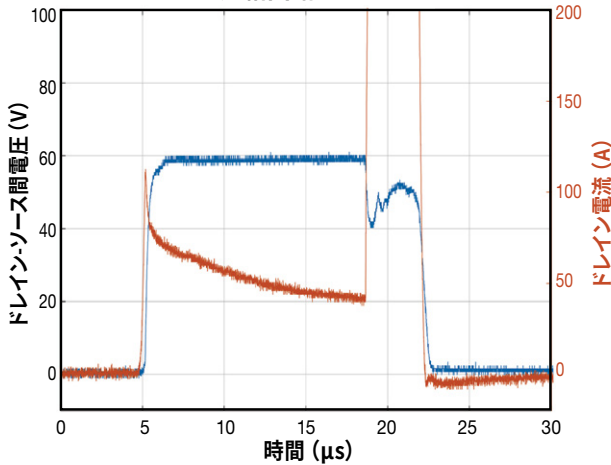


図4-23:一連の増加するドレイン電圧に対するEPC2203の負荷時故障テスト(FUL)の波形。ドレイン・パルスは10 μ s、 V_{GS} =6V。このパルス幅では、デバイスは故障しませんでした。 V_{DS} 対時間のグラフ(上図)では、 V_{DS} はデバイス端子で直接ケルビン検出しています。 I_{DS} 対時間のグラフ(中央の図)では、 I_{DS} が自己発熱によって時間の経過と共に減少していることに注意してください。このテスト・シーケンスで得られた出力曲線(下図)。ドレイン電流は、パルス中の平均電流として記録しています。ドレイン電流は、 V_{DS} が高いとデバイスが発熱するため、飽和領域で反転します。

クランプなしの短絡回路 EPC2203



クランプなしの短絡回路 EPC2051

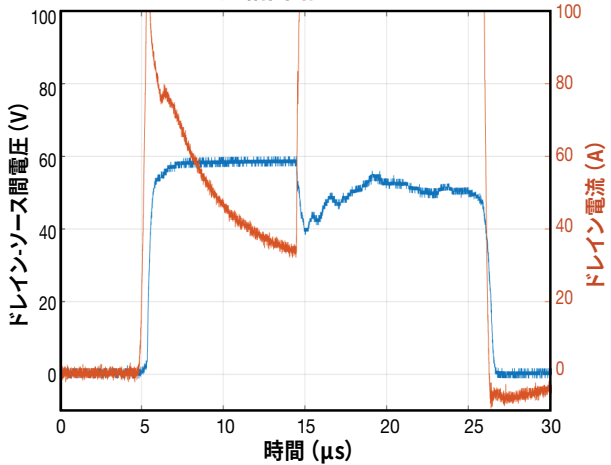


図4-24: $V_{DS} = 60\text{ V}$, $V_{GS} = 6\text{ V}$, $25\ \mu\text{s}$ のドレイン・パルスでの標準的なEPC2203 (上図)とEPC2051 (下図)の負荷時故障テストの波形。ドレイン電流の急激な上昇は、壊滅的な熱故障が発生した時間を示します。

短絡パルス $V_{DS} = 60\text{ V}$	EPC2203 (Gen 4)		EPC2051 (Gen 5)	
	$V_{GS} = 6\text{ V}$	$V_{GS} = 5\text{ V}$	$V_{GS} = 6\text{ V}$	$V_{GS} = 5\text{ V}$
平均 TTF (μs)	13.1	20.0	9.33	21.87
標準偏差 (μs)	0.78	0.37	0.21	2.95
最小 TTF (μs)	12.1	19.6	9.08	18.53
平均パルス電力 (kW)	1.764	1.4	3.03	2.03
エネルギー (mJ)	23.83	27.6	27.71	42.49
チップ面積 (mm^2)	0.9025		1.105	
平均電力/面積 (kW/ mm^2)	1.95	1.55	2.74	1.84
エネルギー/面積 (mJ/ mm^2)	26.4	30.59	25.08	38.46

表4-1: EPC2203とEPC2051の短絡耐力時間の統計

注: 統計は各条件で8個のデバイスから得ています。耐力時間は平均値の周辺に密に分布しています。平均パルス電力とエネルギーは、母集団内の標準的な部品に対応します。

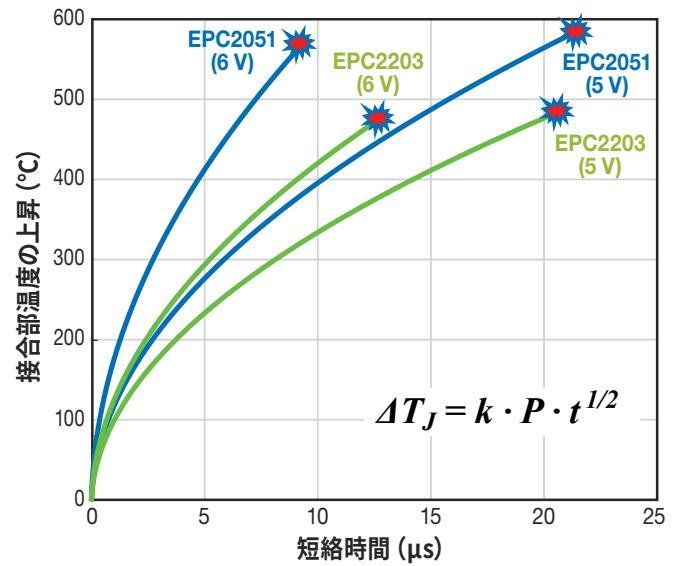


図4-25: 5 V_{GS} と 6 V_{GS} の両方でEPC2051とEPC2203の両方について、短絡パルス中の接合部温度の上昇と時間の関係のシミュレーション結果。測定された故障時間は、赤色のマーカーで示しています。EPC2203は ΔT_j が約 475°C で壊滅的に故障しますが、EPC2051は約 575°C で故障することに注意してください。シミュレーションした ΔT_j は、式に示すように、時間(熱拡散)に対する単純な平方根依存性でよく適合します。 P は単位面積当たりの平均電力で、 $k = 6.73 \times 10^{-5}\text{ Km}^2/\text{Ws}^{1/2}$ を示します。

パルス中の非常に高い電力密度によって、GaN層と近くのシリコン基板が急速に加熱されます。パルスは短く、熱伝達は比較的遅いため、半導体が薄いこと(深さ $100\ \mu\text{m}$ 以下)だけが、エネルギーを吸収するために役立ちます。温度は時間の平方根(熱拡散の特性)と共に上昇し、パルス電力に線形に比例します。図4-25のように、EPC2203の場合、 5 V と 6 V の両方の条件で、接合部温度が同じ約 475°C 上昇して故障します。EPC2051でも同様で、どちらの条件でも ΔT_j は約 575°C で故障します。これらの結果から、以下の3つの重要な結論が導き出されます。

1. 特定のデバイスの場合、故障するまでの時間は消費電力の2乗に反比例(P^{-2})します。これは、持続時間が約 1 ms 以下の短絡パルスおよびSOAパルスに適用されます。
2. 大電力パルスによって生じる固有の故障モードは、接合部温度が特定の臨界値を超えることと直接関連しています。
3. ワイド・バンドギャップのeGaNデバイスは、自由キャリアの熱暴走によって、シリコン・デバイスではまったく到達できない接合部温度(400°C 以上)に耐えることができます。

4.3.4. PQFN封止 GaN HEMTの連続電流定格の開発

銅ピラーは、パワー・クワッド・フラット・ノーリード(PQFN)のパッケージを採用したEPCの最新のGaN HEMTの相互接続に使われています。銅ピラーの相互接続は、メッキした銅ピラーと、スズ(Sn)を主成分とし、微量の銀(Ag)、金(Au)、銅(Cu)の含有が異なるはんだキャップの2つの部分で構成されています[24,25,26,27,28]。リフロー・プロセス後、はんだキャップがチップとパッケージをつなぎ、通常、GaN HEMTの連続電流定格

を制限する要因と考えられています。エレクトロマイグレーション (EM) は、金属構造内の原子の移動として定義され、ボイド形成につながる主な摩耗メカニズムであることが分かっています [29,30]。したがって、このセクションでは、EM テストを実施し、EPCの GaN HEMT に実装されている銅ピラーの連続電流密度制限を決定しました。このテスト結果に基づいて、定量的な信頼性を考慮した連続電流定格を推奨します。

EMの主な原因は、結晶中の伝導電子と金属イオンの間の運動量移動によって発生する電子「風」です。運動量が活性化エネルギー [30,31] によって規定される拡散しきい値を超えると、金属原子が移動してボイドを形成します。ブラックのモデルは、式 4-19 に示すように、EM 摩耗メカニズムにおける寿命を予測する上で広く受け入れられています [29,30]。

$$MTTF = A j^{-n} e^{\frac{Q}{kT}} \quad \text{式 4-19}$$

ここで、Aは定数、jは電流密度（電流を銅ピラーの断面積で割った値として定義）、nは指数、Qは活性化エネルギー、kはボルツマン定数 (8.62×10^{-5} eV/K)、Tはケルビン単位での温度です。

ブラックの式の j^{-n} 項は、ボイドの成長として示されるはんだの摩耗をモデル化し、電流密度によって大幅に加速されます。EM劣化によって引き起こされるはんだボイドの初期形成によって、電流が流れる断面積が減少し、結果として電流密度がさらに増加します。電流密度の増加は、次いで、はんだボイドの形成をさらに加速し、正のフィードバック・ループにつながります。式 4-19 の $e^{Q/kT}$ 項は、EMの熱活性化プロセスを表しています。ジュール熱によって接合部温度が上昇し、原子の移動が加速されてボイドの形成が促進されます。どちらのプロセスも、ボイド形成による回路のオープン、または金属相互接続の溶融による電氣的短絡につながる可能性があります。EMは、通常の使用条件下では発生に何年もかかることがある遅いメカニズムなので、妥当な時間枠内でEM関連の故障を生成するには、加速ストレス条件下でのテストが必要です。

EMの実験は、テスト対象デバイス (DUT) ・カード、専用のテスト・チップ、温度チャンバの3つの部分で構成されます。専用テスト・チップは、JEDEC規格 JEP154 [32] に従って設計しました。このテスト装置は、DUTカードを中央に配置した温度チャンバ内に置きました。2つの熱電対を使用しました：1つは周囲温度をモニターするためにオープンの中央に配置し、もう1つはDUTの裏面 (Si基板が露出している部分) に直接配置しました。テスト・チップは熱パテで覆い、2つの銅製ヒートシンクの間挟んで一定の温度に維持します。銅ピラーの相互接続部と、2つ目の熱電対が配置されているデバイスの裏面との間の温度差は、 $R_{th,JC}$ を $0.2^\circ\text{C}/\text{W}$ 、 125°C での全消費電力を 3.2 W とし

て、 0.64°C と計算されました。対象となる銅ピラーの相互接続は、面積が $5271\ \mu\text{m}^2$ の楕円形であり、PQFNパッケージの外側に成形した銅リード・フレームにはんだ付けしています。

銅ピラー相互接続を対象としたこれまでの研究 [26,27,28,30] に基づき、 125°C で $27\ \text{kA}/\text{cm}^2$ 、 150°C で $55\ \text{kA}/\text{cm}^2$ のテスト条件を選択しました。JEP154 [32] の推奨事項に従って、抵抗値の10%の増加を故障基準として採用しました。どちらのテスト条件でも故障数はゼロであり、EMの銅相互接続を対象としたさまざまな研究 [24,25,26,27,28] の結果と一致しています。これらの研究によって、銅ピラー相互接続の電流密度指数は2であることがしばしば報告されています [24,27]。これまでの研究 [24,25,26,27,28] では、SnAg はんだキャップの活性化エネルギーは一般に、1 eV が受け入れられています。n = 2、Q = 1 eV の値を使って、故障率 0.1% で故障するまでの時間を 870 時間と仮定すると、ブラックの式の定数 A は 3.24 と計算できます。定数 A を決定したら、任意の与えられた温度と電流密度に対して、故障率 0.1% での寿命を計算できます。EPC の PQFN デバイス [24,30] の連続電流定格は、保守的な EM 電流密度の制限値である $13\ \text{kA}/\text{cm}^2$ に基づいています。 $13\ \text{kA}/\text{cm}^2$ の電流密度と 125°C の接合部温度を式 4-12 に代入すると、故障率 0.1% での寿命は 10 年と予測されます。

4.3.5. GaN HEMT のパルス電流定格の開発

このセクションでは、さまざまなゲート駆動電圧と温度における GaN HEMT のパルス電流定格を体系的に評価するためのテスト回路を開発しました。第 5 世代の各種デバイスと代表的な第 6 世代の 100 V のドレイン・ソース間電圧定格デバイスを含む一連の GaN HEMT を測定した後、統計解析を実施し、GaN HEMT のパルス電流定格を規定するための推奨事項を策定しました。

図 4-26 はテスト回路の回路図です。まず、ローサイドの GaN 被試験デバイス (DUT) に規定の直流ゲート電圧 (V_{GS}) を印加し、ハイサイド Si MOSFET (SIR500DP-T1-RE3) を $25\ \mu\text{s}$ のゲート・パルス信号でオンにし、入力電圧 (V_{IN}) は $1\ \text{V} \sim 5\ \text{V}$ で $0.5\ \text{V}$ ステップで変えます。 V_{GS} と V_{IN} の組み合わせでの各パルス・テスト中、オシロスコープを使って、DUT 両端のケルビン検出したドレイン・ソース間電圧降下 (V_{DS}) と、 $1\ \text{m}\Omega$ のシャント抵抗両端の電圧降下を記録し、ドレイン・ソース間電流 (I_{DS}) を計算しました。

まず、第 5 世代 GaN HEMT、すなわち、商用品質 (EPC2051 と EPC2070) と車載品質 (EPC2252 と EPC2204A) を、ゲート駆動電圧 $5\ \text{V}$ および $5.5\ \text{V}$ 、デバイスの接合部温度 25°C と 125°C のマトリックスでテストしました。 125°C のデバイス接合部温度の測定は、パッケージと接合部間の熱抵抗 ($R_{\theta JC}$) が低い GaN デバイスの裏面に直接実装した比例積分微分 (PID: proportional-integral-derivative) 温度コントローラを実装することで実現しました。加えて、ドレイン・ソース間電圧定格 $100\ \text{V}$ の第 6 世代 GaN HEMT (EPC2090) を同様の条件下でテストしました。

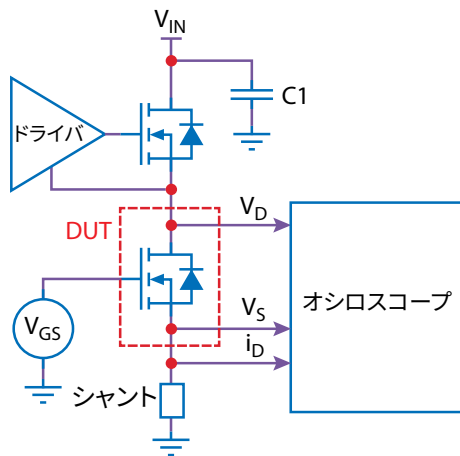


図4-26: さまざまな V_{GS} 、 V_{DS} 、および温度の下でのパルス電流定格を特性評価するためのテスト回路の図。

図4-27は、EPC2252の25°Cにおける V_{GS} が5 V、 V_{DS} が3 Vのときの計算した代表的な電流波形を示しています。このテスト条件下で抽出したパルス電流は、図4-27に示すように、パルス幅10 μs で15 μs から25 μs までの測定電流を平均化することで得られます。図4-28は、さまざまな V_{DS} 、 V_{GS} 、温度における10 μs のパルス幅内での平均パルス電流の測定値をすべてまとめたものです。縦軸は、比較分析のために対応するゲート幅 (Wg) でスケールした測定電流を表しています。

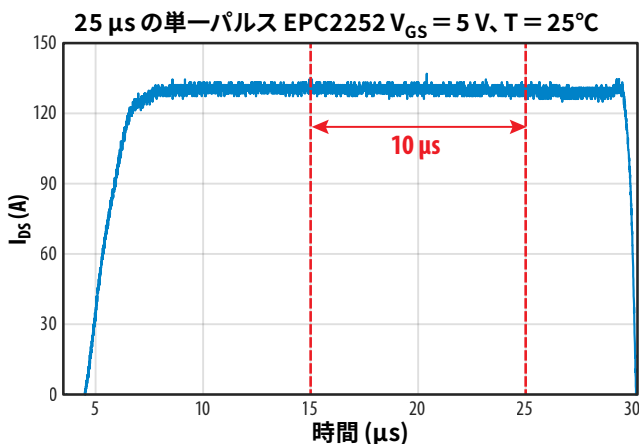


図4-27: 25°C、5 Vの V_{GS} 、3 Vの V_{DS} でのEPC2252の代表的なドレイン-ソース間電流波形。パルス電流抽出に10 μs のパルス幅を使っています。

図4-28のように、定格80 Vまたは100 Vの部品では、約3 Vのドレイン-ソース間電圧が標準的な変曲点であることが確認されており、GaN HEMTの電流伝導は、ここで線形領域から飽和領域へと遷移します。そこで、 V_{DS} が3 Vのケルビン検出した測定値を用いて、さまざまな V_{GS} と温度におけるパルス電流密度を定量化し、その結果を表4-2にまとめました。

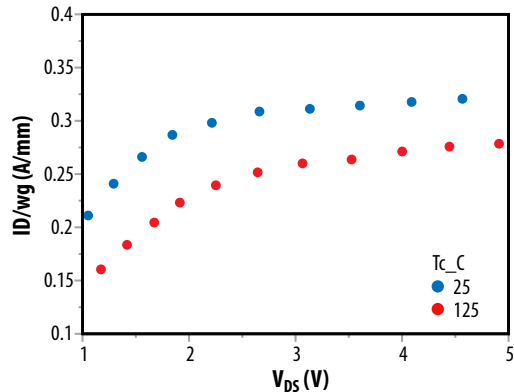
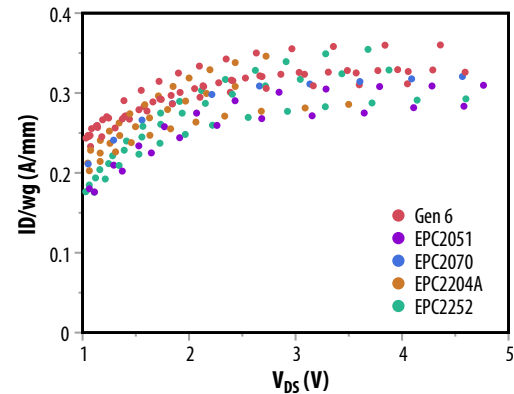
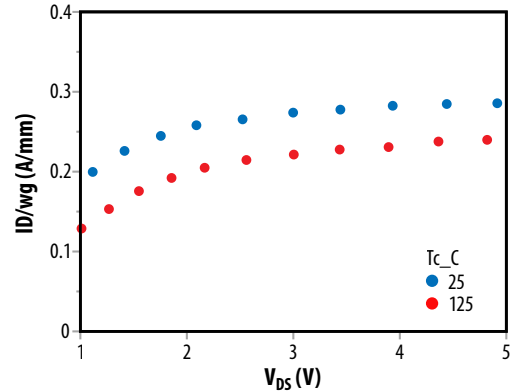
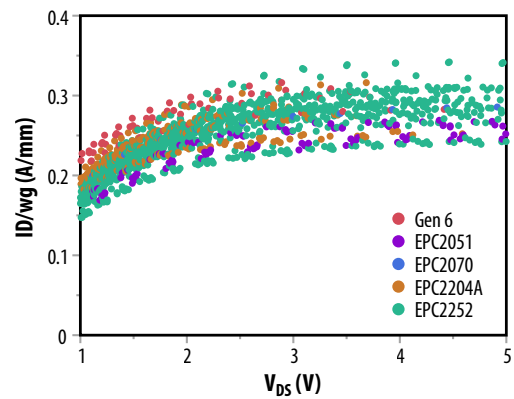


図4-28: (a) ゲート幅 (Wg) でスケールしたパルス電流密度と V_{DS} の関係 (25°Cで V_{GS} を5 Vに固定)。(b) ゲート幅 (Wg) でスケールしたパルス電流密度と V_{DS} の関係 (25°Cで V_{GS} を5.5 Vに固定)。(c) 代表的なEPC2070デバイスの V_{GS} が5 Vで25°Cおよび125°Cのときのパルス電流密度の比較。(d) 代表的なEPC2070デバイスの V_{GS} が5.5 Vで25°Cおよび125°Cでのパルス電流密度の比較。

デバイスの接合部温度 (°C)	$V_{GS} = 5\text{ V}, V_{DS} = 3\text{ V}$ における I_D/W_g (A/mm)	$V_{GS} = 5.5\text{ V}, V_{DS} = 3\text{ V}$ における I_D/W_g (A/mm)
25°C	0.27+/-0.02 (A/mm)	0.31+/-0.03 (A/mm)
125°C	0.22+/-0.03 (A/mm)	0.25+/-0.04 (A/mm)

表 4-2: さまざまなテスト条件下で、パルス幅 10 μs で測定した平均パルス電流測定値と標準偏差。

パルス電流実験から得られた 3 つの主な結論は、次のように要約されます:

- ゲート駆動電圧 5 V、接合部温度 25°C において、GaN HEMT は、標準偏差の 3 倍を考慮した後も、0.2 A/mm を超える電流密度を安定して出力できます。
- ゲート駆動電圧を 5 V から 5.5 V に上げると、電流出力が約 15% 増加すると予想されます。
- デバイスの接合部温度が 25°C から 125°C に上昇すると、 $R_{DS(on)}$ の増加によって、GaN HEMT の出力電流は約 20% 減少すると予想されます。

表 4-2 にまとめた単一パルス電流テストに加えて、4 個の GaN HEMT (EPC2306) に対して、25°C で約 0.33 A/mm のパルス電流密度で長期耐性テストを実施しました。これは、平均電流密度 0.27 A/mm に標準偏差の 3 倍を加えた値に相当します。得られたドレイン-ソース間電流は、データシートに記載されている最大パルス電流定格 197 A の 2 倍以上です。図 4-29 は、テスト周波数 5 Hz で 1 億パルスを印加した後も、すべての DUT の $R_{DS(on)}$ がデータシートの最大仕様を大きく下回っていることを示しています。このような極端なパルス電流ストレス条件下でも GaN HEMT が丈夫であることを示しています。

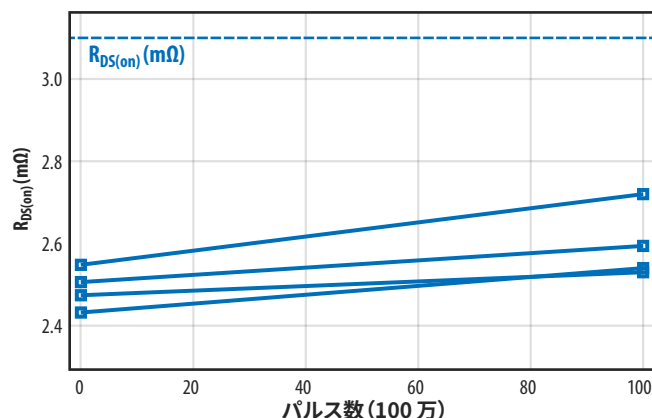


図 4-29: データシートに指定されている最大パルス電流定格 197 A の 2 倍を超える 1 億回のパルス電流ストレス前後の $R_{DS(on)}$ 測定。

4.4. 熱機械的摩耗

4.4.1. 熱機械的摩耗メカニズムの概要

熱機械的ストレスの原因となる主な摩耗メカニズムは、はんだ接合部の亀裂で、DUT、はんだの相互接続、プリント回路基板の間の熱膨張係数 (CTE) の不一致によって発生します。熱機械的ストレスは、頻繁に大きな温度変化があるアプリケーションで共通の懸念となってきています。このセクションでは、包括

的な温度サイクル (TC: temperature cycling) 寿命モデルを開発しました。この寿命モデルには、デバイスの寸法、バンプの形状、TC テスト条件、温度上昇速度、さまざまなプリント回路基板の特性などが含まれます。チップスケール・パッケージ (CSP) のデバイスの予想寿命がユーザーの「仕様」よりも短い場合、TC 寿命を延ばすためには、適切な材料特性を備えたアンダーフィルを推奨します。最後に、TC 熱機械寿命モデルは、PQFN パッケージ・デバイスのパワー・サイクル (PC: power cycling) ・ストレスに適用されます。この熱機械ストレスは、デバイスの繰り返しオン/オフ動作の結果として、PQFN デバイスとプリント回路基板の間の不均一な温度勾配から発生します。

4.4.2. 包括的な TC 寿命モデルの開発

以前の信頼性レポート [1,15] では、温度サイクル (TC) ・ストレス下における主な摩耗メカニズム・モードは、はんだ接合部の亀裂であると特定されていました [1]。つまりデバイス、はんだ、プリント回路基板の間の熱膨張係数 (CTE) の不一致が、この摩耗メカニズムの基本的な原因となっています。一般的な FR4 のプリント回路基板 [33]、ウエハー・レベルのチップスケール・パッケージ (WLCSP: wafer level chip scale package) 封止の GaN オン・シリコン・デバイス [34]、および SAC305 はんだ [35] の CTE 値が表 4-3 です。図 4-26 は、温度サイクル・テスト中に、CTE の不一致によって発生する応力を示しています。図 4-30 (a) は、熱応力が中央の位置にあるプリント回路基板とデバイスの間のはんだ接合部です。図 4-30 (b) のように温度が下がると、CTE 値の高いプリント回路基板は、GaN デバイスよりも収縮し、はんだ接合部に歪みが生じます。同様に、図 4-30 (c) のように温度が上昇すると、プリント回路基板は、デバイスよりも大きく膨張し、再び、はんだ接合部に歪みが生じます。

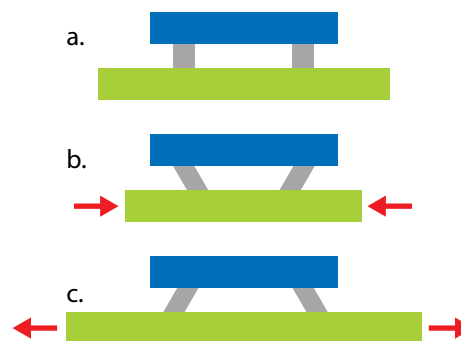


図 4-30: 温度サイクル中のはんだ接合部の応力の図

材料	CTE (ppm/°C)
デバイス	4
はんだ	23
プリント回路基板 (FR4)	18

表 4-3: 一般的な材料の熱膨張係数

次のセクションでは、チップ・サイズとバンプの形状、TC 環境テスト条件、および、さまざまなプリント回路基板の特性の影響を組み込むことで、包括的な TC 寿命モデルを開発できます。

4.4.2.1. チップ・サイズとバンプ寸法の影響のモデル化

チップ・サイズに対するTC寿命は一般的に、古典的なコフィン・マンソン則によってモデル化され、テスト対象のデバイスは通常、x方向とy方向の両方で対称です [36]。さらに、それらの調査で示したはんだ接合部のほとんどは、ボール・グリッド・アレイ (BGA: ball grid array) であり、すべてのバンプが同一の形状をしています。したがって、中央点までの距離に基づくTC寿命モデルがしばしば採用され、有効であることが証明されています [37]。ただし、ランド・グリッド・アレイ (LGA: land grid array) のはんだバンプの非対称なチップ・サイズとさまざまなはんだバンプ形状の両方を考慮したTC寿命モデルは不足しています [38]。

このセクションでは、さまざまなチップ・サイズとバンプ形状を備えた一連のウエハー・レベルのチップスケール・パッケージ (WLCSP) の GaN デバイスを、一貫したアセンブリおよび TC テスト条件下で温度サイクル特性を評価します。ワイブル分布のプロットを図 4-31 に示しており、これには EPC2206、EPC2071、EPC2069、EPC2218、EPC2204、EPC2152、EPC2215 が含まれています。温度サイクル実験は、デバイス寸法とバンプ形状のみが変数となるように構成しました。これらのデバイスは、同一のはんだ (SAC305) を使って、同一のテスト用プリント回路基板に実装しました。アセンブリ中は、スタンドオフの高さ (つまり、アセンブリ後のはんだの高さ) を約 130 μm に維持しました。これは、組み立てた基板の物理的な断面検査によって検証しました。温度サイクル範囲は -40°C~125°C で、業界規格 JESD22-A104F [39] に従って、上昇速度 15°C / 分、終端での均熱時間は 10 分でした。温度サイクルの間隔ごとに、電気スクリーニングを実施し、故障数を判定しました。データシートの制限を超えた場合を故障基準としました。故障率が 50% に達するまでデバイスをテストする故障するまでのテスト方式を採用しました。故障の分布は、最尤推定法 (MLE: maximum likelihood estimation) [40] を使って、各デバイスについて 2 パラメータ・ワイブル分布で分析しました。得られたワイブル分布は図 4-31 のグラフに実線で示し、ワイブル特性は表 4-4 に示しました。物理的な断面観測と SEM 検査によって分析したすべてのデバイスにおいて、角のはんだ接合部の亀裂が

主な摩耗モードであることが分かり、角の最小のはんだバンプの摩耗が TC 寿命の制限要因であることが明らかになりました。

デバイス	ワイブル形状の パラメータ	ワイブル寿命の 特性 (サイクル数)	平均故障時間 (サイクル数)
EPC2206	5.6	797	737
EPC2152	5.6	1085	1003
EPC2215	5.6	1199	1108
EPC2071	5.6	1416	1309
EPC2218	5.6	1764	1630
EPC2069	5.6	1880	1737
EPC2204	5.6	2389	2208

表 4-4: テストしたデバイスのワイブル統計

式 4-20 に示すように、サイクル数で測定したワイブル分布からの平均故障時間 (MTTF: Mean-Time-To-Fail) データをチップ面積と比較し、チップ・サイズと TC 寿命の相関関係をチェックしました。

$$MTTF = A(Die Area)^{-n} \tag{式 4-20}$$

ここで、A は定数、チップ面積はチップの長さ幅を掛け算した値、n は指数です。得られた適合は、適合度 (R²) によって判断します。R² 値が 0.7 未満の場合は、適合度が低いことを示し、文献 [40,41,42] で一般的に受け入れられている寿命モデルに従って、チップ面積のみでは TC 寿命との良好な相関関係を示せないことを示唆しています。

図 4-32 のように、「中立点からの最大距離 (DNP^{max})」という視点を導入します。TC ストレス中、デバイスの中心点は、デバイスの端と比べて、ストレスが最も小さくなります。この中心点は、中立点として定義され、中立点からはんだバンプの最も遠い端までの距離を DNP^{max} と定義します。

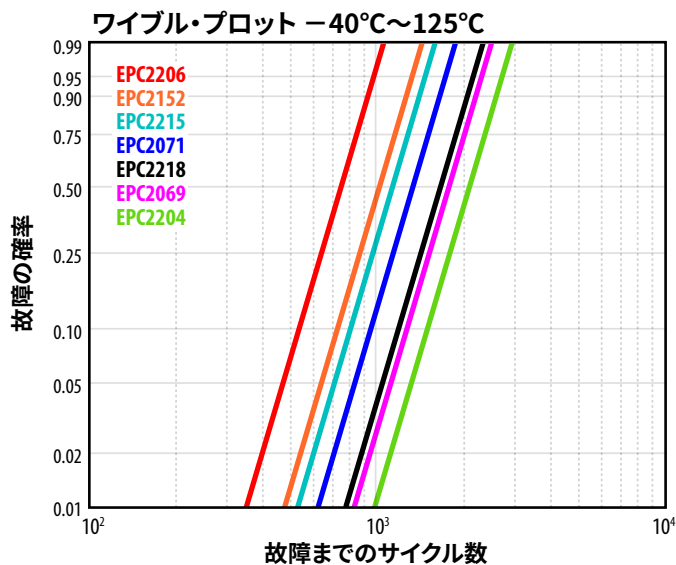


図 4-31: さまざまな CSP 封止 GaN 製品の実験的な TC データに対するワイブル分布の適合

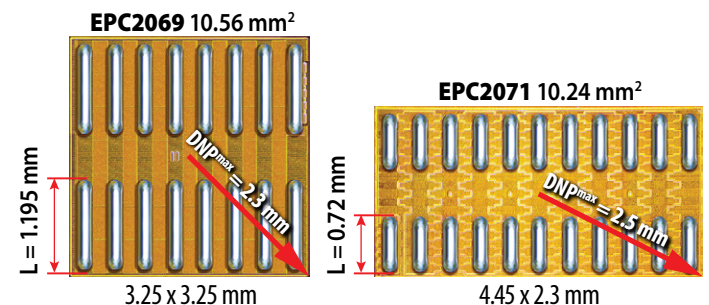


図 4-32: EPC2069 と EPC2071 のゲート長と DNP^{max} の例

Norris-Landzberg の修正コフィン・マンソン則の TC 寿命モデル [44] と DNP^{max} の概念を組み合わせることで、複数の研究者によって報告された式 4-21 が開発されました [45]。

$$MTTF = A(DNP^{max})^{-n} \tag{式 4-21}$$

式 4-21 に最もよく適合した R² 値は 0.79 で、単にデバイス面積を使った場合と比べて、わずかに改善されました。ただし、まだ適合が非常に良いとは言えません。

故障解析によって、デバイスの角でのゲートはんだ接合部の亀裂がTC特性の制限要因であることが確定しました。ゲートのバンプが長いほど、TCストレス下での故障するまでの時間が長くなる可能性が高く、その逆も同様です。図4-31と4-32は、デバイスのサイズが異なると、ゲートのはんだバンプの長さも変わること示しています。したがって、より正確なTC寿命モデルの開発には、角のゲート・バンプの形状もDNP^{max}と共に考慮しなければなりません。ゲート・バンプの幅は、調査対象のすべてのデバイスで同じなので、Lで示されるバンプの長さが、以降の説明に含まれる主要なパラメータになります。したがって、はんだバンプの長さLをDNP^{max}の要素として、有効なDNPであるDNP^{eff}は、式4-22で定義できます。

$$DNP^{eff} = DNP^{max} + a \cdot L \tag{式4-22}$$

この結果の適合が図4-33で、ゲート長の係数a = -0.65、指数n = 1.4を使って、R²値は0.99になります。

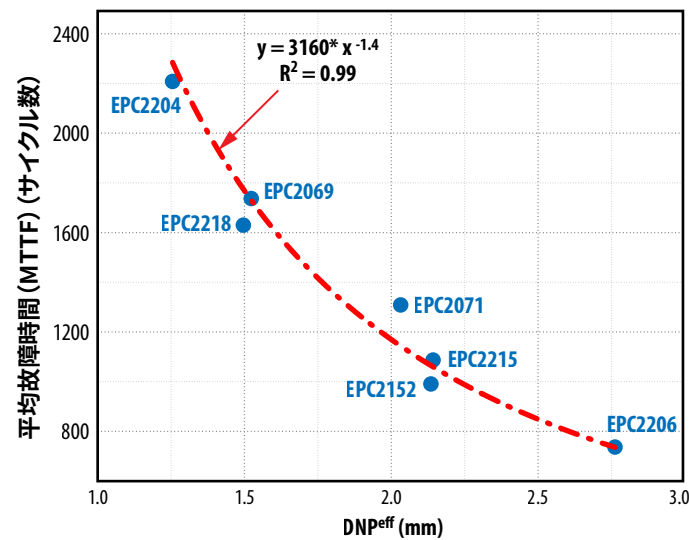


図4-33: -40°C~125°CのTC条件下で測定したMTTFと、チップ寸法とバンプ形状が異なる7種のデバイスの有効DNP (DNP^{eff}) との関係。式4-16に基づく赤色の破線は、測定したMTTFに非常によく適合しています。

図4-33に示されている適合指数1.4は、他の文献の結果[46,47]と一致しており、同様のテスト条件下でのTCストレス下で、SAC305はんだの接合部の亀裂故障では、指数が1と2の間であることがしばしば報告されています。

要約すると、デバイスのサイズと角のゲート・バンプの形状を考慮したTC寿命モデルを提案できます。

$$MTTF = A(DNP^{eff} - 0.65 \cdot L)^{-n} \tag{式4-23}$$

この調査では、チップとはんだ接合部のさまざまな大きさを考慮した材料のCTE不一致によって引き起こされるはんだ接合部の亀裂に基づく温度サイクル寿命モデルを確立しています。

COMSOL有限要素解析 (FEA) シミュレーションを実施し、式4-23に示すTC寿命モデルを検証しました。COMSOLには、SAC305はんだのAnand粘塑性モデルが実装されており、温

度サイクル中のはんだの塑性とクリープの振る舞いをシミュレーションできます [47, 48]。したがって、はんだバンプのエネルギー消費密度は、応力-歪みヒステリシス・ループの面積 (ΔWと表記) に基づいて計算できます。この後、Deverauxのエネルギー・ベース疲労モデルを使ってMTTFを計算し、はんだ接合部の亀裂が、いつ発生し、最終的にゲートのバンプ長L全体にわたって伝播するかを定量化しました (式4-24 [48, 49])。

$$MTTF = K_1 \Delta W^{K_2} + \frac{L}{K_3 / \Delta W^{K_4}} \tag{式4-24}$$

ここで、最初の項のK₁ΔW^{K₂}は亀裂発生寿命を表し、2番目の項のL / (K₃/ΔW^{K₄})は、亀裂成長寿命をモデル化しています。K₁、K₂、K₃、K₄は適合係数です。

表4-5は、シミュレーションによるMTTFが実験によるMTTFと比べて、±10%の誤差マージン範囲内にあることを示しています。これは、デバイス寸法とクリティカルな角のゲート・バンプ長 (L) を考慮した式4-17で提案したTC寿命モデルの有効性をさらに裏付けています。

製品名	実験的 MTTF (サイクル数)	COMSOLシミュレーションした MTTF (サイクル数)	Δ _{MTTF}
EPC2619	2208	2284	+3%
EPC2218	1630	1537	-6%
EPC2069	1737	1849	+6%
EPC2206	737	792	+7%

表4-5: COMSOL FEA を使ってモデル化したMTTFと実験で測定したMTTFの概要。シミュレーションが実験データと10%以内で一致していることを示しています。

4.4.2.2. TCテスト条件の影響のモデル化

このセクションでは、高温と低温の両極端の間の温度差 (ΔT)、極端な高温 (T_{Max})、上昇速度 (R)、および極端な温度での滞留時間 (t_{Dwell}) など、さまざまなTCテスト条件をモデル化するための包括的なTC寿命方程式を開発します。

まず、WLCSPデバイスのEPC2218Aで、異なるΔTのTC実験を実施しました。どちらのテスト・レグも、温度の両極端で同様の上昇速度 (R) と滞留時間 (t_{Dwell}) にしました。温度サイクル間隔ごとに、電気的スクリーニングを実施し、データシートの制限値を超えることを故障基準としました。この2つのテスト条件は、TC1: ΔT = 165°C、T_{Max} = 125°Cで-40°C~125°C、およびTC2: ΔT = 145°C、T_{Max} = 105°Cで-40°C~105°Cです。図4-34は、2つのTC実験のワイブル分布分析です。ΔTとT_{Max}が大きいTC1では、TC2よりもTC故障が加速されています。したがって、Norris-Landzberg寿命モデルを使って、式4-25に示しました [44]。

$$N_{TC} = A \cdot f^\alpha \cdot \Delta T^{-\beta} \cdot \exp\left(\frac{E_a}{kT_{Max}}\right) \tag{式4-25}$$

ここで、 N_{TC} は故障するまでのTCサイクル数、 f は1日の合計サイクル数を表すサイクル周波数、 α はサイクル周波数指数で、通常は1/3に指定されます [50,51,52,53,54]。 ΔT は1サイクル内での T_{Max} と T_{Min} の差を定義し、 β は温度範囲指数で、通常は、はんだの種類と特性に依存します。この調査ではSAC305はんだを使っているため、文献 [50,51,52,55,56] に基づき、 β には約2の値を使います。最後の変数は式4-25の指数項で、最高温度 T_{Max} でのクリープ・メカニズムに注目したアレニウス項です。 E_a は活性化エネルギー、 k はボルツマン定数で 8.62×10^{-5} eV/Kです。表4-6に基づいて、 T_{Max} での活性化エネルギー (E_a) は約0.2 eVと計算されました。

この調査は、それぞれセクション5.1.6と5.2.5で紹介した太陽光発電コンバータとDC-DCコンバータの温度サイクル信頼性分析の基礎となります。

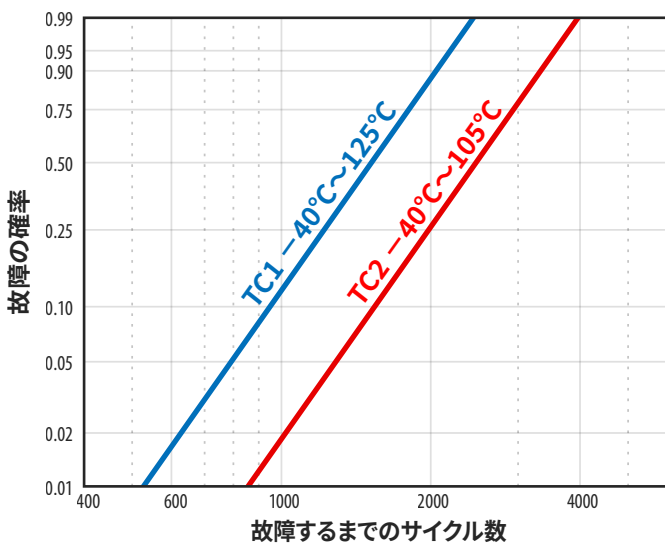


図 4-34：2 層銅のプリント回路基板上に実装したデバイス EPC2218A の TC1 および TC2 テスト条件下での温度サイクル結果のワイブル・プロット。

TC条件	T_{Min} (°C)	T_{Max} (°C)	ワイブル寿命の特性	MTTF (サイクル数)
TC1 アンダーフィルなし	165	40	36	1505
TC2 アンダーフィルなし	145	30	48	2430
TC1 アンダーフィルあり	165	40	36	7230 (下限信頼水準)

表 4-6：ワイブル・プロットで決定した温度サイクル・プロファイルと MTTF

Norris-Landzberg モデルでは、周波数項 (f^α) は、上昇速度と滞留時間の両方を同じ指数を持つ単一の項に結合し、これら2つの要素がMTTFに関して同じ動作と重みを持つと仮定しています。ただし、多くの場合、実験結果はモデルの予測と矛盾しています [57]。このため、式4-25の周波数項を、それぞれ独自の指数を持つ個別の上昇速

度項 (R) と滞留時間項 (t_{Dwell}) に分離するTC実験をさらに実施しました。DUTとしてEPC2206を使用しました。

この新しい調査では、単一領域の環境TCチャンバを使って、上昇速度 (R) を平均4°C/分から14°C/分まで変化させましたが、その他のTCテスト・パラメータはすべて、一定に維持しました。図4-35は、異なる上昇速度での2つのTC実験のワイブル・プロットです。

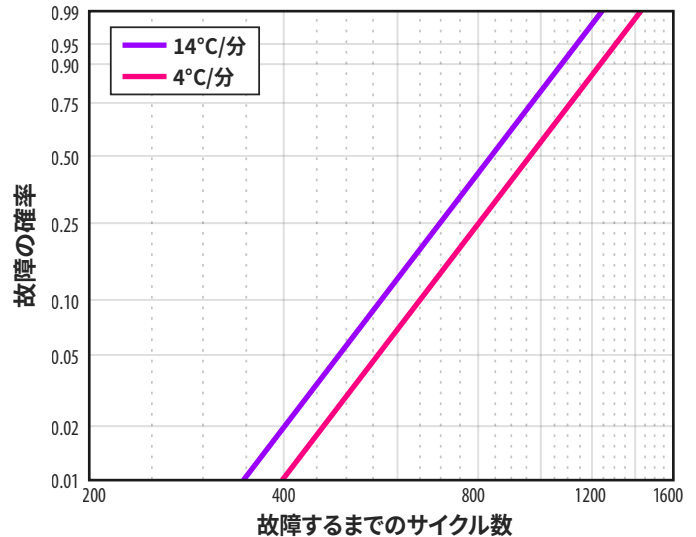


図 4-35：温度プロファイルにおいて2つの異なる上昇速度を持つ EPC2206 のワイブル・プロット。低速の上昇速度は4°C/分、高速の上昇速度は14°C/分。

式4-25に基づいて、上昇速度 (R) と滞留時間 (t_{Dwell}) をさらに定義するために式4-26を提案します。

$$N_{TC} = A \cdot R^a \cdot t_{Dwell}^b \cdot \Delta T^{-\beta} \cdot \exp\left(\frac{E_a}{kT_{Max}}\right) \quad \text{式4-26}$$

図4-35は、高速TCチャンバ ($R = 14^\circ\text{C}/\text{分}$) のMTTFが829サイクルであることを示しています。これは、MTTFが952サイクルの低速TCチャンバ ($R = 4^\circ\text{C}/\text{分}$) のMTTFよりも約13%小さいこととなります。したがって、上昇速度指数 a は-0.134と推定されます。滞留時間指数 b は、文献 [50,51,52,53,54] に基づいて -1/3であり、TC温度の極限における滞留時間が長いほど、TC寿命が短くなることを示唆しています。したがって、式4-26は、TC上昇速度 (R) に関して式4-27に単純化できます。

$$N_{TC} \propto R^{-0.134} \quad \text{式4-27}$$

図4-36は、-40°Cから125°Cのテスト条件下におけるTC上昇速度の関数として正規化したTC寿命です。すべてのTC寿命は、15°C/分の上昇速度に正規化しています。15°C/分が使われている理由は、はんだの相互接続部の信頼性評価においてJEDEC規格 [39] で最も一般的に参照されているTC上昇速度だからです。したがって、ユーザーは、図4-36を参照し、既存のTCデータに基づいて、異なるTC上昇速度におけるTC寿命を外挿することができます。

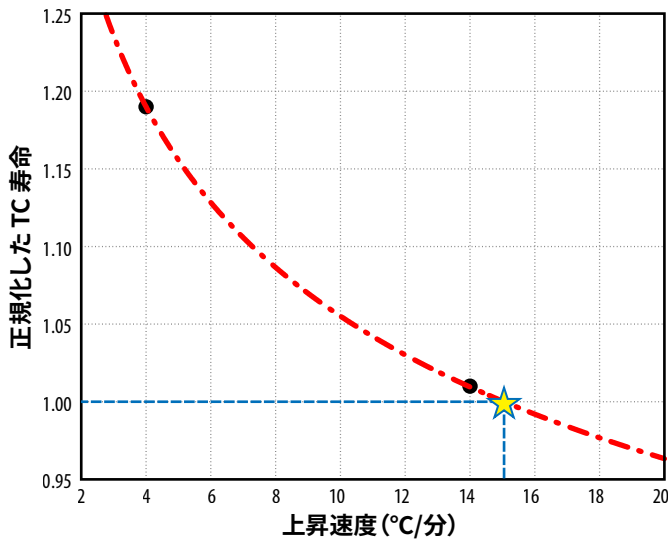


図4-36: -40°C~125°CのTC条件下での2層プリント回路基板の正規化したTC寿命と上昇速度の関係。すべてのTC寿命は15°C/分の上昇速度に正規化しています。

COMSOL Multiphysics®を使って有限要素解析 (FEA) シミュレーションを実行し、はんだ接合部の寿命に対するTC上昇速度の影響に関する基礎的なメカニズムを調査しました。上昇速度の両方のグループの応力-歪みヒステリシス・ループが図4-37です。高い上昇速度のグループは、低い上昇速度のグループに比べて、応力レベルが高く、エネルギー散逸密度が増加して、結果としてTC寿命が短くなります。高い上昇速度での高い歪み速度は、SAC305はんだの歪み硬化効果をより顕著に引き起こし、はんだ内の応力レベルを上昇させます [48]。したがって、このシミュレーション結果では、R = 14°C/分でのMTTFはR = 4°C/分でのMTTFよりも10.1%小さくなると予測され、これは実験値の13%との差とそれなりに合っています。

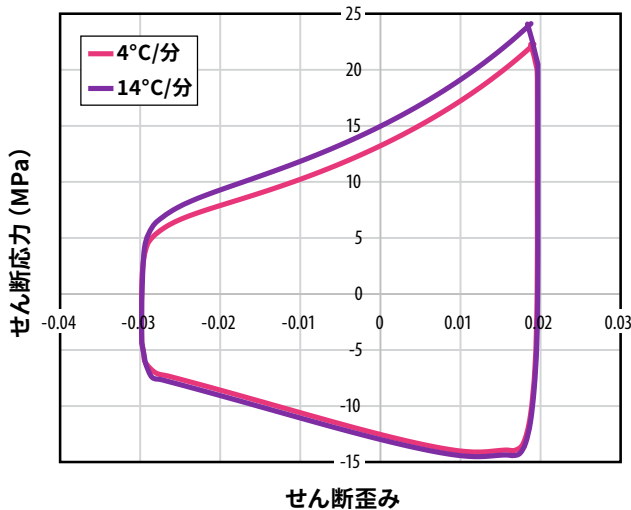


図4-37: 低速および高速の上昇速度グループの応力-歪みヒステリシス・ループ

4.4.2.3. プリント回路基板特性の影響のモデル化

高密度パワー・モジュールでは、しばしば、層数が多く厚いプリント回路基板が使われています。このような実装では、複雑なプリント

回路基板の剛性が増すため、TC中のはんだ接合部の信頼性について懸念が生じます。TCストレス下でははんだ接合部の寿命に対するプリント回路基板特性の影響は、Clechの「基板の厚さ」モデル [41] によってモデル化できます。Clechのモデルは、部品とプリント回路基板の間の機械的結合を第一原理からモデル化することによって開発しています。一般的に「基板の厚さ」モデルと呼ばれていますが、部品、基板、アセンブリに関連するすべての重要なパラメータを考慮した包括的なモデルです。Clechのモデルに基づくと、全体の寿命 N_{Total} は、3つの異なる機械的結合メカニズムに関連する3つの寿命部分で構成されます。

最初の部分 N_1 は、デバイスに作用する面内引張せん断力によって特徴付けられる寿命です。図4-38は、周囲温度が低温 (はんだ接合部への応力が中立) から極端な高温 (CTEの不一致によって、デバイスの膨張がプリント回路基板よりも大幅に小さくなる) まで上昇したときのデバイスとプリント回路基板の寸法変化の推移を示しています。この結果、図4-38に示すように、はんだ接合部は横方向に引き伸ばされます。 N_1 は、図4-38の緑色の矢印で示されているように、実装したデバイスの面内引張剛性を表します。式4-28は、このような面内ステンシルせん断力によって引き起こされる寿命を指定します。

$$N_1 = \frac{F}{\Delta\alpha^2} \times \frac{1-\gamma_{QFN}}{E_{QFN}h_{QFN}} = \frac{F}{\Delta\alpha^2} \times C_1 \quad \text{式4-28}$$

ここで、Fは特定のデバイス-プリント回路基板のシステムにおける定数であり、与えられたTC応力条件下では、 $\Delta\alpha$ はデバイスとプリント回路基板の間のCTE不一致、 γ_{Dev} はデバイスのポアソン比、 E_{Dev} はヤング率、 h_{Dev} はデバイスの高さです。 C_1 はデバイスの軸方向規制 $\frac{1-\gamma_{QFN}}{E_{QFN}h_{QFN}}$ として表されます。

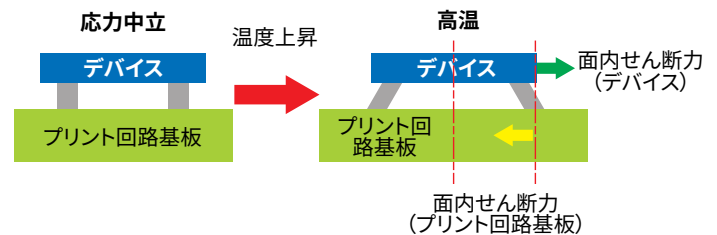


図4-38: デバイスとプリント回路基板に作用する面内引張せん断力の図

2番目の項 N_2 は、図4-38の黄色の矢印で示されているように、プリント回路基板に作用する面内引張せん断力によって制御されます。式4-29は、プリント回路基板のこのような引張剛性に関する寿命特性を表します。

$$N_2 = \frac{F}{\Delta\alpha^2} \times \frac{1-\gamma_{PCB}^2}{2E_{PCB}h_{PCB}} = \frac{F}{\Delta\alpha^2} \times C_2 \quad \text{式4-29}$$

ここで、Fと $\Delta\alpha$ は式4-28と同じであり、 γ_{PCB} はプリント回路基板のポアソン比、 E_{PCB} はヤング率、 h_{PCB} はプリント回路基板の厚さです。 C_2 はプリント回路基板の軸方向規制 $C_2 = \frac{1-\gamma_{PCB}^2}{2E_{PCB}h_{PCB}}$ として定義されます。

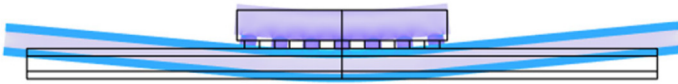


図4-39: COMSOL FEAシミュレーション結果は、デバイスとプリント回路基板の間の曲げを示しています。

最後に、 N_3 は式4-30のように、デバイスとプリント回路基板のバイメタル・ストリップの曲げモーメントを表します。図4-39は、この曲げ動作のFEAシミュレーション結果です。寿命のこの部分 N_3 は、デバイスとプリント回路基板の曲げ弾性率によって支配されます。

$$N_3 = \frac{F}{\Delta\alpha^2} \times \frac{H^2}{\frac{E_{QFN}^f h_{QFN}^3}{12(1-\nu_{QFN})} + \frac{E_{PCB}^f h_{PCB}^3}{6(1-\nu_{PCB}^2)}} = \frac{F}{\Delta\alpha^2} \times C_3 \quad \text{式4-30}$$

ここで、 E_{Dev}^f および E_{PCB}^f は、それぞれデバイスの曲げヤング率です。 C_3 はデバイスとプリント回路基板のバイメタル・ストリップ・アセンブリの曲げ規制 $\frac{H^2}{\frac{E_{QFN}^f h_{QFN}^3}{12(1-\nu_{QFN})} + \frac{E_{PCB}^f h_{PCB}^3}{6(1-\nu_{PCB}^2)}}$ です。

H は、さらに式4-31で定義されます。

$$H = \frac{h_{QFN}}{2} + h_{standoff} + \frac{h_{PCB}}{2} \quad \text{式4-31}$$

ここで、 $h_{Standoff}$ は、アセンブリ後のはんだ接合部のスタンドオフの高さです。

したがって、全寿命 N_{Total} は、式4-32のように、3つの部分の合計によって決定されます。

$$N_{Total} = N_1 + N_2 + N_3 = \frac{F}{\Delta\alpha^2} \times (C_1 + C_2 + C_3) \quad \text{式4-32}$$

これまでの信頼性レポートでは、デバイスとプリント回路基板の間の曲げ動作を表す N_3 が、全寿命 N_{Total} を支配することが示されています [47]。高電力密度用途で使われる h_{PCB} は、 h_{Dev} と $h_{Standoff}$ の両方よりも非常に厚いため、 H は実質的に h_{PCB} に等しくなります。したがって、 N_{Total} は式4-33のように単純化できます。

$$N_{Total} \propto \frac{A}{B+C \times h_{PCB}} \quad \text{式4-33}$$

ここで、 A 、 B 、 C は、プリント回路基板、デバイス、およびアセンブリ後のはんだ接合部の材料特性に依存する定数です。式4-33は、プリント回路基板の厚さが減少しても他のすべてのパラメータが一定であると仮定すると、TC寿命はプリント回路基板の厚さに反比例することを示しています。

同様の加速TC実験を、合計の厚さ3.2 mmの16層銅層のプリント回路基板に搭載したEPC2218 (パッケージはEPC2218Aと同一) に対して実施しました。16層プリント回路基板のTCテスト条件とアセンブリは、2層銅層のプリント回路基板と同じで、TC1条件は $-40^\circ\text{C} \sim 125^\circ\text{C}$ でした。ワイブル分布分析の結果、TC実験における16層

のMTTFは、2層プリント回路基板のMTTFと比べて、約40%減少することが分かりました。これは、式4-33のモデルからの投影と一致しています。図4-40は、3つの仮定に基づき、プリント回路基板の銅層数の関数として式4-33からのTC寿命の外挿を示しています。まず、プリント回路基板の厚さは、銅層数に線形に比例して増加し、1層当たりの銅層の厚さは2オンス (1オンスは約28 g)、約70 μm です。次に、プリプレグ (成型) 材はCTEが18 ppm/ $^\circ\text{C}$ の標準FR4です。最後に、デバイスとプリント回路基板の間の弾性率とCTEの不一致は、銅層数が減っても一定であり、Cu/FR4比が一定であることを示しています。

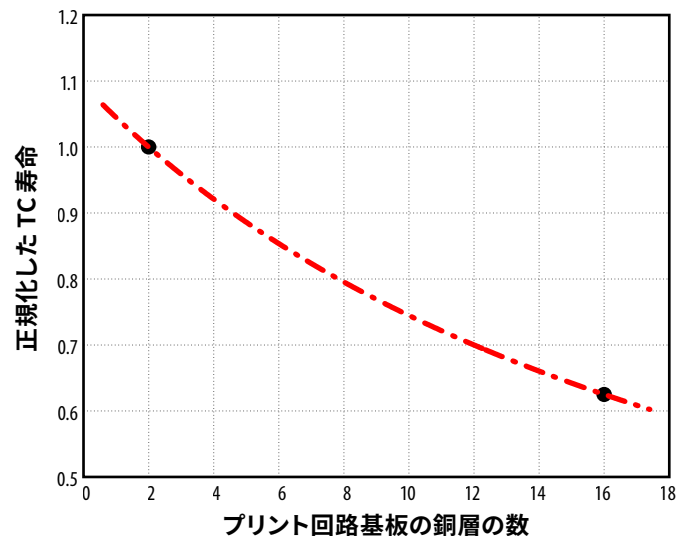


図4-40: プリント回路基板の銅層数に対するTC寿命。すべてのMTTFは2層銅層のプリント回路基板のMTTFに正規化しています。

4.4.3. 適切なアンダーフィルを選択するための基準

アンダーフィル材の選択では、チップとはんだの相互接続だけでなく、材料のいくつかの重要な特性も考慮しなければなりません。まず、アンダーフィル材のガラス転移温度は、アプリケーションにおける最大動作温度よりも高くなければなりません。さらに、アンダーフィルのCTEは、はんだのCTEにできるだけ近くなる必要があります。これは、はんだ接合部での余分な引張/圧縮の応力を回避するために、両者が同じ速度で膨張/収縮する必要があるのであります。参考までに、一般的な鉛フリーのSAC305およびSn63/Pb37のCTEは約23 ppm/ $^\circ\text{C}$ です。ガラス転移温度 (T_g) を超える温度で動作するとき、CTEが劇的に大きくなることに注意してください。 T_g とCTEに加えて、ヤング率 (または貯蔵弾性率) も重要です。非常に硬いアンダーフィルは、はんだバンプのせん断応力を軽減するために役立ちますが、このセクションの後半で説明するように、デバイスの角での応力が増加します。低粘度 (チップの下のアンダーフィルの流れを改善するため) と高熱伝導率も望ましい特性です。

メーカー名	型番	CTE (ppm/°C)			貯蔵弾性率 (DMA) 25°Cのとき (N/mm ²)	粘度 25°Cのとき	ポアソン比	体積抵抗率	熱伝導率	絶縁耐力
		Tg (TMA) [C]	Tg以下	Tg以上						
独ヘンケルの LOCTITE	ECCOBOND- UF 1173	160	26	103	6000	7.5 Pa*s				
ナミックス	U8437-2	137	32	100	8500	40 Pa*s	0.33	>1E15 Ω-cm	0.67 W/m·K	
ナミックス	XS8410-406	138	19	70	13000	30 Pa*s				

表4-7: WLCSPのGaNデバイスに推奨するアンダーフィル材の特性

GaNトランジスタに使うアンダーフィルを選択するための主なガイドラインを以下に示します:

- アンダーフィルの熱膨張係数 (CTE) は、はんだ接合部のCTE (24 ppm/°C) を中心として、16~32 ppm/°Cの範囲にしなければなりません。この範囲内で低い値であれば、チップとプリント回路基板の整合性が向上するため、推奨します。
- ガラス転移温度 (Tg) は、最高動作温度よりも十分に高くなければなりません。Tgを超える温度で動作すると、アンダーフィル材の剛性が失われ、はんだ接合部を保護できなくなります。
- ヤング率 (または貯蔵弾性率) は6~13 GPaの範囲です。弾性率が低すぎると、アンダーフィル材が柔軟になり、はんだ接合部の応力を緩和できません。一方、高すぎると、チップの端に高い応力が集中し始めます。

アンダーフィル使用時の熱機械的信頼性に影響を与える主な要因をより深く理解するために、温度サイクル・ストレス下のEPC2206の有限要素シミュレーションを実施しました。図4-41は、この解析に使ったシミュレーションの構成です。チップは1.6 mm厚のFR4プリント回路基板上に配置され、温度変化は中立 (ストレスなし) 状態よりも $\Delta T = +100^\circ\text{C}$ 高くしています。2つの主要なアンダーフィル・パラメータ (ヤング率とCTE) を変えました。図に示すように、応力は、断面に沿って解析し、はんだバー、チップ、アンダーフィルの内部のストレスが可視化されます。

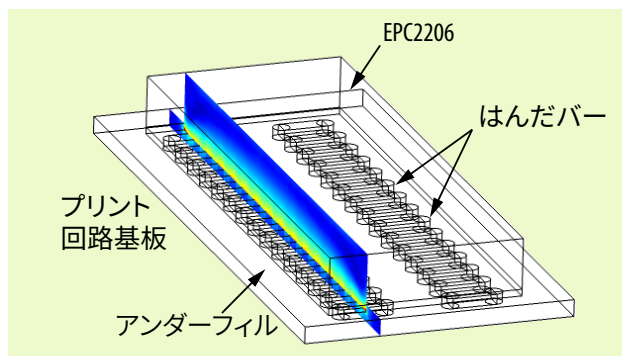


図4-41: 温度サイクル・ストレス下におけるEPC2206内部の応力を有限要素解析するためのシミュレーション構成。アンダーフィル付きのチップが1.6 mm厚のFR4プリント回路基板上に配置されています。応力は、図に示す断面に沿って解析します。

図4-42は、断面に沿った最も端のはんだバーのミーゼス応力 [58] のピークせん断応力を示しています。分かりやすくするために、はんだバーの応力のみを示しています。加えて、接合部のせん断変位を示すために、機械的変形を20倍に誇張しています。アンダーフィルのヤング率 (E) またはCTEを変えることによって、4種の異なるアンダーフィル条件をシミュレーションします。この図から、アンダーフィルがない場合のはんだバーのせん断応力と変形はるかに大きいことがわかります。アンダーフィルを追加すると、接合部からの応力が大幅に軽減されます。ヤング率が高くなると、この応力はさらに減少します。はんだ接合部とのCTEの整合性が良くないアンダーフィルの場合も、接合部に応力が蓄積する可能性があります。

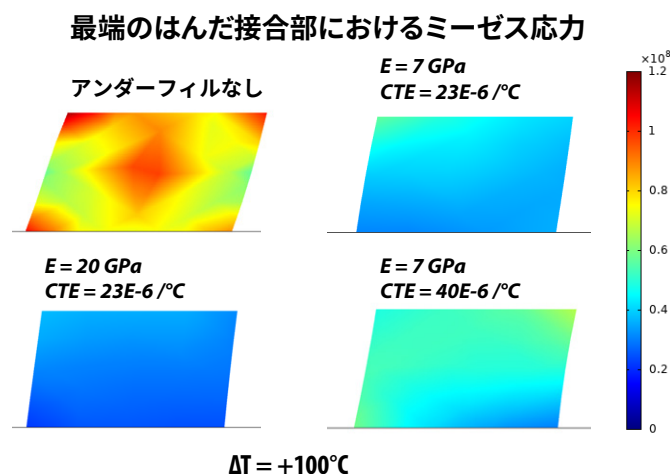


図4-42: $\Delta T = +100^\circ\text{C}$ の温度サイクル変化における最端のはんだバーのミーゼス応力 (ピークせん断応力)。アンダーフィルのヤング率とCTEを変えて、4種の異なるアンダーフィル条件をシミュレーションしました。すべての場合で、機械的変形を20倍に誇張していることに注意してください。

図4-43は、同じ4種の条件を示していますが、今回は、ミーゼス応力をチップとアンダーフィルの両方に示しています。ヤング率が高い場合は、はんだ接合部の応力は小さいですが、チップ内部とチップの端付近のアンダーフィルの応力は高くなっています。これらの高い応力は、デバイス内部の亀裂や最終的な故障につながる可能性があります。FEA解析では、最適なヤング率は約6~13 GPaの範囲にあり、はんだ接合部の保護とチップの端の保護の間で適切な妥協点が得られることが示されています。CTEに関しては、解析によって、アンダーフィルのCTEを高くしすぎる (32 ppm/°C以上) ことは避けるべきであることが示されています。

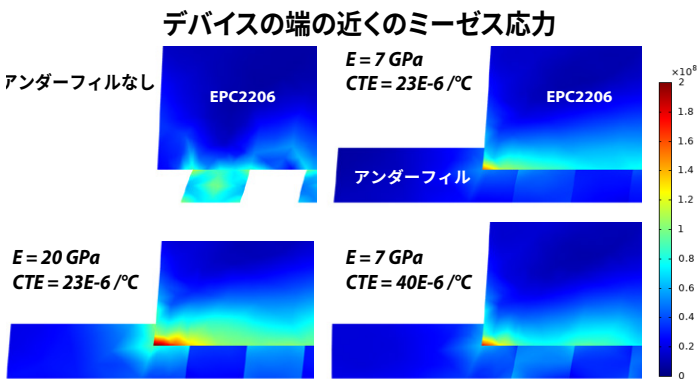


図4-43: $\Delta T = +100^\circ\text{C}$ の温度サイクル変化における最端のはんだバーのミーゼス応力(ピークせん断応力)。アンダーフィルのヤング率(E)とCTEを変えて、4種の異なるアンダーフィル条件をシミュレーションしました。各図では、変形が同じスケールで誇張していることに注意してください。

温度サイクルの信頼性に対するアンダーフィルの影響は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度サイクル1(TC1)で、EPC2218A [59]を使って調べました。アンダーフィル材ありとなしの2つの部品グループを比較しました。選択したアンダーフィル材は、以前の調査で良好な特性を示した独ヘンケルのLoctite(型番:Eccobond-UF 1173)です[60]。すべての部品は、含侵中間材料を備えた標準FR4を使った2層銅のプリント回路基板に実装しました。アンダーフィル処理したすべてのデバイスは、アンダーフィル塗布前にプラズマ洗浄処理をしました。TC間隔ごとに電気スクリーニングを実施しました。データシートの制限値を超えると故障と判断しました。電気テストでの故障をさらに詳しく調査するため、物理的な断面検査とSEM検査を実施しました。解析対象となったすべての故障において、はんだ接合部の亀裂が主な故障モードであることが分かりました。故障するまでのテスト手法による実験結果を図4-44のワイブル・プロットにまとめています。

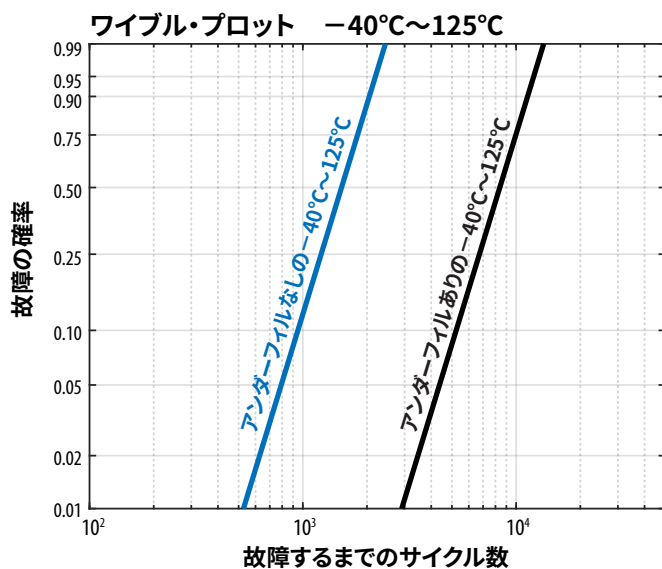


図4-44: EPC2218Aの温度サイクル(TC)結果のワイブル・プロット。プリント回路基板の全体の厚さが1.6 mmの2層銅のプリント回路基板上でアンダーフィル材の有無によって比較しています。

アンダーフィルなしのグループは、1600サイクルで累積故障率が50%を超えました。アンダーフィルありのグループでは、測定した $R_{DS(on)}$ にも、TC1ストレスの3000サイクル後の $R_{DS(on)}$ シフトにも異常は見られませんでした。調査したすべてのパラメータは、すべてのTC間隔を通じて非常に狭い分布を示しました。3000サイクルに合格したデバイスに対してランダムに物理的な断面検査を実施しましたが、はんだ接合部の亀裂は、観測されませんでした。これは、適切なアンダーフィル材を適用することでTC特性を大幅に向上できることを示しています。したがって、アンダーフィルのレッグを含む図4-44のワイブル適合線は、現在のテスト結果に基づく信頼度の下限値にすぎません。

このアンダーフィルのTC調査は、それぞれセクション5.1.6と5.2.5で説明する太陽光発電コンバータとDC-DCコンバータの温度サイクル信頼性分析の基礎にもなります。

4.4.4. パワー・サイクル(PC)・ストレスの寿命モデルの開発

パワー・サイクル(PC: Power cycling)・テストは、パワー・デバイスのオン/オフ動作の繰り返しによって、パッケージ部品とプリント回路基板の間の周期的な不均一な温度勾配によって生じる熱機械的応力をシミュレーションします。PCテストは、従来の温度サイクル(TC)・テスト[JESD22-A104]を補完します。従来のTCテストでは、被試験デバイス(DUT)は通常、非動作状態で、プリント回路基板とDUTの間の温度勾配はわずかです。図4-45は、PCとTCを比較したデバイス接合部の温度プロファイルです。

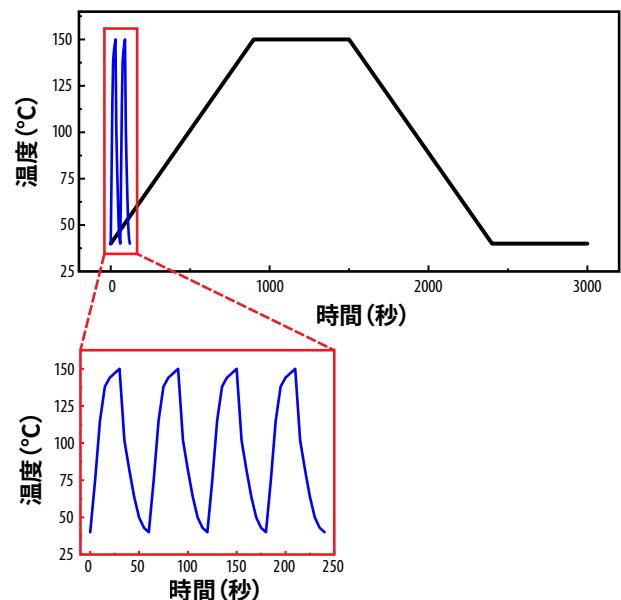


図4-45: TC(1サイクル当たり50分)とパワー・サイクル(1サイクル当たり60秒)の間のデバイス接合温度の比較。

DUTの加熱には、定電力アプローチ[61]が使われ、この加熱サイクル中にDUTの接合部温度は予め設定した最高温度(T_{Max})に達します。加熱サイクル後、定電力は停止され、冷却サイクルが始まります。冷却サイクルでは、外部冷却ファンが作動し、DUTの背面に強制的に空気の流れが作られます。この強化した冷却プロセスによ

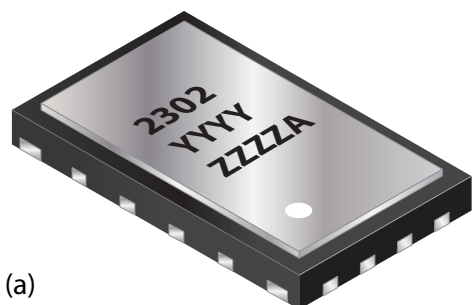
て、DUTは特定の時間間隔内に目標の最低温度 (T_{Min}) に到達することができます。PC中のDUTの接合部温度は、DUTの背面に設置したサーマル・カメラFLIR® (モデルT300) と熱電対によってモニターします。

4.4.4.1. パワー・サイクル・ストレスに対する熱機械寿命モデルの適用

このセクションでは、これまでに開発した熱機械寿命がパワー・サイクル (PC) にも適用可能ですが、PCストレスに特化するために、一部の電力指数を調整する必要があることが分かりました。そこで、EPCのPQFNデバイスを対象に、さまざまなPCストレス条件下でのPC寿命モデルを開発しました。

4.4.4.2. 故障するまでのテスト：パワー・サイクル

EPCの各種PQFNデバイスのPCテストには、固定の接合部温度で 40°C (T_{Min}) から 150°C (T_{Max}) まで変えて、故障するまでのテスト手法を採用しました。調査対象としたすべてのPQFN封止DUTの外部バンプ・レイアウトは同じですが、内部のGaNデバイスは図4-46に示すように2種類の寸法です。この調査によって、内部チップ形状の違いがPC寿命に大きな影響を与えることが分かりました。加えて、PCサイクル時間 (t_{Cycle}) の変化がPC寿命に大きな違いをもたらすことも分かりました。両方の影響を体系的に調査し、後で、このレポートで示すPC寿命モデルに組み込みました。



(a)
パッケージ・サイズ: 3×5 mm



(b)
パッケージ・サイズ: 3×5 mm

図4-46: テスト対象のEPCのPQFNデバイス。(a) EPC2302、フルチップのPQFN、(b) EPC2307、ハーフチップのPQFN

一定回数のパワー・サイクル後、電気的パラメータ・テストを実施し、データシートの制限値を超えた場合に故障と判定しました。主な電気的故障は $R_{DS(on)}$ の増加です。実験結果のワイブル・プロットを図4-47にまとめます。計算したワイブルMTTFとテスト条件が表4-8です。

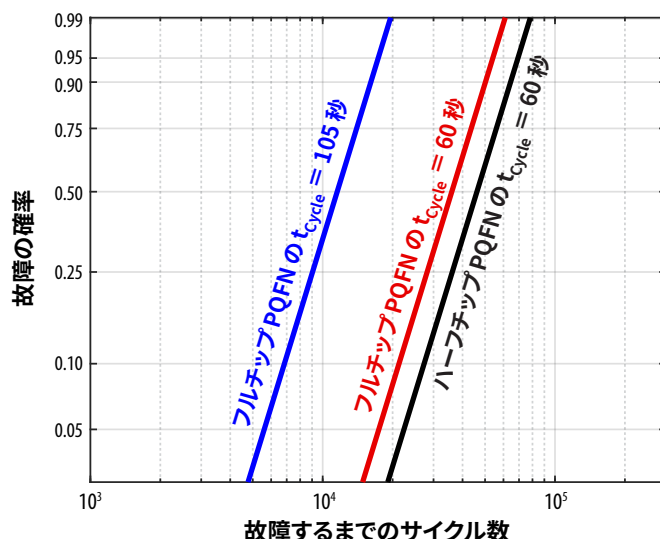
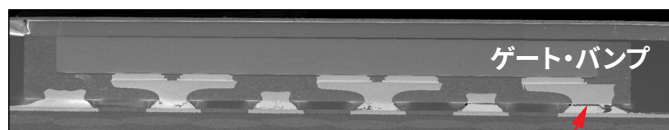


図4-47: PC に対してテストしたフルチップおよびハーフチップのPQFNパッケージのワイブル解析。

製品	ΔT ($^{\circ}\text{C}$)	T_{Max} ($^{\circ}\text{C}$)	T_{Min} ($^{\circ}\text{C}$)	サイクル時間 (秒)	1日当たりのサイクル数 (式4-25のf)	MTTF (サイクル数)
フルチップQFN (EPC2302)	110	150	40	60	1440	35,870
ハーフチップQFN (EPC2307)	110	150	40	60	1440	46,020
フルチップQFN (EPC2302)	110	150	40	105	823	11,519

表4-8: 3種のPCテスト条件と、ワイブル・プロットによって決定したそれぞれのMTTFのまとめ。

電気的スクリーニングの故障をさらに詳しく調査するため、物理的な断面観測とSEM検査を実施しました。図4-48のように、PQFNパッケージとプリント回路基板の間の角のゲート・バンプのはんだ接合部の亀裂がPC故障の主な原因であることを特定しました。PCで観測された故障モードは、前述のTC故障モードと類似しています。



はんだ接合部の亀裂

図4-48: パワー・サイクル (PC) 故障の代表的なSEM断面。角のゲートのはんだ接合部の亀裂がTCと同様にPC故障の原因となっていることも強調しています。

図4-48の故障解析画像は、プリント回路基板とQFNパッケージのCTEの不一致によって引き起こされるせん断歪み型の機械的応力が、PCの故障の主な原因であることを示しています。したがって、Norris-Landzbergモデルから開発した式4-25の熱機械寿命モデルは、PCの応力にも適用できます。ただし、べき乗指数などの適合パラメータは、PCの応力に特化するように調整しなければなりません。

TCの式4-25に含まれる Norris-Landzberg モデルは、はんだ接合部で観測されるせん断歪みに基づいて表すことができ、PC寿命をモデル化することができます (式4-34 [44, 45])。

$$N_{PC} \propto f^{\alpha} \cdot (\gamma_{ave}^{max})^{-\beta} \cdot \exp\left(\frac{E_a}{kT_{Max}}\right) \quad \text{式4-34}$$

ここで、 f は1日当たりのサイクル数を表す周波数項、 α は周波数指数、 E_a はサイクル中の最高温度 T_{Max} において最も関係する活性化エネルギー、 k はボルツマン定数、 γ_{ave}^{max} は T_{Max} と T_{Min} の間の角のゲート・バンプにおける平均せん断歪み、 β はべき乗指数です。せん断歪み γ_{ave}^{max} は、式4-35 [45] によってさらに定義できます。

$$\gamma_{ave}^{max} = DNP^{max} \cdot \Delta T E \cdot \Delta T \cdot \frac{1}{h} \quad \text{式4-35}$$

ここで、 DNP^{max} は、最大歪み力所 (通常は部品の端部) から応力中立力所 (通常はデバイスの中心) までの距離です。ハーフチップ PQFN とフルチップ PQFN は、寸法、バンプのレイアウト、フットプリントが同じなので、この調査で調べたすべてのデバイスで DNP^{max} は同じです。 ΔT は高温と低温の両極端の間の温度差、 h は部品とプリント回路基板を接続するスタンドオフ高さ (はんだの高さ) です。同様に、アセンブリとテスト条件は、この調査を通して一貫しているため、 h と ΔT も同じであると考えられます。

次のセクションでは、PC ストレスと PQFN パッケージの実装に関連する以下3つの重要な側面について調査します。

1. サイクル時間 (t_{Cycle}) の影響
2. 内部デバイスの寸法の影響
3. ΔT ($T_{Max} - T_{Min}$) の影響

4.4.4.2.1. サイクル時間 (t_{Cycle}) の影響

フルチップ PQFN パッケージにおいて、 ΔT を 110°C に固定し、2種類のサイクル時間 (t_{Cycle}) を調査しました。デバイス接合部の温度プロファイルは、デバイスの裏面に直接取り付けられた熱電対を使って測定しました。測定結果が図4-49です。PC ストレスには定電力テスト法を使ったため、どちらのプロファイルでも T_{Max} または T_{Min} における滞留時間はほとんど見られず、TC テストとは大きく異なります。

表4-8は、短いサイクル時間 ($t_{Cycle} = 60$ 秒) のMTTFが、長いサイクル時間 ($t_{Cycle} = 105$ 秒) の約3倍であることを示しています。式4-34に基づき、これらの2つのPCテスト・レグの T_{Max} と T_{Min} は同じなので、PC寿命 (N_{PC}) は式4-36のように単純できます。

$$N_{PC} \propto f^{\alpha} \quad \text{式4-36}$$

ここで、 f は表4-8に示すように1日当たりのサイクル数を表し、 α はべき乗指数です。したがって、 α は約2と推定できます。周波数項の指数が正の場合、 t_{Cycle} が短いほどPCの寿命が長くなり、逆もまた同様です。

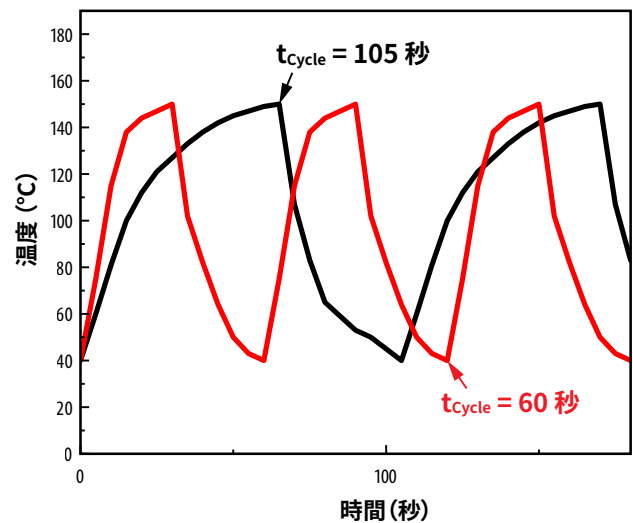


図4-49: 1 サイクル当たり 105 秒と 1 サイクル当たり 60 秒の PC サイクルの温度プロファイルの比較。温度は、PQFN 封止デバイスの背面に熱電対を直接取り付け測定しています。

PC サイクルの加熱期間中、デバイスの接合部温度は、自己発熱によって周囲温度を急速に上回りますが、プリント回路基板とはんだの相互接続部の温度は、遅れて上昇することがあります。これは、DUT アセンブリ全体を均一な温度分布にした TC チャンバ内に配置した従来の TC テストとは対照的です。このため、デバイスの接合部温度とプリント回路基板の間に温度勾配が生じることが予想されます。勾配の大きさは、デバイスが目標接合部温度 (T_{Max}) まで、どれだけ速く加熱されるかに依存し、これは t_{Cycle} によって定量化できます。



図4-50: はんだ付けによって観測される熱機械的歪みの比較。条件 (a) : 電力が供給されていないため、デバイスとプリント回路基板は両方とも青色です; 条件 (b) : 非常に短い t_{Cycle} でデバイスの電源が投入され、デバイスは高温 (赤色) ですが、プリント回路基板は周囲温度 (青色) のままです; 条件 (c) 非常に長い t_{Cycle} でデバイスの電源が投入され、デバイスとプリント回路基板は両方とも T_{Max} に達します (両方とも赤色); 条件 (d) 中程度の t_{Cycle} でデバイスの電源が投入され、デバイスは高温 (赤色) ですが、プリント回路基板は中間温度 (ピンク色) にしか達しません。

プリント回路基板のCTEは約11.3 ppm/°Cで、表4-9に基づいて約6.4 ppm/°Cと推定されるフルチップPQFNパッケージのデバイスの有効CTEよりも大幅に高くなっています。図4-50 (a) は、デバイスとプリント回路基板の両方が周囲温度にある電源がオフのときの中立応力状態を示しています。図4-50 (b) と (c) は、PC サイクルでの2つの極端なシナリオです。図4-50 (b) の場合、加熱間隔が非常に速いため、プリント回路基板は、完全に遅れて周囲温度のままになります。この場合、図4-50 (b) に示すように、プリント回路基板の熱膨張がほぼゼロなので、はんだの相互接続は T_{Max} で小さな圧縮せん断歪みが生じると予想されます。図4-50 (c) は、プリント回路基板の温度がデバイスの接合部温度に一致する非常に長い t_{Cycle} でのもう1つの極端なシナリオを示しています。図4-50 (d) は t_{Cycle} が中程度の場合で、プリント回路基板も発熱しますが、プリント回路基板の温度はデバイスの接合部温度よりも大幅に低いまです。(c) と (d) の場合では、はんだ接合部は T_{Max} (接合部温度) で引張のようなせん断歪みが生じると予想され、せん断歪みの大きさは t_{Cycle} に依存します。

図4-50 (d) の中間の場合で表される通常のPCテストでは、 t_{Cycle} が長いほど、角のゲートはんだ接合部の T_{Max} でのせん断歪みが大きくなり、PC寿命(N_{PC})が短くなると予測され、その逆も同様です。この解析では、図4-47と表4-8に示す故障するまでのテストのデータに基づいて計算した正の周波数指数2が検証されました。有限要素解析 (FEA) は現在、根本的なメカニズムをさらに理解するために進行中です。図4-51は、 t_{Cycle} を変化させた場合の正規化したPC寿命を示しています。すべてのPC寿命は、 t_{Cycle} が105秒のときのMTTFに正規化しています。ユーザーはこのグラフを参照して、さまざまな t_{Cycle} でのPC寿命を推定できます。

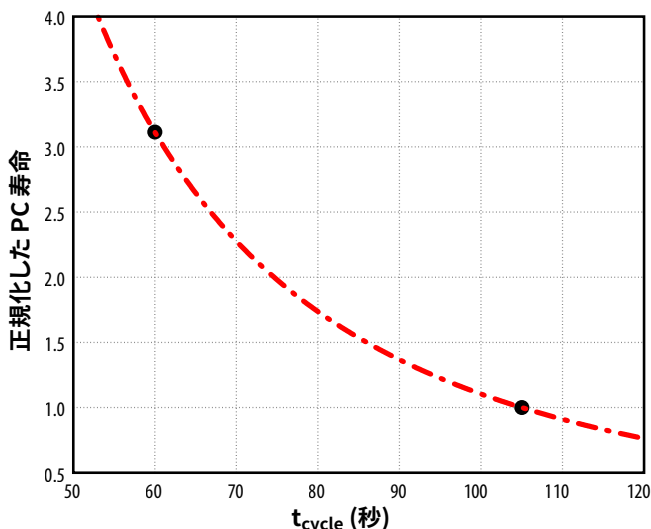


図4-51: 正規化したPC寿命とサイクル時間 (t_{Cycle}) の関係。すべてのPC寿命は t_{Cycle} が105秒でのMTTFに正規化しています。

4.4.4.2.2. 内部デバイスの寸法の影響

図4-46のように、フルチップQFNとハーフチップQFNというPQFNパッケージの2種のデバイスは、内部チップの寸法と形状が異なります。図4-47と表4-8のワイブル分布プロットは、ハーフチップPQFNデバイス (EPC2307) がフルチップPQFNデバイス

(EPC2302) よりも30%長い寿命を示しています。どちらのデバイスも t_{Cycle} は60秒です。このセクションでは、2種のPQFNパッケージ実装における寿命の違いについて説明します。

当初、これは意外な結果でした。なぜなら、両方のPQFNパッケージのデバイスは、パッケージ・サイズ、外部パッドのレイアウト、およびフットプリントが同一だったからです。加えて、プリント回路基板のアセンブリとPCテスト条件は、全体を通して一貫していたため、デバイスの接合部温度の $h, f/t_{Cycle}, \Delta T$ は、すべて同じであることが示されました。したがって、PC寿命の変動を説明する2種のテスト・レグの間の唯一の違いは、内部のチップ・サイズです。表4-9は、フルチップおよびハーフチップのPQFNパッケージのリード・フレーム (銅)、封止樹脂、GaN オン・シリコンの内部チップの体積比です。この表から、2種のPQFNパッケージ・デバイスの実効CTEが推定できました。この計算によって、PQFNパッケージ内のチップ/封止樹脂の体積比の違いが、パッケージ・デバイスの実効CTEに大きな変動をもたらす可能性があることが分かります。

	リード・フレーム (CTE=17 ppm/°C)	封止樹脂 (CTE=7 ppm/°C)	GaNオン・シリコン・チップ (CTE=2.6 ppm/°C)	CTE ^{Effective} (ppm/°C)
フルチップQFN	14%	39%	47%	6.4
ハーフチップPQFN	15%	60%	25%	7.4

表4-9: リード・フレーム、封止樹脂、内部のGaN オン・シリコン・チップの体積比に基づく、フルチップとハーフチップのPQFNパッケージの実効CTEの推定値。

式4-35において、 ΔCTE は、プリント回路基板とデバイス間のCTEの差です。したがって、式4-34と式4-35を組み合わせると、PC寿命(N_{PC})は式4-37でモデル化でき、PC寿命はプリント回路基板とPQFNパッケージの間のCTE不一致に反比例することが分かります。

$$N_{PC} \propto (\Delta CTE)^{-\beta} \quad \text{式4-37}$$

ここで、SAC305はんだ相互接続の場合、べき指数 β は約2と推定されます [50,51,52,55,56]。

表4-8は、フルチップのPQFNデバイスのMTTF (平均故障時間) がハーフチップのPQFNデバイスよりも約22%短いことを示しています。PQFNパッケージとプリント回路基板の実効CTE (11.3 ppm/°C) の間の ΔCTE を計算すると、フルチップPQFN ($\Delta CTE = 4.9$ ppm/°C) のCTEの不一致は、ハーフチップ・デバイス ($\Delta CTE = 3.9$ ppm/°C) の1.26倍に大きくなります。式4-29でべき乗指数 (β) を2 [1,41] とすると、フルチップPQFNデバイスのPC寿命はハーフチップPQFNデバイスよりも約37%短くなると予測できます。

推定したPC寿命の差は、測定値と一貫した傾向を示しているものの、依然としてわずかな差異が観測されました。第1の考えられる原因は、SAC305はんだのTCストレスを調査した文献に基づき、べき指数を2と設定したことです。式4-37は、依然として成立すると予想されますが、PCストレスの実際のべき指数は2よりも小さくなる可能性があります。実際、TCストレスに関する文献では β は、通常1~2の範囲で報告されているため[41,47]、 β を1.1とすると、予測値と実験結果がよく一致します。第2に、モデリングと実験結果の不一致は、TCストレスとPCストレスの加熱方法の基本的な違いによるものと考えられます。式4-37は、DUT/プリント回路基板のアセンブリ積層全体の温度変化がストレス全体で均一であると仮定するオリジナルのNorris-LandzbergのTCモデルから導出しました。したがって、2種の異なるPQFNデバイス間の ΔT は同じであり、効果的に互いに打ち消し合います。ただし、通常のPCストレス下では、図4-50(d)に示すように、デバイスとプリント回路基板間の熱勾配は避けられません。加熱源がフルチップの場合とハーフチップの場合では、デバイスからプリント回路基板への熱勾配プロファイルがわずかに異なることが予想されます。この影響を調査し、PC寿命モデルをさらに改良するためのFEAシミュレーション作業が進行中です。

4.4.4.2.3. ΔT の影響 ($\Delta T = T_{Max} - T_{Min}$)

PCサイクル内のデバイス接合部の温度差 ($\Delta T = T_{Max} - T_{Min}$) の影響も式4-34でモデル化できます。ここでの摩耗メカニズムは、TCテストのメカニズムと同じです。したがって、 t_{Cycle} と T_{Max} が同じであると仮定すると、PC寿命モデルは、式4-38のように単純化できます。

$$N_{PC} \propto (\Delta T)^{-\beta} \cdot \exp\left(\frac{E_a}{kT_{Max}}\right) \quad \text{式4-38}$$

ここで、SAC305はんだ[56]には、べき指数(β)として2が使われ、活性化エネルギー(E_a)は、SAC305の以前のTCテスト結果[1]に基づいて約0.2 eVです。これらの値をPCストレスへの適用性を高めるために、現在も追加のテストが進行中です。

図4-52は、 $t_{Cycle} = 60$ 秒、 $T_{Max} = 150^\circ\text{C}$ において、フルチップPQFNパッケージとハーフチップPQFNパッケージの故障率が50%と1%におけるPC寿命です。 ΔT が低下すると、はんだ接合部の熱機械的応力と歪みが減少するため、PC寿命は大幅に長くなります。これは、TCストレスの観測結果と一致しています。

図4-53は、フルチップPQFNデバイスとハーフチップPQFNデバイスについて、故障率1%の場合のPCの予測寿命を、 T_{Max} 値が 50°C 、 75°C 、 100°C 、 125°C の4つの異なる値で示しています。図4-53は T_{Max} の重要性を強調しており、 T_{Max} が高いほど、はんだクリープ故障が発生しやすくなり、PCの寿命が短くなることが示唆されています。

4.4.5. 結論

EPCのPQFNパッケージ・デバイスの実験によるパワー・サイクル(PC)のデータに基づく包括的な寿命モデルは、角のゲートのはんだ接合部の亀裂がPC故障の主な原因であるという理解に基づいて開発しました。このPC固有の寿命モデルは、サイクル時間(t_{Cycle})、 ΔT ($T_{Max} - T_{Min}$)、および内部チップの寸法と形状の影響を考慮しています。

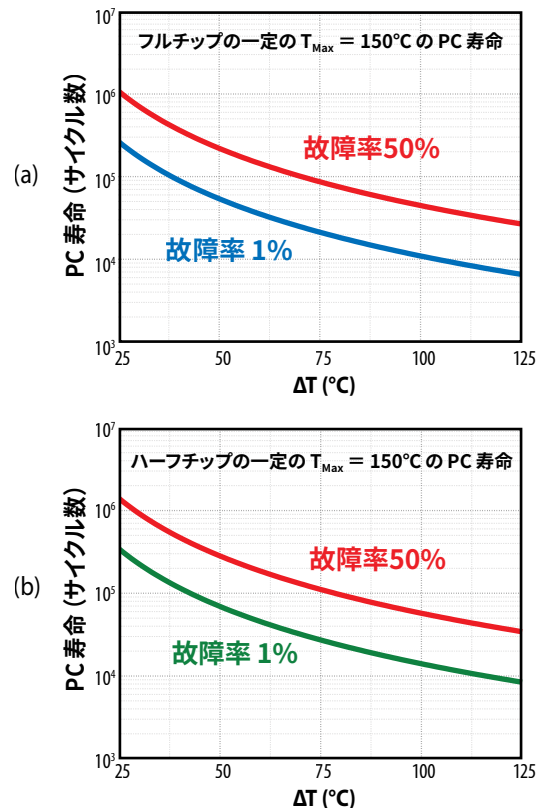


図4-52: (a) フルチップPQFN、(b) ハーフチップPQFNの場合の T_{Min} が変化し、 T_{Max} が一定の 150°C にしたときの ΔT に対するPC寿命予測曲線。

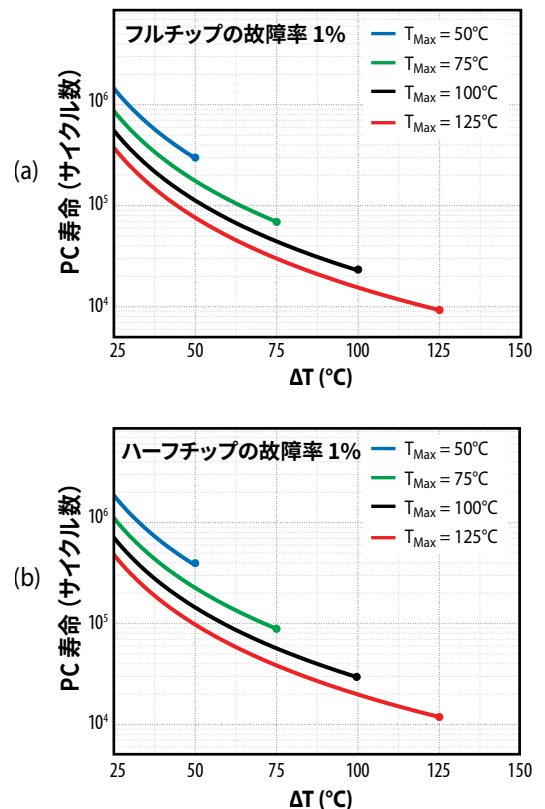


図4-53: (a) フルチップPQFN、(b) ハーフチップPQFNの 50°C (青色)、 75°C (緑色)、 100°C (黒色)、 125°C (赤色)の T_{Max} における1%故障率と ΔT の関係を示す寿命曲線。

4.5. 機械的応力による摩耗

4.5.1. 機械的応力摩耗メカニズムの概要

製品の寿命やアプリケーションへの適合性は、受ける機械的応力によって制限される場合があります。このセクションでは、最も一般的な機械的応力の要因であるチップせん断、裏面圧力、曲げ力について説明します。CSPやQFNのパッケージは、通常のアセンブリまたは取り付け条件下では、丈夫であることが実証されています。

4.5.2. チップスケール部品のチップせん断テスト

チップせん断テストの目的は、eGaN デバイスをプリント回路基板に取り付けるために使うはんだ接合部の完全性を評価することです。この判定は、実装したデバイスに適用するとき、チップがプリント回路基板からせん断される面内力に基づいています。すべてのテストは、軍用MIL規格のMIL-STD-883E、Method 2019 [62] に準拠しています。

図4-54は、選択した4種のGaN トランジスタのテスト結果です。各製品について10個の部品をテストしました。テストした最小のチップは、EPC2036/EPC2203で、直径200 μm のはんだボールが4つしかなく、チップ面積は0.81 mm^2 です。予想どおり、この製品は、せん断強度が最も低いことが分かりましたが、図4-54のように、MIL規格で指定された最小力要件を超えています。テストした最大のチップはEPC2206で、チップ面積が13.94 mm^2 のランド・グリッド・アレイ (LGA) 製品です。EPC2206は、最小の力要件を10倍以上上回っています。サイズ分布内で、追加で2種の製品、EPC2212 (100 VのLGA) とEPC2034C (200 VのBGA) もテストしました。いずれの製品も、最小力を大幅に上回りました。図4-54は、すべてのWLCSPのGaN製品が最も厳しい条件下での環境せん断応力に対して機械的に丈夫であることを示しています。

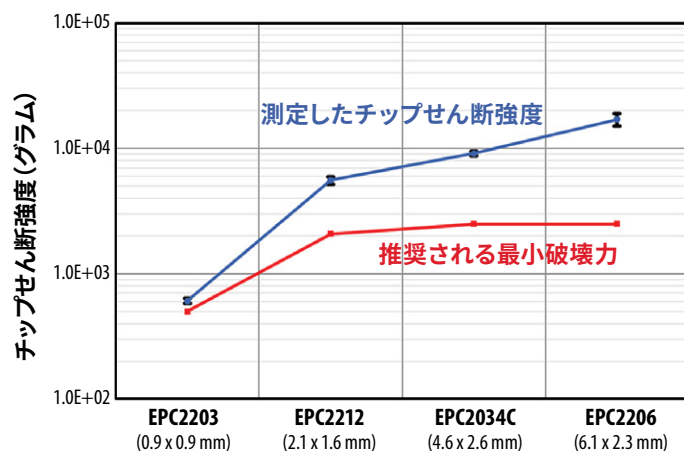


図4-54: GaN トランジスタのさまざまなチップ・サイズとはんだ構成に対して、せん断強度を測定すると同時に故障するまでテストしました。この結果は、黒色の点で示しています。赤色の点は、MIL-STD-883E、Method 2019 で推奨される最小チップせん断強度です。

4.5.3. チップスケール部品の裏面圧力テスト

GaN デバイスの機械的丈夫さのもう1つの重要な視点は、どれだけ裏面圧力に対処できるかです。これは、チップ裏面の放熱を必要とするアプリケーションでは重要な考慮事項です。アセンブリ中に安全な「ピック・アンド・プレース」の配置力を決めることも重要です。

最大400 psiの裏面圧力テストを実施しました。この圧力は、加えられた力をチップ面積で割って計算されます。この圧力は、0.6 mm/分の負荷速度を使って、チップの裏面に直接加えました。圧力テストの前後に、パラメータ・テストを実施し、合格か不合格かを判定しました。その後、各部品は、60 V_{DS} 、85°C、相対湿度85%で300時間、高温高湿逆バイアス・テスト (H3TRB) に曝しました。H3TRBは、圧力テストによる機械的損傷 (内部亀裂) によって生じた潜在的な故障があるかどうかを判断するために有効です。

EPC2212 (100 V、LGA) とEPC2034C (200 V、BGA) をテストし、両方とも400 psiで合格しました。400 psiは、デバイスの裏面 (Si基板) に印加した力をチップ面積で正規化して計算します。結果は、GaNトランジスタがプリント回路基板のアセンブリ・ハウスで通常使われる裏面圧力を処理するために十分な余裕があることを示しています。これらの部品は400 psiに耐えましたが、裏面圧力は50 psi以下に制限すべきです。

4.5.4. チップスケール部品の曲げ力テスト

曲げ力テストの目的は、GaNトランジスタが、取り扱い、アセンブリ、または動作中に発生する可能性のあるプリント回路基板の曲げに耐える能力を判断することです。このテスト規格は、表面実装受動部品 (AEC-Q200) [63] 用に開発されましたが、多くのユーザーは、主に2つの理由から GaNトランジスタの曲げ力について関心を持っています：

1. WLCSPのはんだ接合部の丈夫さ
2. トランジスタ内の圧電効果によって、デバイスのパラメータ値が変化したり、回路の動作が妨げられたりする可能性

これらの関心に対処するため、AEC-Q200-005A テスト規格 [64] に従って、4個のEPC2206 デバイスに対して曲げ力テストを実施しました。デバイスをFR4 プリント回路基板 (長さ100 mm × 幅40 mm × 厚さ1.6 mm) の中央付近に実装しました。両端をしっかり固定し、デバイスから反対側に力を加えると、プリント回路基板が上向きにたわみます。この屈曲状態で60秒間維持した後、すべてのデバイスの電気的パラメータを測定します。

表4-10は、テスト対象の4個のデバイスすべてに対する正規化した $R_{DS(on)}$ と基板のたわみの関係を示しています。すべてのデバイスが2 mmのテスト条件に合格しました。2個のデバイスは6 mmのたわみで故障しましたが、残りの2個は8 mmまで生き残りました。事後分析によって、故障モードは、はんだ接合部の亀裂であることが明らかになり、ゲート接続がオープンになりました。故障するまで加えても、 $R_{DS(on)}$ は基板のたわみに対して、感知できるほどの反応を示しませんでした。同じことが、しきい電圧 V_{TH} や漏れ電流 I_{DSS} のような他の電気的特性でも観測されました。

	0 mm	2 mm	4 mm	6 mm	8 mm
DUT1	1.00	1.01	1.00	0.98	0.98
DUT2	1.00	1.02	1.01	故障	-
DUT3	1.00	1.01	1.03	故障	-
DUT4	1.00	0.99	0.99	1.03	1.04

表 4-10: 曲げ力テスト中の 4 個のデバイスに対する正規化した $R_{DS(on)}$ と基板のたわみ

注: 値は、屈曲していない場合の $R_{DS(on)}$ に正規化しています。4 個のデバイスのうち 2 個は、6 mm のたわみで故障しましたが、残りの 2 個のデバイスは 8 mm で生き残りました。どのデバイス・パラメータでも、応力への大きな反応は見られませんでした。

4.5.5. PQFN デバイスの曲げテスト

プリント回路基板の曲げテストは、プリント回路基板の曲げと反りの応力条件下で、PQFN (powerquad-flat no-leads) パッケージのデバイスとプリント回路基板の間のはんだ接合部の丈夫さを評価するために実施しました。これらのテストは、モーター駆動用途でのプリント回路基板の変形、自動車関連用途での機械的衝撃やプリント回路基板の曲げなど、潜在的な機械的衝撃が存在するときのモジュールのアセンブリ、取り扱い、操作に関するユーザーの懸念に対処します。曲げテストでは、IEC-60068-2-21 で説明されている基板の曲げテストに従って、3 点曲げの設定を使います。デバイスは、長さ 180 mm、幅 90 mm、厚さ 1.6 mm の 8 層プリント回路基板の中央に実装しました。プリント回路基板は、90 mm の隙間がある 2 つの支持固定具に配置しました。テスト対象デバイスは、下向きに配置しました。曲げツールは、プリント回路基板の裏面で下向きの力を加えて、曲げたわみを強制します。このテストの設定が図 4-55 です。

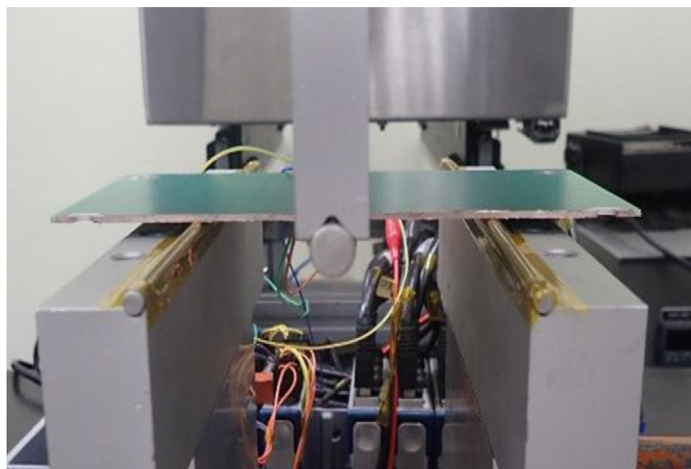


図 4-55: PQFN デバイスの評価に使った曲げテストの構成

数珠繋ぎにした PQFN デバイスは、テスト中に、はんだ接合部の抵抗をその場で確実にモニターするために使います。数珠繋ぎにした PQFN デバイスは、EPC2302 と同じ PQFN 部品のレイアウト、構造、材料を使って開発し、製造しています。

最初のテスト条件では、一定の負荷ではんだ接合部の丈夫さを評価します。10 個のデバイスに、20 秒間にわたって、最大 2 mm の曲げ変形を与えました。曲げテスト中、数珠繋ぎデバイスの抵抗は、その場でモニターしました。表 4-11 に、テスト前後の各デバイスの抵抗を

示します。10 個のデバイスすべてにおいて、抵抗の変化は最小限であり、このテストでは、はんだ接合部の劣化は発生していないことを示しています。はんだ接合部の品質をさらに検証するために、はんだ接合部の断面検査のために 3 個のデバイスをランダムに選択しました。断面には、はんだ接合部の亀裂は見られず、これは抵抗の記録と一致しています。したがって、これらの結果は、PQFN のはんだ接合部がプリント回路基板の曲げによる一定の負荷を高い信頼性で処理できることを示しています。

2 番目のテスト条件では、プリント回路基板の曲げに対する丈夫さを、故障するまでのテスト手法で評価しました。故障するまでのテストの目的は、通常の動作条件をはるかに超える極限のストレス条件下での最終的な故障モードを理解することです。10 個のデバイスをテストしました。曲げによるたわみは、0 から最大 15 mm、または急激な抵抗変化が発生するまで徐々に増やしました。曲げたわみのステップは 1 mm で、各ステップでのテスト時間は 20 秒です。

表 4-11 は、曲げテスト前後の抵抗値の記録と曲げの最大たわみを示しています。すべてのデバイスは、10 mm までの曲げたわみに合格し、抵抗の変化量はわずかでした。2 個のデバイスは、約 11 mm の曲げたわみで故障しました。故障した 2 個のデバイスに対して故障解析を実施した結果、故障モードは GaN オン・シリコン・チップの亀裂であることが明らかになりました。故障したチップに対して、はんだ接合部の断面を検査しましたが、はんだ接合部の亀裂は見られませんでした。したがって、PQFN デバイスは、はんだ接合部の劣化が観測されることなく、10 mm までのプリント回路基板の曲げに耐えることができます。

項目	サンプル番号	テスト前の抵抗値 (Ω)	テスト後の抵抗値 (Ω)	最大のたわみ (mm)
条件 2	1	0.27	0.26	15.00
	2	0.26	1.78	11.36
	3	0.24	0.24	15.00
	4	0.23	0.23	15.00
	5	0.26	0.26	15.00
	6	0.23	0.22	15.00
	7	0.22	0.23	15.00
	8	0.21	0.22	15.00
	9	0.23	0.23	15.00
	10	0.23	0.86	10.82

表 4-11: 2 番目のテスト前後の抵抗値と曲げの最大たわみ

セクション 5: ミッション固有の信頼性予測

セクション 5 では、複雑なストレス条件とさまざまな持続時間を伴うミッション固有のアプリケーションにおけるデバイス寿命を分析するための枠組みを紹介します。この分析は主に、信頼性レポートのセクション 3 で示した数学的展開に基づいています。

ミッション固有の信頼性を予測するプロセスは通常、2 ステップで構成されます。最初のステップでは、ミッションのアプリケーションに最も関連性の高い主要なストレス要因を特定します。このステップが確立され、個々の寿命が推定されると、式 5-1 を使ってシステム全体の信頼性を予測できます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_1} + \frac{1}{MTTF_2} + \dots + \frac{1}{MTTF_i} \quad \text{式 5-1}$$

ここで、1、2、...、iは、特定のミッションとアプリケーションに関連する個々のストレス要因に対応し、各ストレス要因はミッション全体に存在します。

ただし、デバイスは通常、単一の条件下で連続的に動作するのではなく、ミッション寿命を通じて異なる期間にわたって、電圧、温度、周波数が変化する非常に複雑な条件下で動作します。したがって、2番目のステップでは、各ストレス要因のミッション寿命における動作条件とストレス・プロファイルをさらに詳しく調べる必要があります。良い例として、屋外に設置されるソーラー・パネルは、年間を通して変化する温度プロファイルに曝されます。温度プロファイルが異なると、温度サイクル (TC) 寿命も大きく異なる可能性があります。つまり、単一または平均の温度変化プロファイルを使って、ソーラー・パネルの熱機械的信頼性を正確に予測することはほとんど不可能です。そこで、これらの懸念に対処するために、式 5-2 を開発しました。

$$\frac{1}{LT_{Total}} = \frac{a}{LT_a} + \frac{b}{LT_b} + \dots + \frac{n}{LT_n} \quad \text{式 5-2}$$

ここで、分子の a、b、...、n は、個別の各ストレス条件での動作時間の割合を表し、 LT_n は各ストレス条件におけるそれぞれの寿命です。

このセクションでは、この枠組みを太陽光、DC-DC、Lidar (光による検出と距離の測定) の3つのアプリケーション例に適用します。

5.1. 太陽光発電用途特有的信頼性

5.1.1. はじめに

マイクロインバータとパワー・オプティマイザは、エネルギーの効率と変換を最大化するために、現代のソーラー・パネルで広く使われています。このような回路構成と実装には通常、最低25年の寿命が必要であり、これが市場での採用にとって重大な要素となっています。低電圧窒化ガリウム (GaN) のパワー・デバイス (V_{DS} 定格 200 V 以下) は、有望なソリューションであり、多くのソーラー・メーカーによって広く使われています。

このセクションでは、故障するまでのテストのアプローチを採用し、GaN トランジスタの本質的な摩耗メカニズムを調査します。この調査によって、太陽光発電用途におけるさまざまなミッション・プロファイルの固有の要求の下で、寿命を正確に予測できる物理ベースの寿命モデルの開発が可能になります。

5.1.2. 太陽光発電の動向

再生可能エネルギー源の需要がますます高まっているため、住宅分野や商業分野の屋上太陽光発電設備が急速に増加しています。従来、ストリング・インバータは、複数のソーラー・パネルを直列に接続したソーラー設備で広く使われています。このインバータは、ソーラー・パネルからの直流 (DC) 出力を、家庭の電力として使える交流 (AC) 電力に変換する役割を果たします。

ストリング・インバータは、長年にわたって信頼できる選択肢として提供されてきました。ただし、日陰による性能の低下、パネ

ルの不一致の問題、モジュール・レベルのモニターがないなど、多くの課題にも直面しています。最も重要なのは、ストリング・インバータの直列構成によって、最も性能の低いパネルがシステム全体のエネルギー変換率を左右し、システム効率が大幅に低下する可能性があることです。

米国エネルギー省は、2010年に1米ドル/Wの太陽光発電 (PV) システム・イニシアチブを発表し、この目標を達成するための重要な改善分野として、より高効率で信頼性の高いモジュール・レベルの統合インバータの開発を強調しました [65]。SunShot 2030 PV プログラムでは、2030年までに同様のコスト目標を掲げています [66]。この目標を達成し、エネルギー生産を最大化するために、マイクロインバータやパワー・オプティマイザなどの新たに出てきた技術が大きな注目を集めています。

マイクロインバータは、各ソーラー・パネルに取り付けられた小型の個別インバータで、パネル・レベルで DC から AC への電力変換を可能にします。これによって、独立した最大電力点追従 (MPPT: maximum power point tracking) 制御を使うことで、各ソーラー・パネルが最高の性能を発揮できるようになります。木の枝が特定のパネルに影を落とした場合でも、隣接するすべてのパネルは最大容量で変換できます。効率の低下は、影になっているパネルにのみ影響します。

独立した追跡によって、太陽光発電のユーザーは各パネルの状態を簡単にモニターできます。パネルの修理が必要になったときでも、システム全体が停止することはありません。加えて、マイクロインバータを使うと、パネルを追加して出力を増やすことが容易になります。マイクロインバータは、ストリング・インバータよりも高価になる可能性がありますが、システムからより多くの電力を得ることで、時間の経過と共に元が取れます。したがって、市場のマイクロインバータは、パネルの保証に匹敵する25年間の保証が必要です [67,68]。

パワー・オプティマイザは、ソーラー・パネルの配線に統合された DC-DC コンバータであり、DC 特性を継続的に調整して、エネルギー出力を最大化することによって、個々のソーラー・パネルの MPPT を可能にします。パワー・オプティマイザは、日陰が問題になる状況や、パネルを異なる方向の複数の屋根面に設置しなければならない場合に適したソリューションです。したがって、パワー・オプティマイザは一般に、ストリング・インバータよりもエネルギー効率の高いソリューションです。パワー・オプティマイザには25年の保証も必要です [69,70]。

5.1.3. 太陽光発電における故障するまでのテストの適用

太陽光発電システムにおいて、ストリング・インバータから、マイクロインバータやパワー・オプティマイザへの切り替えを推進する利点を検討した後、故障するまでのテスト方法を紹介し、デバイス故障の原因となる可能性が最も高いデバイスに対する3つの「ストレス要因」、つまり、ゲート・バイアス、ドレイン・バイアス、温度サイクルを特定します。以降のセクションでは、平均故障時間 (MTTF) やその他のパラメータに関して、これらの各要因がデバイス寿命に与える影響を評価します。

25年間の信頼性の高い動作要件に伴う懸念に信頼性高く対処するために、故障するまでのテストのアプローチ [4,27] を採用

し、太陽光発電用途で一般的に使われる GaN デバイスに適用します。この方法では、テスト対象デバイス (DUT) にストレスを与え、加速条件下で素早く故障させると同時に、故障の種類と時間をモニターします。

根本的な故障メカニズムを理解して故障を分析することで、GaN 特有の特性を説明する物理ベースの寿命モデルを開発できます。開発したモデルは、太陽光発電用途に特有のすべてのミッション・プロファイルにおける寿命を正確に予測するために使えます。

太陽光発電用途のミッション・プロファイルを調べると、ゲート・バイアス、ドレイン・バイアス、温度サイクル (TC) という3つの重要な信頼性ストレス要因を特定できます。合計 MTTF は、式5-3で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_{Gate}} + \frac{1}{MTTF_{Drain}} + \frac{1}{MTTF_{TC}} \quad \text{式5-3}$$

したがって、どのストレス要因が信頼性の制限要因であるかを理解することが重要です。このストレス要因は、設計および運用中にさらに考慮しなければなりません。この故障するまでのテスト手法を使って、各ストレス要因を個別に調査し、個々の固有の摩耗メカニズムを正確に特定して、対応する寿命を決定します。

5.1.4. ゲート・バイアス

GaN の高電子移動度トランジスタ (HEMT) は、太陽光発電の用途において DC-AC (マイクロインバータ) または DC-DC (パワー・オプティマイザ) の構成で使われています。スイッチング中は、ゲート端子を定期的にバイアスしなければなりません。したがって、ゲートの経時的な信頼性が最初に検討すべきストレス要因です。図4-2 (セクション4.1.2) に示すように、GaN HEMT は、25年間連続して $V_{GS(max)} = 6V$ で DC バイアスを加えた後、約 1 ppm の故障率が予測されます。

5.1.5. ドレイン・バイアス

GaN HEMT の低いオン抵抗 ($R_{DS(on)}$) と小さなチップ・サイズによって、電力変換効率が大幅に向上し、マイクロインバータや DC-DC コンバータの用途での電力損失を低減できます。ただし、GaN の共通の懸念事項の1つは、動的オン抵抗です。

フライバックは、太陽光発電用途におけるマイクロインバータの最も一般的な回路構成の1つです。1次側に適切な GaN トランジスタを選択するとき、ドレイン電圧に対する3つの主要な要因を考察します。すなわち、(1) バス電圧、(2) フライバック電圧、(3) 設計における寄生インダクタンスによって生じるリングングによる電圧オーバーシュートです。太陽光発電用途におけるマイクロインバータの一般的なバス電圧は 60 V です。フライバック電圧は、システムの出力行電圧とトランスの巻数比の積によって決まります。電圧オーバーシュートと定格低減にいくらかの余裕を追加することで、このような回路構成を使う太陽光発電のユーザーは、最大 V_{DS} 定格 170 V を希望することがよくあります。

EPC2059 [71] は、最大 V_{DS} 定格が 170 V の製品で、太陽光発電用途のマイクロインバータの一般的な要件を満たしています。図5-1は、パッケージ温度を 80°C に調節したときに、136 V (ドレイン・バイアスの最大定格 170 V の 80%) の連続ハードスイッチング下で動作させた代表的な EPC2059 デバイスのその場での $R_{DS(on)}$ テスト結果です。この温度が使われるのは、ソーラー・パネルの公称動作温度と

考えられているからです。図5-1のように、寿命モデルを測定データに対してプロットしています。このモデルは、25年間の連続ハードスイッチングによる $R_{DS(on)}$ の増加が約 10% になると予測しています。

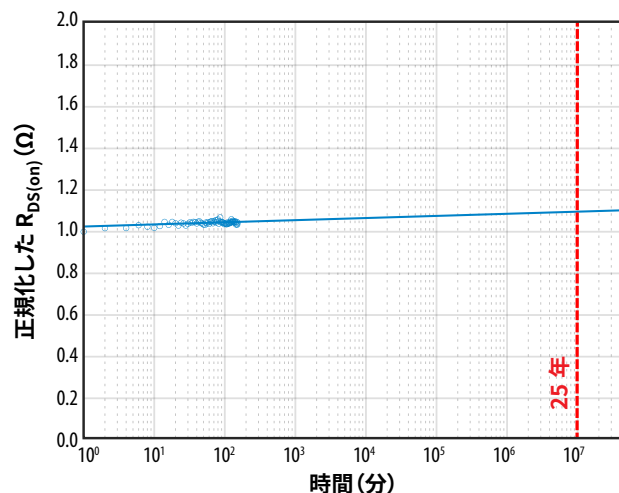


図5-1: 170 V 定格のデバイスである EPC2059 に対して、136 V で 100 kHz の連続ハードスイッチング動作を 25 年間続けた場合に予測した $R_{DS(on)}$ の変化は約 10% です。青色の円は測定データを表します。

太陽光発電システムでよく使われるもう1つのオプションは、パワー・オプティマイザに DC-DC コンバータを使うことです。これは、その優れた効率から、多くの太陽光発電プロバイダに採用されています。EPC の 100 V 定格の EPC2218 [72] や EPC2302 [73] などの GaN デバイスは、この用途に最適です。

図5-2は、寿命モデルで得られた結果を、2種の代表的なデバイス (EPC2218 と EPC2302) のその場で測定したデータと一緒にプロットしたものです。ドレイン・バイアスの最大定格の 80%、100 kHz での 25 年間の連続ハードスイッチングにおいて、10% 以下のシフトで済むと期待できます。この結果は、動的 $R_{DS(on)}$ 故障が、太陽光発電用途における EPC の GaN デバイスの寿命を決定する主要な要因ではないことを示唆しています。

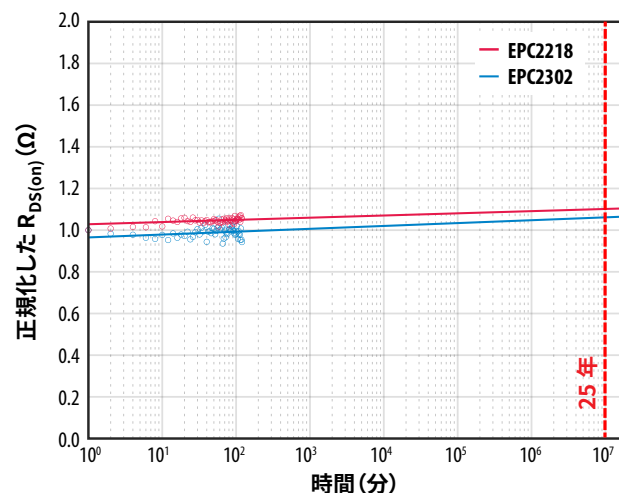


図5-2: 定格電圧 100 V のデバイスの EPC2218 と EPC2302 の 80 V、100 kHz での連続ハードスイッチング動作時の予測した $R_{DS(on)}$ シフトのプロット。青色と赤色の円は測定データです。

5.1.6. 温度サイクル

温度サイクル TC は、太陽光発電用途にとって特に重要なもう1つの項目です。ソーラー・パネルは屋外に設置され、毎日、大きな周囲温度の変化にさらされます。したがって、ソーラー・パネルのプリント回路基板に搭載されたデバイスは、25年間の継続的な周囲温度の変化に耐えなければなりません。

実際のアプリケーションでは、ソーラー・パネルは、さまざまな周囲温度に曝され、温度変化の量は、季節や場所によって大きく異なります。この結果、25年間の寿命にわたるすべてのミッション・プロファイルを考慮するためには、熱機械的ストレスのより一般的な寿命モデルが保証となります。式5-4のように、季節によって異なる ΔT を考慮するために、別の TC 寿命モデルを開発しました。

$$\frac{1}{N_{Total}} = \frac{a}{N_{\Delta T_a}} + \frac{b}{N_{\Delta T_b}} + \dots + \frac{i}{N_{\Delta T_i}} \quad \text{式5-4}$$

ここで、 N_{Total} は計算した全寿命サイクル数、 $N_{\Delta T_a}$ は ΔT_a の条件における故障するまでのサイクル数、 a はデバイスが ΔT_a の条件で動作していた時間の割合、 $N_{\Delta T_b}$ は ΔT_b の条件における故障するまでのサイクル数、 b はデバイスが ΔT_b の条件で動作していた時間の割合、 $N_{\Delta T_i}$ は ΔT_i の条件における故障するまでのサイクル数、 i はデバイスが $N_{\Delta T_i}$ の条件で動作していた時間の割合です。

はんだ接合部の寿命を決定する要因は主に3つあります：

1. 各ミッション・プロファイルの期間は、分離する必要があります。この効果は、式5-4の各項の分子の分数係数、例えば、 a 、 b 、...、 i によって構成されます。
2. 各ミッション・プロファイルにおける温度変化 (ΔT)。この項は、図5-3にプロットした Norris-Landzberg モデルによって対処できます。はんだ接合部は、デバイスが最大の ΔT に曝される期間中に最大のストレスを受けます。これによって、故障するまでのサイクル数が最も少なくなることになります。デバイスの全体的な寿命は基本的に、最もストレスのかかる期間によって左右されます。この影響は、故障するまでのサイクル数の項 ($N_{\Delta T}$) を分母に入れて、それらをまとめて合計することで処理できます。
3. 各サイクルの極端な最高温度または基準となる温度。例えば、冬と夏で ΔT が同じでも、はんだ接合部にかかるストレス・レベルは異なる場合があります。

これらの各要因は、セクション4.4.4で示した基板レベルの熱機械信頼性調査に基づく以下の分析に含まれており、アンダーフィル付き EPC2218A の故障率を 0.1% と仮定しています。

図5-3に、 T_{Max} がクリーブ故障メカニズムの最悪のシナリオである 125°C と仮定した場合の Norris-Landzberg モデルを使って予測した寿命曲線を示します。9125サイクルの水平の黒色の破線は、1日1回の熱サイクルを想定した場合の25年間の連続動作期間を表します。

図5-3は、高温から低温へ、またはその逆の 72°C の一定温度変化で25年間連続動作した後、アンダーフィル材を使った EPC2218A デバイスのわずか 0.1% が、 $R_{DS(on)}$ 値の増加によってデータシートの制限に不合格だったことになります。故障率が 1% の場合、99% のデバイスは、 95°C の一定 ΔT に曝された場合、25年間の連続動作に耐えられるはずですが、アンダーフィル材がなくても、部品の 99% は、25年間の寿命にわたって約 51°C の固定 ΔT に耐えられるはずですが。

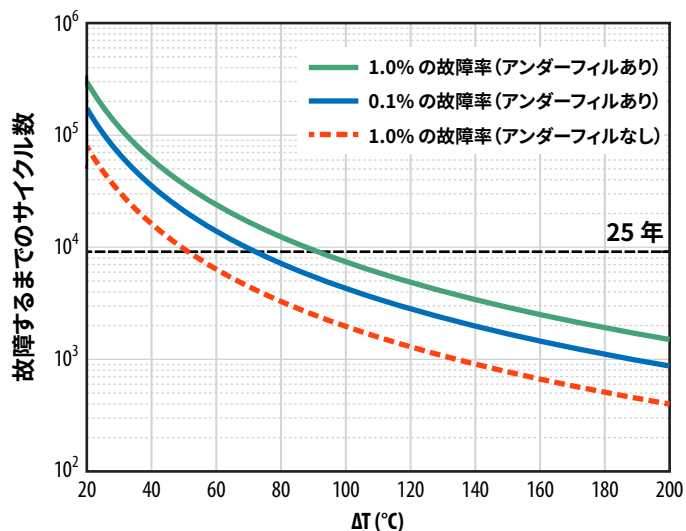


図5-3: Norris-Landzberg モデルを使ったときの ΔT に対する EPC2218A の寿命予測曲線

ここで、式4-25の寿命モデルの実際の例を検証してみましょう。米国アリゾナ州フェニックスのソーラー・パネルの近くに、システムが屋外に設置されていると仮定します。この地域の気候は太陽光発電に適していますが、時間の経過と共に極端な温度変化も発生します。アリゾナ州フェニックスの天気予報履歴を使った例を挙げます [74]。

加えて、全寿命計算では、周囲温度の変化にデバイスの自己発熱 30°C が加算されます。0.01%、100 ppm の故障率の場合、つまり、テストした 100 万個の部品のうち 100 個のデバイスが故障した場合、アンダーフィル付き EPC2218A は、故障するまでに 1万 8218 サイクルと予測されます。これは、この例の用途で GaN デバイスに対して、1日1サイクルとしたとき、49.9年の寿命動作に相当します。

故障率を 0.001%、10 ppm と外挿すると、テストしたデバイス 100 万個のうち、わずか 10 個のみが故障することになりますが、全寿命は 1万 971 サイクルと計算できます。これは、1日1サイクルで約 30年間連続して動作することに相当します。

この結果は、温度サイクルが、太陽光発電用途で使われる GaN の全体的な寿命を制限する可能性のある最も重要なストレス要因であることを示しています。ただし、適切なアンダーフィル材料を使うことで、TC の信頼性が大幅に向上し、公称太陽光発電ミッション・プロファイルに対して、低い故障率で、要求される 25年間の連続動作を超えることができます。

5.1.7. 結論

故障するまでのテストの結果と物理ベースの寿命予測から、ゲート・バイアスもドレイン・バイアスも、太陽光発電用途におけるマイクロインバータやパワー・オプティマイザの信頼性に関する大きな懸念事項ではないことが分かります。適切なアンダーフィル材料を使うことで、熱サイクルの信頼性リスクを大幅に低減でき、寿命を25年以上に延ばすことができます。

5.2. DC-DC用途固有の信頼性

5.2.1. はじめに

DC-DCコンバータは、現代のパワー・エレクトロニクスのほぼすべてのアプリケーションに使われています。チップ・サイズが小さく、オン抵抗と寄生容量が低いため、GaNパワー・デバイスは、優れた変換効率と記録的な電力密度を提供します。このレポートでは、一般的なDC-DCコンバータで発生するような固有の摩耗メカニズムを調査するために、故障するまでのテスト手法を採用しています。デバイスは、ゲート・バイアス、ドレイン・バイアス、温度サイクルのストレスを個別に受けます。したがって、各ストレス要因の寿命は、故障するまでのテストから開発した物理ベースのモデルと、DC-DCコンバータの固有のストレス条件の理解に基づいて予測できます。

GaNデバイスは、同等のシリコン・デバイスよりも3~10倍優れた性能指数(FOM: figures of merit)を備え、スイッチング特性と電力密度が優れています。GaN FETが改善され続けている一方で、Si MOSFETはすでに、理論上の限界に非常に近づいているため、この傾向は加速するばかりです。

GaNデバイスによって、同期整流型バック・コンバータなどの使いやすい回路構成が実現でき、効率と電力密度が新たなレベルに達しています。スイッチング損失の低減と逆回復がないことを利用して、設計者はスイッチング周波数を上げられると同時に、電力損失も減らすことができます。スイッチング周波数の上昇によって、コイルの小型化と高効率化が可能になり、抵抗損失をさらに下げて全体の体積を減らすことで、効率を向上させることができます。静電容量のコストも削減でき、過渡応答も改善されます。全体として、これによって、高電力密度、高効率、低いシステム・コストの設計が可能になり、さまざまな最終市場で広く採用される傾向にあります。

GaN HEMTは、電力密度が目標である場合に特に有効です。例えば、設計者は、EPCのウエハー・レベルのチップスケール・パッケージ(WLCSPP)を利用して、48Vの電力分配ルールに移行しているサーバー用途向けの中間バス・コンバータ(IBC: intermediate bus converter)の電力密度を大幅に高められます。多くの設計者は、1次側と2次側の両方にGaNを使った直流トランス(DCX)として動作するLLC構成を選択しています。1次側では、GaNのサイズが小さいため、デバイスはパワーMOSFETと同じ実装面積で導通損失とゲート駆動損失を低減でき、出力容量 C_{OSS} が小さいため、LLCは、より大きな電力供給サイクルと、トランスをよりうまく利用して動作できます。2次側では、GaNによって、特定の領域での導通損失が最も低くなり、ゲート電荷 Q_G が非常に小さいためゲート駆動損失が最小化できます。最高クラスのパワー・デバイスと高度なパッケージ技術の組み合わせによって、記録的な電力密度を実現しています[75]。

5.2.2. 故障するまでのテスト手法

一般的なDC-DCコンバータの信頼性に関するすべての懸念に対処するために、故障するまでのテスト手法[1,15,4,27,76]を採用し、一般的なGaNデバイスに適用しました。DC-DC用途では、ゲート・バイアス、ドレイン・バイアス、温度サイクル(TC)の3つの主なストレス要因が特定されます。合計MTTFは式5-5で表すことができます。

$$\frac{1}{MTTF_{Total}} = \frac{1}{MTTF_{Gate}} + \frac{1}{MTTF_{Drain}} + \frac{1}{MTTF_{TC}} \quad \text{式5-5}$$

5.2.3. ゲート・バイアス

DC-DCコンバータでは、スイッチング中に、GaN HEMTのゲート端子を定期的にバイアスしなければなりません。GaN HEMTは、 $V_{GS(max)} = 6V$ で25年間の連続直流バイアスを加えた後、約1ppmの故障率が予測されます。これは、ゲート・バイアスのストレスが全体の寿命を制限する主なストレス要因ではないことを示しています。

5.2.4. ドレイン・バイアス

ドレイン・バイアス下のGaNの信頼性に関する懸念として頻繁に議論されることは、動的オン抵抗 $R_{DS(on)}$ です。デバイスが高いドレイン・ソース間電圧(V_{DS})に曝されるとGaN HEMTの $R_{DS(on)}$ が上昇する摩耗メカニズムです。 $R_{DS(on)}$ の増加の原因となる主なメカニズムの1つは、トラッピング効果によって誘発されるホット・エレクトロンです[1,15,4,27,76]。トラップされた電荷が蓄積すると、2次元電子ガス(2DEG)からの電子が枯渇し、 $R_{DS(on)}$ が増加します。詳細な寿命モデルの導出については、セクション4.2で説明します。

次のセクションでは、以下の知識のギャップについて説明します：

1. 一般的なDC-DCコンバータの代表的なドレイン電圧波形を、さまざまな信頼性テスト構成(ストレス源)と、どのように相関させることができますか？
2. 電子トラッピング効果から開発された寿命モデルに基づく、個々の信頼性テスト構成(ストレス源)の予測寿命は、どれくらいですか？
3. 個々の信頼性寿命予測によって、GaNデバイスの全体的な寿命が、どのように決まりますか？

まず、100VのGaNトランジスタ(EPC2045)を搭載したデモ・ボードEPC9078を使って、バック・コンバータのSPICEシミュレーションを実施しました[77]。実際のアプリケーションの極端な条件を含めるために、意図的に設計が不十分なバック・コンバータをシミュレーションし、異常に高い寄生インダクタンスを追加して最悪のシナリオをエミュレーションしました。図5-4(a)は、シミュレーションしたオフ時の電圧波形です。ドレイン電圧はすぐに約120Vのピーク電圧までリングングし、その後、リングングの振幅は急速に小さくなって80Vのバス電圧で安定します。図5-4(a)のシミュレーションした電圧波形は、図5-4(b)と(c)に示すように、2つの別々の電圧波形での畳み込みから解けます。図5-4(b)は、過電圧リングングを半正弦波電圧波形の組み合わせで合わせ込むことができることを示しています。リングングが抑えられてバス電圧に達した後、波形の平衡部分

は図5-4 (c) のような電圧波形でモデル化できます。図5-4 (b) と (c) の波形は、2つの異なる信頼性テスト回路によって実現できます。これらについては、以下で個別に説明します。

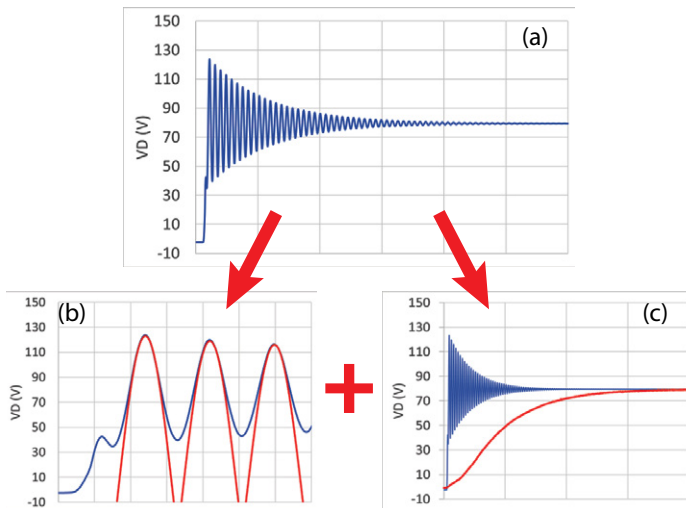


図5-4: (a) 設計が不十分なバック・コンバータに基づいてシミュレーションしたオフ時のドレイン電圧波形。120 Vのリングングと80 Vのバス電圧を示しています。(b) リングングは、半正弦波の波形の組み合わせで合わせ込むことができます。(c) 波形の平衡部分は、赤色で示されている異なる電圧波形で合わせ込められます。

過渡過電圧リングングは、高dV/dtスイッチング条件のとき、GaN HEMTで一般的に見られます。GaN HEMTにはアバランシェ・メカニズムがないため、このような過渡過電圧ストレス下での信頼性への影響は、業界にとって重要な課題になりつつあります。この課題に適切に対処するため、図5-5 (a) のように、クランプしていない誘導スイッチング (UIS: unclamped inductive switching) のテスト回路を開発しました。図5-5 (b) は、開発したUISテスト・システムによって生成された120 Vの過電圧スパイクを伴う半正弦波電圧波形です。この過渡過電圧テストは、6%のデューティ比、100 kHzで繰り返し実施し、その間、GaN HEMTはオンになり、 $R_{DS(on)}$ をその場でモニターします。

図5-6 (a) は、3つの異なる製造ロットからの3個の代表的なEPC2218デバイス [72] (定格 $V_{DS,Max}$ は100 V) について、データシートの最大定格よりも20%高い120 Vのピーク過電圧テストで、その場で測定した $R_{DS(on)}$ です。3個のデバイスはすべて、約15億サイクルまでテストし、 $R_{DS(on)}$ のシフトは最小限に抑えられました。3個のDUTすべてのパッケージ温度は、アクティブ温度制御システムによって、実験全体を通じて75°Cに維持しました。接合部からパッケージへの熱抵抗が0.5°C/Wと小さく [72]、UISテスト中の消費電力が非常に小さい(0.3 W以下)ため、DUTの接合部温度はパッケージ温度と実質的に同じです。図5-6 (a) のように、すべての場合において、その場で測定した $R_{DS(on)}$ は、温度係数(25°Cから75°Cで1.35倍)でスケールしたデータシートの制限値をはるかに下回っています [72]。加えて、各デバイスの測定したデータ点は、横軸のlog-tスケールで、それぞれの線形トレンド・ラインに沿っており、セクション4.2で説明した寿命モデルを検証しています。図5-6 (b) は、パワー・クワッド・フラット・ノーリード (PQFN) のパッケージのもう1つの代表的な100 V定格のGaNトランジスタEPC2302 [73]の120 Vの過電圧テストの結果です。DUT

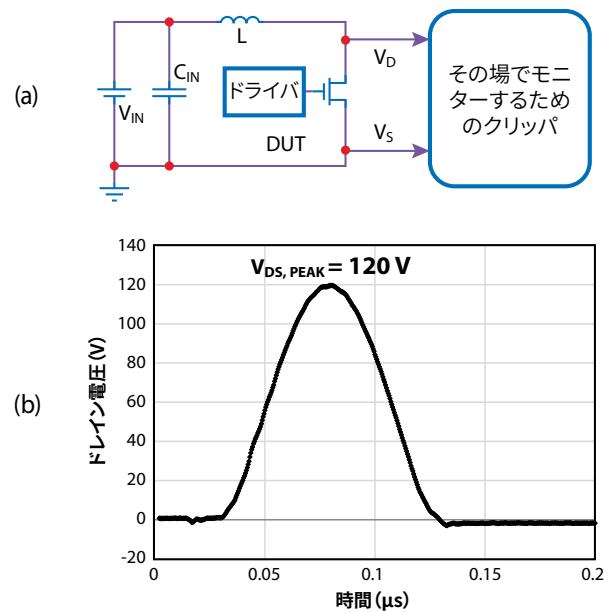


図5-5: (a) その場での $R_{DS(on)}$ のモニターに使ったクリップ回路を備えたUISテスト・システムの回路ブロック図。(b) UISによって生成した120 Vピークの過電圧ドレイン波形。

は、周囲温度(25°C)で約100億サイクルまでテストしましたが、 $R_{DS(on)}$ シフトはほとんど見られませんでした。100億のデータ点と寿命モデル(青色の適合線)との良好な一致も見られ、寿命モデルの妥当性と汎用性が証明されました。図5-6に示す結果は、 $V_{DS,Max}$ の120%以下のGaN HEMTの優れた過電圧耐性を示しています。

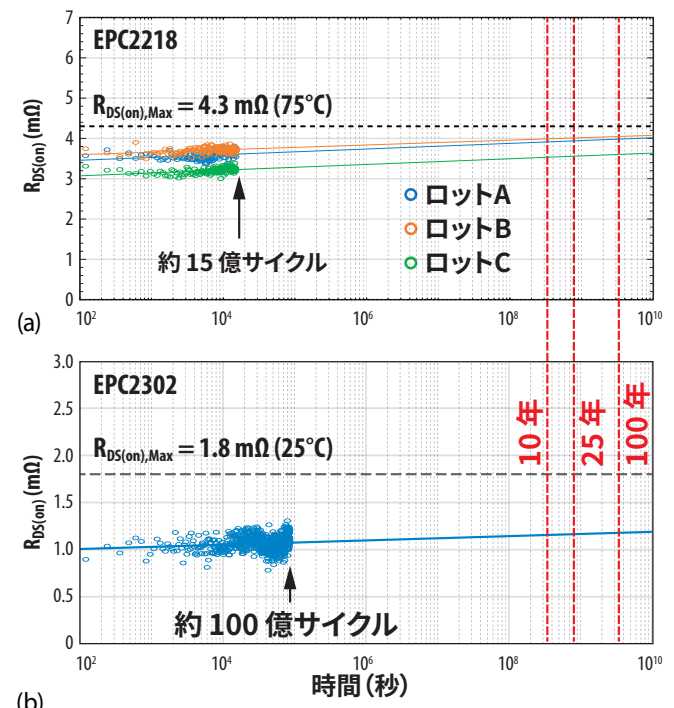


図5-6: (a) 120 Vの過電圧スパイクの15億サイクルをクランプしていない誘導スイッチングUISでテストしたEPC2218の3つの異なるロットの $R_{DS(on)}$ をその場で測定した値。(b) 代表的なEPC2302 (QFNのGaN HEMT)の100億サイクルの120 Vの過電圧スパイクに対する $R_{DS(on)}$ をその場で測定した値。

一般的なオフ時の電圧波形では通常、バス電圧で安定する前に複数の過電圧振動が発生します。ただし、最初のスパイクの電圧は通常、最も高くなります。第一原理モデリングでは、最初の過電圧パルスが最も多くの電荷をトラップし、それが各スイッチング周期における動的 $R_{DS(on)}$ シフトを支配すると推定されています [1,27]。したがって、UIS からの単一の過電圧パルスのストレスから生じる動的 $R_{DS(on)}$ の影響は、スイッチング周期中のリングング部分全体を表しています。

図 5-4 (c) は、電圧波形の平衡部分を、どのように適合させるかを示しています。図 5-7 (a) では、ハードスイッチング中のホット・エレクトロンのトラップを伴う摩擦メカニズムを調査するために開発したその場での $R_{DS(on)}$ のモニタリングを備えた抵抗性ハードスイッチング回路構成です。図 5-7 (b) は、測定したドレイン電圧が、ゼロからバス電圧 (80 V) まで上昇すると同時に、ドレイン電流 (図に示していない) が負荷電流 (数アンペア) から実質的にゼロ (漏れ電流) まで低下することを示しています。このハードスイッチ構成は、利用可能な電子数が小さい漏れ電流によって制限される一般的な高温逆バイアス (HTRB) の信頼性テスト構成よりも桁違いに多くのホット・エレクトロンを提供します。抵抗性負荷スイッチング回路もデューティ比 15%、100 kHz で動作し、その間に DUT がオンになり、 $R_{DS(on)}$ をその場で測定します。これは、DUT が 85% の時間オフになることも意味し、これはスイッチング周期当たり 8.5 μ s に相当します。図 5-7 (b) は、図 5-4 (c) に示す畳み込みによる電圧波形と一致する結果として得られるハードスイッチのオフ時の電圧波形を示しています。

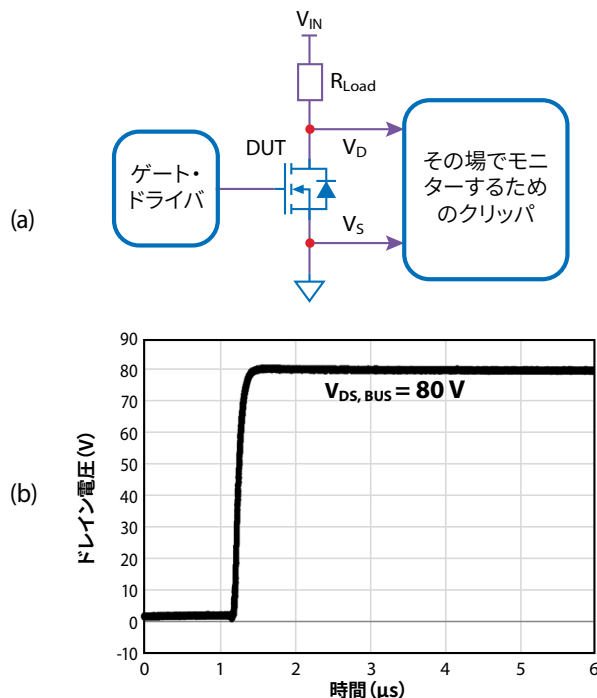


図 5-7: (a) その場での $R_{DS(on)}$ モニタリングに使われるクリップ回路を備えた抵抗性負荷のハードスイッチング・テスト・システムの回路図。(b) 抵抗性負荷ハードスイッチング回路によって生成される 80 V のバス電圧に対するオフ時のドレイン電圧波形。

図 5-8 は、80 V、100 kHz のテスト条件下での EPC2218 と EPC2302 の 1 つの代表的なテスト結果です。 $R_{DS(on)}$ のドリフトの変化をよりよく表示するために、その場で測定したすべての $R_{DS(on)}$ は、最初の測定データ点に正規化し、図 5-8 にプロットしました。図 5-8 の縦軸は正規化した $R_{DS(on)}$ です。UIS の結果と同様に、寿命モデルも、抵抗性負荷ハードスイッチング・テスト回路によって収集されたデータ点によく適合しており、寿命モデルの適用性がさらに検証されています。このモデルは、図 5-8 に示すように、100 kHz および 80 $V_{DS,BUS}$ での 100 年以上の連続スイッチングで $R_{DS(on)}$ の増加が 10% 以下であると予測されており、公称バス電圧のハードスイッチング・ストレス条件下での GaN HEMT の耐性が優れていることを示しています。

以前の調査では、セクション 4.2 で説明した平均自由行程の負の温度依存性のため、このホット・エレクトロンのトラップによって誘発される $R_{DS(on)}$ シフトは、負の温度係数を持つことが、はっきりと実証されています。

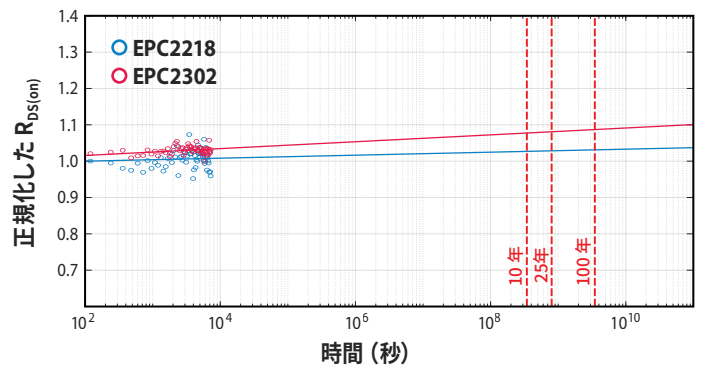


図 5-8: 80 V、100 kHz の抵抗性負荷ハードスイッチング・テスト条件下で、1 個の EPC2218 と 1 個の EPC2302 のその場で測定した $R_{DS(on)}$ 。いずれのデバイスも、25 年間の連続動作にわたって $R_{DS(on)}$ の変化が 10% 以下です。

この情報を使って、2 つの異なるテスト構成からの信頼性の結果を、実際の DC-DC コンバータを代表する 1 つの結果に組み合わせるにはどうすればよいでしょうか？

2 つの異なるテスト構成が、バック・コンバータからの一般的なオフ時の電圧波形の異なる領域に対応するため、各個別のストレス源の信頼性への影響は、式 5-6 のように組み合わせることができ、より厳しいドレイン・バイアスのストレス源が全体の寿命を左右することがはっきりします。

$$\frac{1}{MTTF_{Total_Drain}} = \frac{1}{MTTF_{Overvoltage}} + \frac{1}{MTTF_{Bus\ Voltage}} \quad \text{式 5-6}$$

これまで、一般的な DC-DC コンバータ用途では、図 5-6 と 5-8 で使われている寿命予測目標として、25 年間の連続動作が使われていました。ただし、25 年経過時の予測した $R_{DS(on)}$ 値は、どちらの場合もデータシートの最大限度よりも大幅に低くなっています。

このため、ここでは、より厳格な故障基準を適用し、それぞれの故障するまでの時間、および、それらを組み合わせた予測寿命結果を決めています。各テスト回路における EPC2218 の故障するまでの時間を推定するために、その場で測定した $R_{DS(on)}$ の最初の読み取り点と比較して 20% のドリフトを使っています。図 5-9 は、UIS (120 V の $V_{DS,Peak}$) および抵抗性負荷ハードスウィ

チング ($80 V_{DS, Bus}$) での EPC2218 の予測した故障するまでの時間は、それぞれ 8×10^{10} 秒と 4×10^{15} 秒であることを示しています。故障するまでの時間の結果を式 5-4 に代入すると、全寿命は過電圧の寄与によって支配されます。これは、過電圧の寄与が抵抗性負荷スイッチング・テスト結果よりも桁違いに小さいためです。全寿命は、100 kHz のテスト・データに基づいて約 2570 年と計算できます。設計者が予測結果を実際の動作周波数にスケールリングする必要がある場合は、前述のように単純な周波数比を適用して寿命を調整できます。この場合、1 MHz の動作周波数では、同等の寿命は 257 年になります。

予測される全寿命の結果は、オーバーシュートが激しいバック・コンバータによって引き起こされる極端なドレイン・バイアス条件下でも、GaN HEMT は優れた耐性があること実証しています。要約すると、一般的な DC-DC コンバータで使われる EPC の GaN HEMT にとって、動的オン抵抗の摩耗メカニズムは重大な懸念事項ではないはずです。

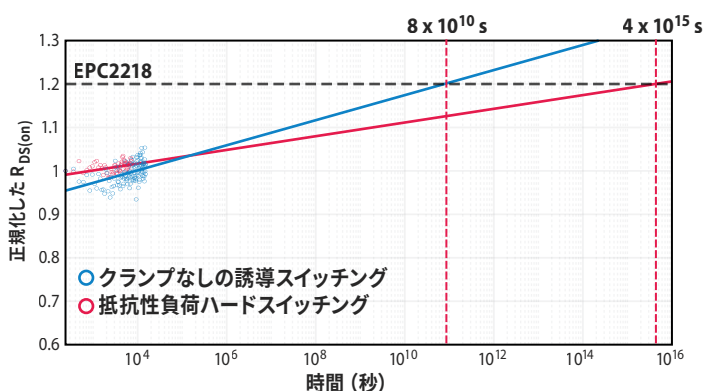


図 5-9: 2 個の EPC2218 デバイスの正規化した $R_{DS(on)}$ が、最初の読み取り点と比べて $R_{DS(on)}$ が 20% シフトする時間を予測しました。1 個の EPC2218 デバイスは、UIS テスト回路でテストしました。もう 1 つは抵抗性負荷ハードスイッチング回路でテストしました。

5.2.5. 温度サイクル

温度サイクルは、DC-DC コンバータ用途にとって、もう 1 つの重要な関心領域です。

この分析は、セクション 4.4.4 で紹介した基板レベルの熱機械信頼性調査に基づいており、適切なアンダーフィル材を使うと、CSP 封止 GaN デバイスの温度サイクル寿命が少なくとも 4.8 倍長くなることが示されています。以下の説明では、アンダーフィルのデータを含む TC1 のみが使われます。

この分析の上限については、 T_{Max} は、パワー・モジュールの一般的な最大設計温度の 125°C と仮定しています。アンダーフィル付き EPC2218A の 100 ppm、または 0.01% の故障率での故障するまでのサイクル数 (N) は、式 4-19 (セクション 4.4.4) を使って、 ΔT の関数としてプロットできます。ここで、アレニウス項は定数係数です。この結果は、図 5-10 の黒色の線で示しています。実際のアプリケーションでは、パワー・モジュールは、動作していないときに通常、 25°C の周囲温度に保たれ、最大 ΔT は 100°C になるため、水平軸 (ΔT) には $0 \sim 100^{\circ}\text{C}$ の範囲しか含まれません。

通常動作時の T_{Max} が 100°C と低く設計されている DC-DC コンバータの中には、指数方程式の分母 (T_{Max}) が小さくなるため、アレニウス項が若干大きくなるはずですが、図 5-10 の赤色の線は、ワイブル分布から抽出した 100 ppm で故障するまでのサイクル数を ΔT の関数として示しており、赤色の曲線は、黒色の曲線 ($T_{Max} = 125^{\circ}\text{C}$) よりもわずかに上にあります。 T_{Max} が 25°C 低いため、赤色の曲線は今、水平 ΔT 軸上で 0°C から 75°C までプロットできるようになりました。

T_{Max} が 75°C 向けに設計した一部のアプリケーションでは、このモデルは、青色でプロットされ、より大きなアレニウス項によって長い寿命が期待できます。図 5-10 には、黄色の線で示されているように、 T_{Max} が 50°C のときも含まれています。

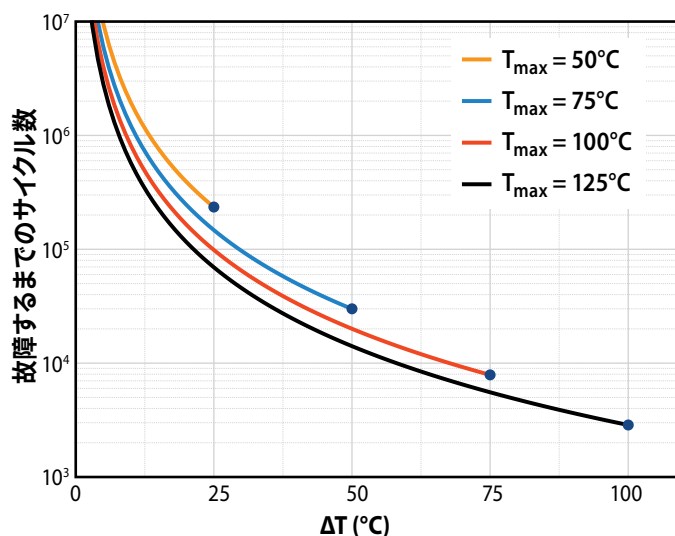


図 5-10: 100 ppm、または 0.01% の故障率における故障するまでのサイクル数と、 T_{Max} が 50°C (黄色)、 75°C (青色)、 100°C (赤色)、 125°C (黒色) での ΔT との関係

設計者は図 5-10 を使って、DC-DC コンバータ設計の TC 寿命をどのように決定できますか？

例として、米国アリゾナ州フェニックスの砂漠気候で動作するコンバータを考えてみましょう。夏の外気温は 50°C (122°F) にも達することがあります。この仮想のコンバータは、動作中にさらに 75°C の熱を発生し、 T_{Max} は 125°C になります。図 5-10 の黒色の曲線をたどり、水平軸の ΔT が 75°C である垂直軸をたどると、100 ppm の故障率までのサイクル数は 5000 サイクル強と推定され、気温が比較的穏やかな季節も考慮すると、期待を込めて数 10 年の動作に相当すると考えられます。このアプローチは、実験室で生成した TC 信頼性の結果を実際のアプリケーションと関連させる実用的な方法を提供します。

5.2.6. 結論

DC-DC コンバータが受ける一般的なストレスを検討した後、故障するまでのテストのアプローチを採用して、GaN HEMT の本質的な摩耗メカニズムを調査するために適用しました。デバイス故障の原因となる可能性が最も高い 3 つのストレス要因として、ゲート・バイアス、ドレイン・バイアス、温度サイクルが特定されました。最大定格電圧 ($V_{GS} = 6 \text{ V}$) で 25 年間の連続直

流ゲート・バイアスを加えた後、故障率 1 ppm が予測されました。ドレイン・バイアス下での動的 $R_{DS(on)}$ 摩耗メカニズムを説明するために、ホット・エレクトロンのトラップ・メカニズムに基づく別の物理ベースのモデルを使用しました。測定したデータと寿命モデルでは、部品の寿命全体にわたって $R_{DS(on)}$ シフトが 20% 以下になると予測されています。温度サイクル (TC) 故障の原因となる摩耗メカニズムは、ほとんど接合部の亀裂です。TC 範囲、極端な温度、サイクル速度などの 3 番目の寿命モデルを導入しました。3 つのストレス要因すべての摩耗率を組み合わせると、ゲート・バイアスもドレイン・バイアスも DC-DC コンバータ用途における信頼性に重大な問題ではないことがわかります。TC による熱機械的ストレスは、最もリスクが高いと考えられており、慎重に検討する必要があります。適切なアンダーフィル材を使うことで、優れた寿命を実現すると同時に、TC の信頼性リスクを大幅に低減できます。

5.3. Lidar 用途の信頼性

5.3.1. Lidar の信頼性の概要

他のアプリケーションと比較すると、Lidar (光による検出と距離の測定) に使われる GaN FET は、逆バイアスの持続時間が長く、比較的大きな電流の短いパルスに曝されることがよくあります。このセクションでは、Lidar 用途で使われるデバイス、すなわちディスクリート FET と低電圧ドライバ回路を搭載した Lidar 用 GaN IC の両方の信頼性を評価します。

5.3.2. 大電流パルス下での長期安定性

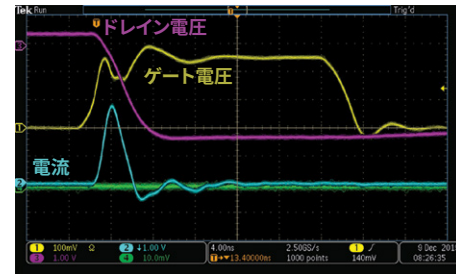
このテスト方法の構想は、実際の Lidar 回路の部品に、最終的なミッション・プロファイルをはるかに超える総パルス数でストレスを与えることです。自動車用 Lidar のミッション・プロファイルは、ユーザーによって異なります。一般的な自動車の規定では、100 kHz のパルス繰り返し周波数 (PRF) において 1 日 2 時間の動作で 15 年の寿命が求められます。これは、合計で約 4 兆の Lidar パルスに相当します。最悪の場合 (頻繁に使用) のシナリオでは、サービス寿命中に 10 兆 ~ 12 兆のパルスが必要になることがあります。

このテスト方法は、システム性能とデバイス特性の安定性を検証しながら、ミッション・プロファイルの全体をはるかに超えてデバイスの集団をテストすることで、Lidar 用途に対する eGaN デバイスの適合性を直接的に確立します。多数のパルスを得るために、一般的な Lidar 回路で使われるバーストではなく、部品に連続的にストレスをかけます。

この調査では、2 つの一般的な AEC 品質の部品、すなわち EPC2202 (80 V) と EPC2212 (100 V) をテストしました。各タイプの 4 個の部品を同時にテストしました。ストレス中、すべてのデバイスで 2 つの重要なパラメータ、つまり、(1) ピーク・パルス電流と (2) パルス幅を継続的にモニターしました。これらのパラメータは、Lidar システムの範囲と解像度に非常に重要です。

図 5-11 と 5-12 は、最初の 13 兆パルスにわたるこのテストの結果です。累積パルス数は、一般的な自動車の寿命をはるかに超えており、最悪の使用条件をカバーしています。パルスの幅と高さのどちらにも劣化やドリフトは見られないことに注目して

ください。これは GaN デバイスの健全性の間接的なモニターですが、Lidar の性能に悪影響を与える劣化メカニズムが発生していないことを示しています。



AEC-Q101 シリーズのディスクリート FET

- 8 サンプル (7000 時間以上)
- 故障なし、完璧なパルス安定性

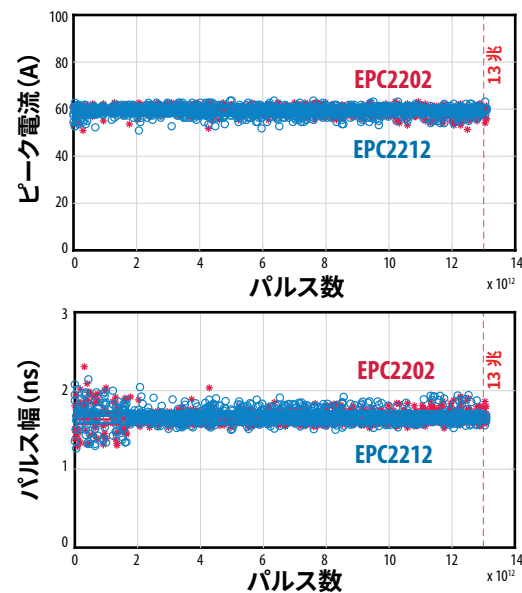


図 5-11: 13 兆のパルスに対するパルス幅 (下図) とパルスの高さ (中央の図) の長期安定性。4 個の EPC2202 (赤色) デバイスと 4 個の EPC2212 (青色) デバイスのデータを重ねてプロットしています。

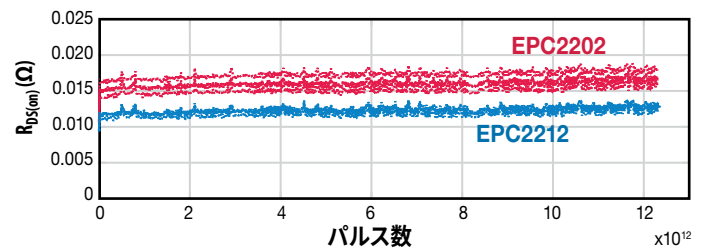


図 5-12: Lidar 信頼性テスト中の $R_{DS(on)}$ の長期安定性。これらのパラメータは、Lidar ストレスを短時間中断して、すべての部品に対して 6 時間間隔で測定します。4 個の EPC2202 (赤色) デバイスと 4 個の EPC2212 (青色) デバイスのデータを重ねてプロットしています。

5.3.3. モノリシック GaN オン・シリコンのレーザー駆動IC

Lidarシステムでは、GaNの小さな実装面積と優れたスイッチング特性という利点のため、ゲート・ドライバ・チップとは別に、しばしばディスクリートのeGaNトランジスタを使っていました。EPCは最近、図5-13に示すように、高速GaNドライバとディスクリートGaNトランジスタを集積したGaNのレーザー駆動用IC製品ファミリーを製品化しました。この集積したモノリシックLidarソリューションは、既存のディスクリート・ソリューションよりも、さらに高性能化、小型化、低コスト化を実現します。この結果、これらのICは、ロボット、監視システム、ドローン、自動運転車、掃除機など、より幅広いLidar応用を可能にします。

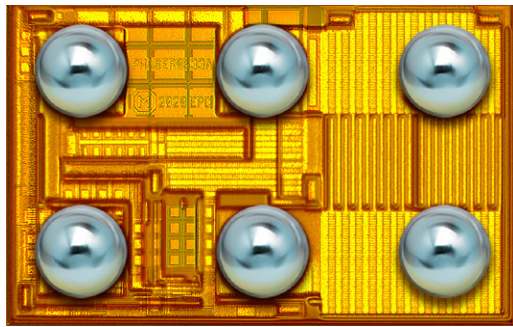


図5-13: eToF™集積回路のEPC21601には、ドライバとパワーFETを集積しています。

集積したGaNのレーザー駆動IC製品の最初の2つの製品（EPC21601とEPC21701）が生産中です。表5-1に、最初の2つの品質認定IC製品の主な仕様をまとめました。

型番	チップ面積 (mm x mm)	主な仕様
EPC21601	S (1.5 X 1)	40 V, 15 A, 3.3 V論理、eToFレーザー駆動IC
EPC21701	S (1.7 X 1)	80 V, 15 A, 3.3 V論理、eToFレーザー駆動IC

表5-1: EPCのレーザー駆動ICの初期の製品ファミリー

5.3.4. Lidar用途向けeToFレーザー駆動ICの主なストレス要因

ゲート・ドライバとパワー・トランジスタをチップスケール・パッケージに収めると、寄生インダクタンスが大幅に減少し、速度、最小パルス幅、電力消費がさらに改善されます。ただし、ICの電圧と電流の多くに直接アクセスできないため、主な電気的ストレス要因を分離するという課題も生じます。この調査の最初のステップは、Lidar用途でICに影響を与える主なストレス要因を特定することです。

EPC21601とEPC21701はどちらも、それぞれ面積1.5×1.0 mmと1.7×1.0 mmのチップスケールBGAの形態で販売されています。レーザー駆動ICのパッケージ技術は、EPCのディスクリート・パワー・トランジスタに長年使われてきたため、IC製品のパッケージ関連の信頼性は、以前のフェーズの信頼性テスト・レポートや関連出版物で説明されていました[1,15,27,78,79,80]。図5-14に示すLidar ICの動作条件は、高温動作寿命 (HTOL)

テストによって、最もよくエミュレートされます。この故障するまでのテスト調査に対するテスト対象として、EPC21601を選択しました。これは、EPC21701よりも数か月早く製品化しています。この2製品のレーザー駆動回路設計は同じです。主な違いは出力GaNトランジスタのドレイン電圧定格で、EPC21601の V_D の絶対最大定格は40 Vであるのに対し、EPC21701は80 Vです。

3つの主なストレス要因が特定されています:

- レーザー駆動回路の低電圧 (LV) GaN FET と、高電圧 (HV) GaN 出力 FET のゲートに、駆動電圧を供給する論理電源電圧 V_{DD} 。
- 主に HV 出力 FET のドレイン端子に主に印加するレーザー駆動電圧 V_D 。
- LV レーザー駆動回路と HV 出力 FET の両方にストレスを与える動作周波数。

5.3.5. 論理電源電圧 V_{DD} の影響

EPC21601 が動作して短いパルスのバーストを生成すると、レーザー駆動回路の LV GaN FET のゲート端子と、HV GaN パワー・トランジスタのゲートに論理電源電圧 (V_{DD}) を印加します。これは、バースト周波数 1 kHz、非常に小さいデューティ比 (約 0.02%)、および高い動作周波数 (30 MHz) で、すべての GaN FET の動的ゲート・テストを実施することと同じです。パルスが印加されていない場合、部品はオフ状態になり、ゲート・バイアスは、ほぼゼロになります (図5-15と5-15参照)。

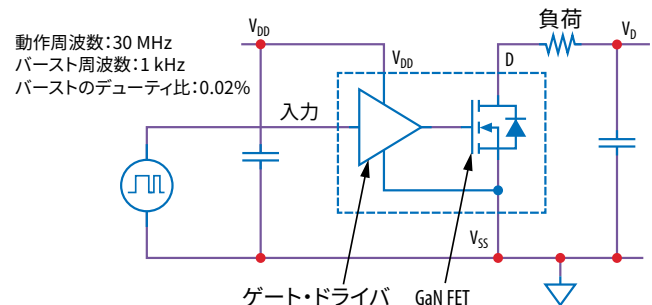


図5-14: EPC21601とEPC21701のレーザー駆動集積回路の回路ブロック図

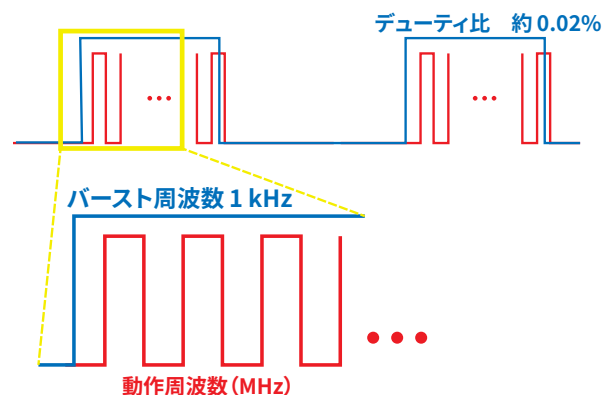


図5-15: バースト周波数 (青色) 1 kHz、デューティ比が約0.02%、動作周波数 (MHz) の動作条件の図

品質認定 HTOL テストでは、 V_{DD} は絶対最大定格の 5.5 V にバイアスされ、125°C の接合部温度で 1000 時間のテスト後も問題は見つかりませんでした。デバイスの耐性をテストするために、 V_{DD} 電圧は絶対最大定格の 125% を超える 7 V の高い値に増やしました。このストレス条件は、ユーザーによる通常動作中に、 V_{DD} ピンで発生する最悪の過電圧リンギングの問題に対処します。表 5-2 は、16 個のデバイスを 7 V の V_{DD} および 125°C の接合部温度で最大 1049 時間テストした結果をまとめたものです。故障は発生しませんでした。これは、レーザー駆動 IC 製品に十分なマージンがあることを示しています。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 7\text{ V}, T_J = 125^\circ\text{C},$ $V_{D_DC} = 30\text{ V}, R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	0	16	1049

表 5-2: $V_{DD} = 7\text{ V}, T_J = 125^\circ\text{C}$ での EPC21601 の HTOL テスト結果

故障がゼロだったため、この結果では、この製品にどの程度のマージンが設計されていたかを判断することはできず、 V_{DD} ストレス要因の特定のミッション・プロファイルでの寿命を正確に予測することもできません。したがって、デバイスを故障するまでテストするには、より厳しいストレス条件を適用しなければなりません。この目的は、部品を素早く故障させ、故障解析を実施して、根本的な故障モードとメカニズムを理解することです。

V_{DD} ストレスの電圧加速を決定するために、表 5-3 のように、25°C で 8.5 V から 9.5 V までの一連のテストを実施しました。8.5 V の V_{DD} では、1000 時間を超えるテスト後に合計 3 つの故障が見つかりました。一方、9.5 V では、ほぼすべての部品が 305 時間以内に故障し、大幅な電圧加速が示されました。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 8.5\text{ V}, T_J = 25^\circ\text{C},$ $V_{D_DC} = 30\text{ V}, R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	3	16	1049
HTOL	EPC21601	$V_{DD} = 9.5\text{ V}, T_J = 25^\circ\text{C},$ $V_{D_DC} = 30\text{ V}, R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	15	16	305

表 5-3: $V_{DD} = 8.5\text{ V}$ および $V_{DD} = 9.5\text{ V}, T_J = 25^\circ\text{C}$ での EPC21601 の HTOL テスト結果

V_{DD} を 8.5 V に固定した状態で、25°C および 125°C で HTOL テストを実施し、温度加速についても調査しました。この結果を表 5-4 にまとめており、顕著な温度加速が見られました。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 8.5\text{ V}, T_J = 25^\circ\text{C},$ $V_{D_DC} = 30\text{ V}, R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	3	16	1049
HTOL	EPC21601	$V_{DD} = 8.5\text{ V}, T_J = 125^\circ\text{C},$ $V_{D_DC} = 30\text{ V}, R_{LOAD} = 2\ \Omega$ $V_{IN} = 3.3\text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	16	16	718

表 5-4: $T_J = 25^\circ\text{C}$ および $T_J = 125^\circ\text{C}, V_{DD} = 8.5\text{ V}$ での EPC21601 の HTOL テスト結果

故障解析の結果、すべての故障はソフト・パラメータ故障であり、静止電流がデータシートの最大制限の 20 mA を超え、 $V_{DD} = 5\text{ V}$ のオフ状態で測定しました [81]。詳しく調べたところ、静止電流がデータシートの制限を超えたのは、 $V_D = 20\text{ V}$ が供給されたときのみでした。静止電流のソフト故障が 15 V の V_D で Lidar 動作に曝されたとき、パルスの完全性は損なわれませんでした。図 5-16 は、 V_{IN} (EPC21601 への論理入力) の入力信号 (青色) と、静止電流故障の V_D からの対応する出力信号 (緑色と黄色) の波形を示しています。パルスの歪みやパルスの欠落は観測されませんでした。これは、デバイスが極めて高い V_{DD} ストレスによって損傷を受けた場合でも、デバイスは依然として機能しており、電流パルスの再現性に悪影響がなかったことを示しています。

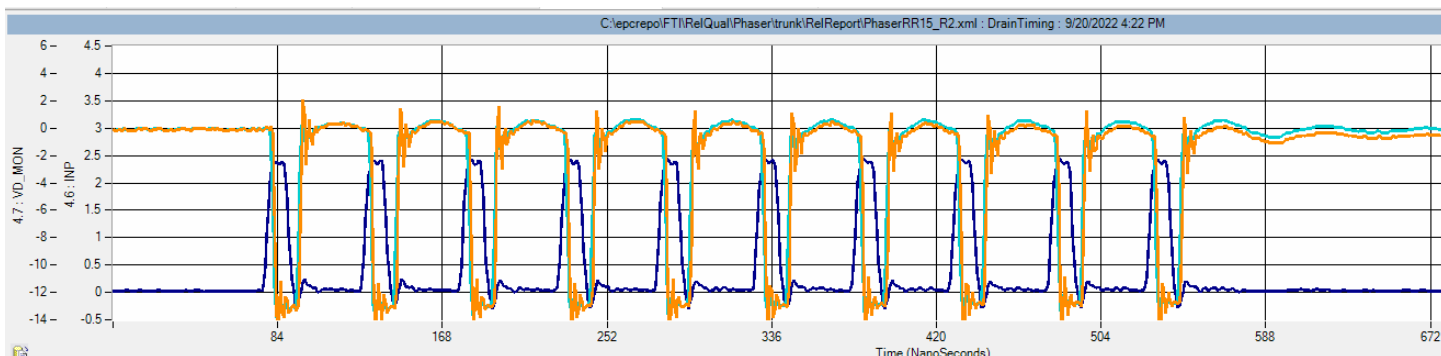


図5-16: 入力波形 (青色) と静止電流故障の対応する出力波形 (緑色と黄色)

異なる電圧と温度でのすべての故障は、同様の「ソフト」な電氣的故障を示したため、根本的な原因を特定するために物理的な故障解析を実施しました。駆動回路のLV GaN FETのゲート破壊は、ストレスの電圧と温度に関係なく、すべての故障に対して単一の故障メカニズムであることが分かりました。パルス生成時に、LVとHVのGaN FETのゲートに V_{DD} 電圧が印加されるため、この結果は回路解析に基づいて予測されています。

図5-17は、室温での2つの異なる V_{DD} 電圧の故障するまでの時間データです。このデータは、最大尤度推定 (MLE) と、各電圧レグの2パラメータのワイブル分布を使って分析しました。この適合はグラフの実線で示しています。ワイブル形状 (または傾き) パラメータは、故障解析によって単一の故障モードが見つかったため、すべての電圧レグで同じになるように制限しました。

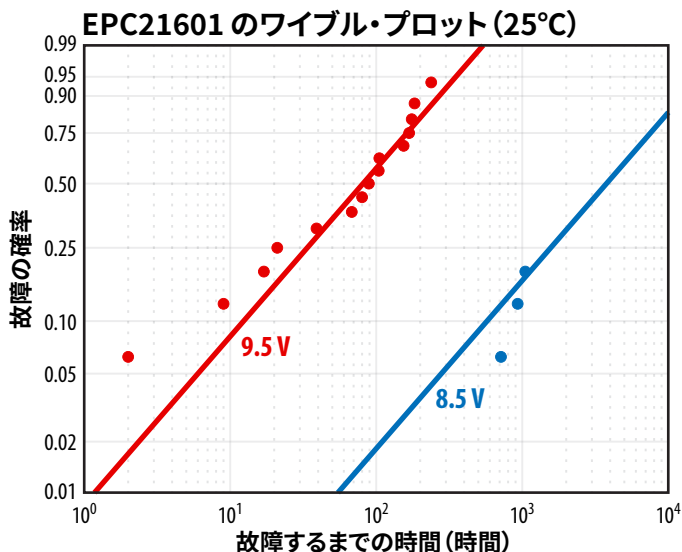


図 5-17: V_{DD} がそれぞれ 8.5 V (青色) および 9.5 V (赤色) で、 $T_j = 25^\circ\text{C}$ の場合の EPC21601 の故障を示すワイブル・プロット。

9.5 V の V_{DD} レグの計算した平均故障時間 (MTTF) は約 117 時間で、 4.2×10^5 秒に相当します。フェーズ 14 の信頼性レポート [60] の図 1 と図 2 では、 25°C における EPC2212 の 9.5 V の V_{GS} 直流テストの MTTF は約 150 秒で、HTOL テストで使われた 0.02% のバースト・デューティ比でスケールすると 7.5×10^5 秒にな

ります。EPC21601 と EPC2212 は同じゲート構造であり、同一のゲート製造プロセスを使っています。これは、EPC2212 の静的直流 V_{GS} テストと、加速した動的ゲート・テストで測定した EPC21601 の MTTF が一致していることを示しています。テストの構成と実装の違いによって、2つの MTTF 値が完全に一致しないのは当然です。例えば、すべての LV FET のゲートは、非常に短いパルス中に同じ V_{DD} ピンを介してストレスを受け、ゲートに若干のリングが発生することが予想されます。これによって、EPC2212 の加速直流ゲート・テスト結果と比べて、EPC21601 の MTTF がわずかに悪くなることが説明できます。

EPC21601 と EPC2212 の MTTF 結果が一致していることも、ゲート信頼性のために EPC が開発した物理ベース・モデルの妥当性を裏付けています。同じ寿命モデルが、両方のバイアスでの V_{DD} に対する測定データに適合しています。

図5-18は、 25°C でのEPC21601の測定した加速データに対する寿命予測です。この適合によって、 25°C 、最大 V_{DD} 電圧定格5.5Vにおける1ppm以下の故障率で25年を超える寿命が予測されました。この結果は、静的直流ゲート・バイアス下で、5.5Vでのゲートの外挿寿命ともよく一致しています。

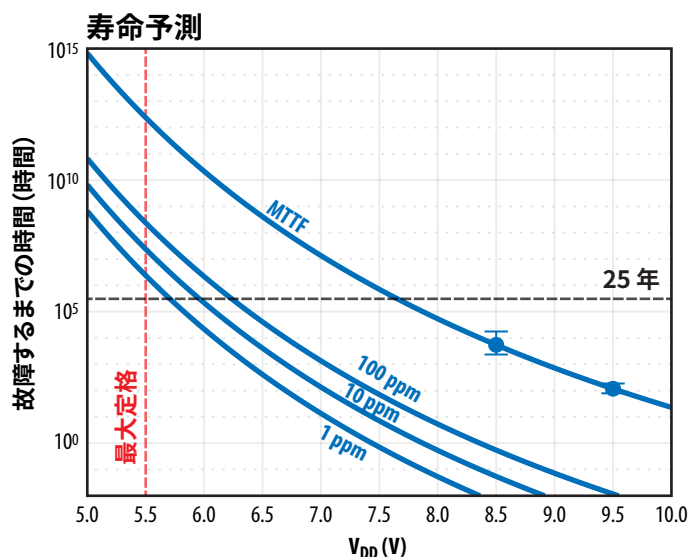


図5-18: 2つの異なる電圧でのEPC21601のMTTFデータとエラー・バーを、 25°C での V_{DD} に対してプロットしています。実線は、衝突電離寿命モデルに対応しています。100 ppm、10 ppm、1 ppmの故障するまでの時間の外挿も示しています。

図5-19に、 V_{DD} を8.5Vに固定した場合の故障するまでの時間のデータの温度加速を示します(25°Cと125°C)。このデータは、最大尤度推定(MLE)を使って、各温度レグに対して2パラメータ・ワイブル分布を使って分析しました。故障解析によって単一の故障モードが特定されたため、ワイブル形状(または傾き)パラメータは、両方の温度で同じになるように制限しました。各デバイスの故障するまでの時間は、部品をオープン(125°C)およびマザー・ボードから取り外した後、完全なATE事後スクリーニングを実施して記録しました。125°Cのレグでは、72時間後に同じ最初の読み取り点で複数の「ソフト」な静止電流故障が見つかり、ワイブル・プロット上で垂直方向の故障データ点が集中していることが見られました。125°Cのレグでは、最後の故障は718時間で見つかりましたが、25°Cのレグでは1000時間を超えるテスト後でもソフト故障は合計3件しか測定されませんでした(表5-4参照)。

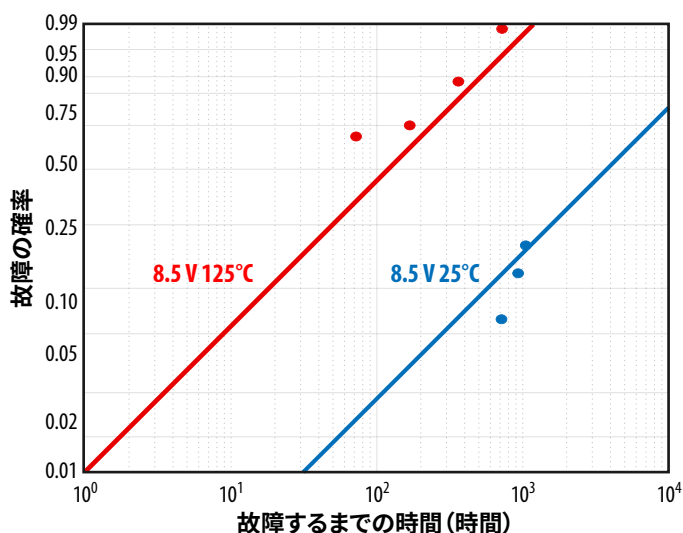


図5-19: 25°C(青色)および125°C(赤色)の接合部温度、 $V_{DD}=8.5V$ でのEPC21601の故障を示すワイブル・プロット。

図5-20は、 $V_{DD}=8.5V$ 、25°Cおよび125°CにおけるMTTFデータのアレニウス・プロットです。ここで、アレニウスの式[82,83,84]を使って活性化エネルギーを0.35 eVと計算しました。この結果は、ディスクリート GaN 製品の静的HTGBテストで観測した結果とは異なります。このテストでは、弱い負の温度加速が見られました。初期の故障解析では、テスト温度が25°Cまたは125°Cのいずれであっても、すべてのソフト静止電流故障において、根本的な故障モードとして同一のゲート破壊であることが示されました。

温度加速の原因となる故障メカニズムについてはさらに調査が必要ですが、 V_{DD} ストレス源のレーザー駆動ICは、非常に丈夫であることが証明されています。

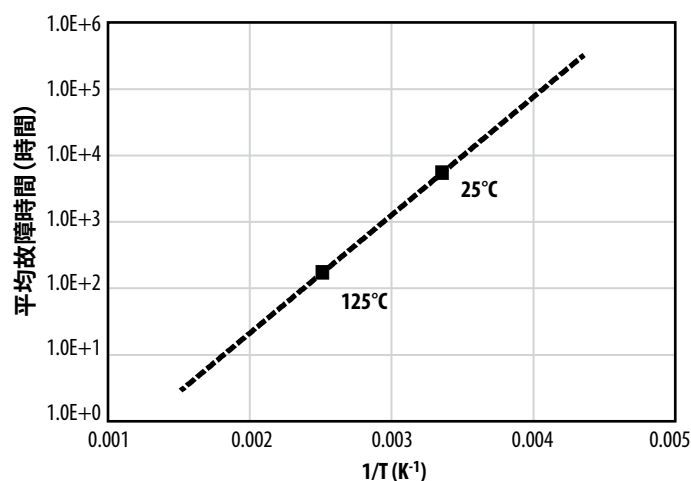


図5-20: 2種の異なる温度でのEPC21601のMTTFデータを、 V_{DD} が8.5Vのときの $T^{-1}(K^{-1})$ に対してプロットしています。実線はアレニウスの式に対応し、活性化エネルギーは0.35 eVでした。

5.3.6. レーザー駆動電圧 V_D の影響

V_D ピンに接続した回路を詳細に調べると、加速した V_D のHTOLによって、EPC21601に2つの潜在的な故障モードが発生する可能性があります。

1. V_D は主に、HV GaN FETのドレイン端子に加えます。Lidar動作の性質上、HV出力FETは、ほとんどの時間、逆ドレイン・バイアス下にあります。レーザー・パルスが生成されると、HV FETがオンになり、電流が流れます。このため、ICの加速 V_D のHTOLテストは、大きなデューティ比の出力FETの動的HTRBテストに似ています。したがって、ディスクリート GaN トランジスタの加速ドレイン・バイアス・テストによる固有の故障モードが適用されます。
2. V_D ピンは、HV FETのドレイン・ノードに接続するほかに、単一のレーザー駆動回路にも接続され、デバイスによって生成されるパルスの数に影響を及ぼします。この経路が加速 V_D のストレスによって損なわれると、パルスの欠落につながる可能性があります。Lidar用途にとって、もう1つの重大な故障モードです。

HTOL品質認定テストは、データシート[85]で指定されている最大推奨電圧である30Vの V_D で実施しました。加速 V_D のHTOLテストのマトリックスは、表5-5にまとめようように実施しました。60Vの V_D を選択した理由は、最大推奨電圧定格の2倍であり、非常に加速した条件だからです。ただし、この電圧は、HV出力FETの他の既知の本質的な故障モードを引き起こすほど高くしてはなりません。60Vは、ドライバ設計に対して厳しい故障するまでのテストの条件です。

表5-5は、1000時間を超えるテスト後も故障が見つからなかったことを示しています。すべての部品は、HTOLテストを受けた後もデータシートの仕様を満たし続けました。

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$, $T_J = 25^\circ\text{C}$ $V_{D_DC} = 60 \text{ V}$ $V_{IN} = 3.3 \text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	0	16	1005
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$, $T_J = 125^\circ\text{C}$ $V_{D_DC} = 60 \text{ V}$ $V_{IN} = 3.3 \text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 30 MHz	0	16	1005

表5-5: $V_D = 60 \text{ V}$, $T_J = 25^\circ\text{C}$ と $T_J = 125^\circ\text{C}$ でのEPC21601のHTOLテスト結果

デバイスが歪んだ波形やパルスの欠落を生成していないことをさらに検証するために、 $V_D = 60 \text{ V}$, $T_J = 125^\circ\text{C}$ のレッグの部品を60 V, 125°C でテスト装置に再度取り付け、図5-21の入力と出力のパルス波形を調べました。この結果は、1000時間を超えるHTOLテストの後でもパルス波形の劣化が見られなかったことを示しています。短いパルスが原因で、HTOL中に各パルスの最後に、HV出力トランジスタに25 Vを超えるオーバーシュートが生じたことに注意してください。これは、デバイスが、最大推奨バイアスの2倍である60 Vの公称ストレスに加えて、 V_D で繰り返し85 Vを超える過渡過電圧ストレス（絶対最大定格 = 40 Vの2倍以上）を受けたことを示しています。 V_D ストレス下でのデバイスの良好な耐性も示しています。

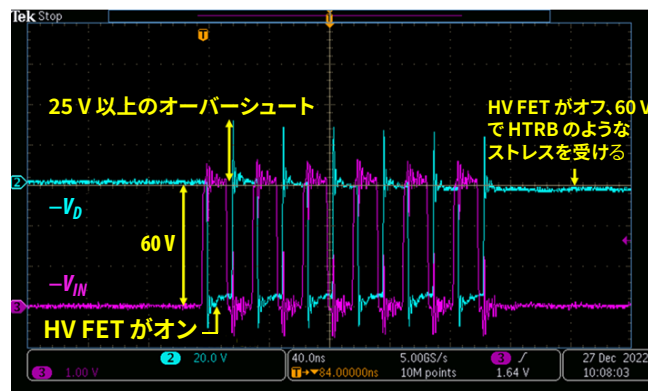
この時点で、最も厳しい極端なテストは、 125°C で60 V_D のレッグのテスト・マトリックスによって説明されています。ドレイン・バイアスをさらに増やすと、HV GaN トランジスタに、Lidar用途やレーザー駆動ICの信頼性には当てはまらない異なる固有の故障メカニズムが発生する可能性があります。要するに、レーザー電源電圧 (V_D) に関連する故障モードは見つかりませんでした。

5.3.7. 動作周波数の影響

予備的なデバイス特性評価として、極めて高い動作周波数でテストすると、Lidar ICの出力波形が歪む可能性があることが示唆されました。したがって、HTOLテストのどの周波数、またはどの期間で、パルス波形に著しい歪みやパルスの欠落が現れ始めるかを調べることは有益です。

表5-6に示すように、2種の高い動作周波数でテストを実施しました。48 MHzと96 MHzは、品質認定で使われる最大推奨動作周波数30 MHzの160%と320%です。1400時間を超えるテスト後

ストレス・テスト	型番	テスト条件	故障の数	サンプル数	持続時間 (時間)
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$, $T_J = 25^\circ\text{C}$, $V_{D_DC} = 30 \text{ V}$, $R_{LOAD} = 2 \Omega$ $V_{IN} = 3.3 \text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 48 MHz	0	16	1005
HTOL	EPC21601	$V_{DD} = 5.5 \text{ V}$, $T_J = 25^\circ\text{C}$, $V_{D_DC} = 30 \text{ V}$, $R_{LOAD} = 2 \Omega$ $V_{IN} = 3.3 \text{ V}_{P-P}$, バースト周波数 = 1 kHz; 動作周波数 = 96 MHz	0	16	1005

表5-6: $V_D = 30 \text{ V}$, $T_J = 25^\circ\text{C}$ における動作周波数48 MHzおよび96 MHzのEPC21601のHTOLテスト結果。図5-21: 60 Vの V_D , 125°C で1005時間のHTOLテストを受けた後の代表的な合格部品の出力波形 (青色)。紫色の波形は、 V_{IN} からの対応する入力信号です。HTOLテスト中、各パルスの終了時に25 Vのオーバーシュートが見られたことに注意してください。

も故障は発生しませんでした。すべての部品は、HTOLテストを受けた後もデータシートの仕様を満たし続けました。

図5-22は、1413時間の48 MHzのHTOLテスト後の合格デバイスの代表的な入力 (紫色) と出力 (青色) の波形です。波形の歪みやパルスの欠落は見つかりませんでした。図5-23は、1413時間の96 MHzのHTOLテスト後の合格デバイスの代表的な入力 (紫色) と出力 (青色) の波形の別の組み合わせです。波形の歪みやパルスの欠落は見つかりませんでした。

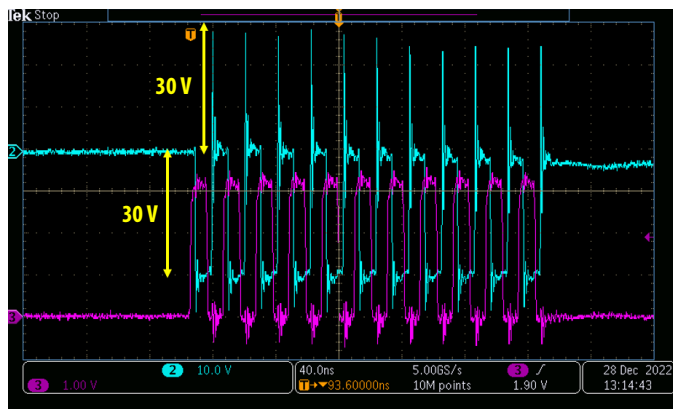


図5-22：動作周波数48 MHzで1413時間のHTOLテストを実施した後の合格デバイスの代表的な入力（紫色）と出力（青色）の波形。HTOLテスト中、各パルスの最後に30 Vのオーバーシュートが見られることに注意してください。デバイスは48 MHzで歪みなくパルスを出し続けます。

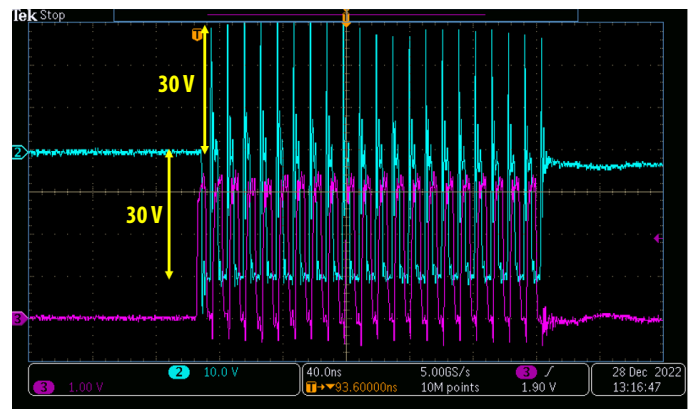


図5-23：動作周波数96 MHzで、1413時間のHTOLテストを実施した後の合格デバイスの代表的な入力（紫色）と出力（青色）の波形。HTOLテスト中、各パルスの最後に30 Vのオーバーシュートが見られることに注意してください。デバイスは96 MHzで歪みなくパルスを出し続けます。

6 要約と結論

GaN デバイスの生産が増加し続け、アプリケーションが多様化するにつれて、使用する事例に応じて異なる信頼性の懸念が生じるかもしれません。ミッション・プロファイルの各フェーズで、システムに影響を与える摩耗メカニズムを理解することで、特定のアプリケーションごとに GaN デバイスの寿命を分析的に計算できます。故障するまでのテストによって確認される各摩耗メカニズムの故障率は、このレポートで提供されるガイドラインに従うことで最小限に抑えることができます。

7 参考文献

- [1] Garcia, R., Gajare, S., Espinoza, A., Zafrani, M., Pozo, A., Zhang, S., 「GaNの信頼性と寿命の予測：フェーズ15」, EPC Corp., El Segundo, CA, USA,信頼性レポートの入手先：信頼性レポートのフェーズ15
- [2] Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications, Third edition: May 2015, Editor: ZVEI Robustness Validation Working Group, Eds. Published by ZVEI – Zentralverband Elektrotechnik – und Elektronikindustrie e.V. [Online]. Available: https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2015/mai/Handbook_for_Robustness_Validation_of_Semi-conductor_Devices_in_Automotive_Applications__3rd_edition_/Robustness-Validation-Semiconductor-2015.pdf
- [3] Volosencu, C. (2017). System reliability. Edited. InTechOpen. <https://doi.org/10.5772/66993>.
- [4] JEDEC Standard “Method for calculating failure rates in units of FITS”, JESD85A, January 2014.
- [5] Gao, H., Espinoza, A., Garcia, R., Gajare, S., & Zhang, S. (2024). Main Mechanism Responsible for pGaN Gate Breakdown and Lifetime Projection in GaN HEMTs. IEEE Transactions on Electron Devices.
- [6] Rossetto, I., Meneghini, M., Hilt, O., Bahat-Treidel, E., De Santi, C., Dalcanale, S., ... & Meneghesso, G. (2016). Time-dependent failure of GaN-on-Si power HEMTs with p-GaN gate. IEEE Transactions on Electron Devices, 63(6), 2334-2339.
- [7] Cao, L., Wang, J., Harden, G., Ye, H., Stillwell, R., Hoffman, A. J., & Fay, P. (2018). Experimental characterization of impact ionization coefficients for electrons and holes in GaN grown on bulk GaN substrates. Applied Physics Letters, 112(26).
- [8] Okuto, Y., & Crowell, C. R. (1975). Threshold energy effect on avalanche breakdown voltage in semiconductor junctions. Solid-State Electronics, 18(2), 161-168.
- [9] Cao, L., Zhu, Z., Harden, G., Ye, H., Wang, J., Hoffman, A., & Fay, P. J. (2021). Temperature dependence of electron and hole impact ionization coefficients in GaN. IEEE Transactions on Electron Devices, 68(3), 1228-1234.
- [10] Gajare, S., Gao, H., Wong, C., & Zhang, S. (2024). A Comprehensive Lifetime Model for Schottky-type pGaN Gate of GaN HEMTs. IEEE Electron Device Letters.
- [11] Richardson, O. W. (1924). Electron emission from metals as a function of temperature. Physical Review, 23(2), 153.
- [12] He, J., Wei, J., Li, Y., Zheng, Z., Yang, S., Huang, B., & Chen, K. J. (2020). Characterization and analysis of low-temperature time-to-failure behavior in forward-biased Schottky-type p-GaN gate HEMTs. Applied Physics Letters, 116(22).

- [13] Chiu, F. C. (2014). A review on conduction mechanisms in dielectric films. *Advances in Materials Science and Engineering*, 2014(1), 578168.
- [14] Zhang, H., Miller, E. J., & Yu, E. T. (2006). Analysis of leakage current mechanisms in Schottky contacts to GaN and AlO. 25Ga0. 75N/GaN grown by molecular-beam epitaxy. *Journal of Applied Physics*, 99(2).
- [15] Wang, Bixuan, Ruizhe Zhang, Hengyu Wang, Quanbo He, Qihao Song, Qiang Li, Florin Udrea, and Yuhao Zhang. "Gate Lifetime of P-Gate GaN HEMT in Inductive Power Switching." In 2023 35th International Symposium on Power Semiconductor Devices and ICs (ISPSD), pp. 20-23. IEEE, 2023
- [16] Alex Lidow. "GaN Power Devices and Applications.", El Segundo, CA, USA: PCP Press, 2021
- [17] Dymond, Harry CP, Jianjing Wang, Dawei Liu, Jeremy JO Dalton, Neville McNeill, Dinesh Pamunuwa, Simon J. Hollis, and Bernard H. Stark. "A 6.7-GHz active gate driver for GaN FETs to combat overshoot, ringing, and EMI." *IEEE Transactions on Power Electronics* 33, no. 1 (2017): 581-594
- [18] Zhang, S., Gajare, S., Garcia, R., Huang, S., Espinoza, A., Gorgerino, A., ... & Lidow, A. (2023). Projecting GaN HEMTs lifetimes under typical stresses commonly observed in DC-DC converters. *Power Electronic Devices and Components*, 6, 100051.
- [19] Brazzini, T., et al., "Mechanism of hot electron electroluminescence in GaN-based transistors," *J. Phys. D: Appl. Phys.* 49, 435101, 2016
- [20] "Guideline to specify a transient off-state withstand voltage robustness indicator in datasheets for lateral GaN power conversion devices," Dec. 2021. [Online]. Available: <https://www.jedec.org/standardsdocuments/docs/jep186>
- [21] Spirito, P., Breglio, G., d'Alessandro, V., and Rinaldi, N., "Analytical model for thermal instability of low voltage power MOS and S.O.A. in pulse operation," 14th International Symposium on Power Semiconductor Devices & ICS; Santa Fe, NM; 4-7 June 2002; pp. 269-272.
- [22] Mishra, S., "Fault current limiting and protection circuit for power electronics used in a modular converter," M.S. thesis, University of Tennessee, Knoxville, TN, 2008. [Online]. Available: https://trace.tennessee.edu/utk_gradthes/468
- [23] Glaser, J., "An introduction to Lidar: A look at future developments," *IEEE Power Electronics Magazine*, March 2017
- [24] H. C. Ma et al., "Reliability and failure mechanism of copper pillar joints under current stressing," *J. Mater. Sci. Mater. Electron.*, vol. 26, no. 10, pp. 7690-7697, 2015, doi: 10.1007/s10854-015-3410-8
- [25] M. Ding, G. Wang, B. Chao, P. S. Ho, P. Su, T. Uehling, and D. Wontor, "A Study of Electromigration Failure in Pb-Free Solder Joints," *Proc 43rd IEEE International Reliability Physics Symposium*, San Jose, CA, April. 2005, pp. 518-523
- [26] Jae-Woong Nah et al., "Electromigration in Pb-free solder bumps with Cu column as flip chip joints," 56th Electronic Components and Technology Conference 2006, San Diego, CA, USA, 2006, pp. 6, doi: 10.1109/ECTC.2006.1645720
- [27] Madanipour, H., Kim, Y., Kim, C., Mishra, D., & Thompson, P. (2021). Study of electromigration in Sn-Ag-Cu micro solder joint with Ni interfacial layer. *Journal of Alloys and Compounds*, 862, 158043. <https://doi.org/10.1016/j.jallcom.2020.158043>
- [28] N. Islam, G. Kim and K. Kim, "Electromigration for advanced Cu interconnect and the challenges with reduced pitch bumps," 2014 IEEE 64th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2014, pp. 50-55, doi: 10.1109/ECTC.2014.6897266
- [29] J. R. Black, "Metallization failures in integrated circuits." doi: 10.1002/nav.3800080206
- [30] J. Lienig and M. Thiele, *Fundamentals of Electromigration- Aware Integrated Circuit Design*. Springer, 2018
- [31] Madanipour, H., Kim, Y., Kim, C., Mishra, D., & Thompson, P. (2021). Study of electromigration in Sn-Ag-Cu micro solder joint with Ni interfacial layer. *Journal of Alloys and Compounds*, 862, 158043. <https://doi.org/10.1016/j.jallcom.2020.158043>
- [32] Guideline for Characterizing Solder Bump Electromigration under Constant Current and Temperature Stress, Version 1.0, JEDEC Standard JEP154,2011
- [33] Coonrod, J. (2011). Understanding when to use FR-4 or high frequency laminates. *OnBoard Technology*, 26-30.
- [34] Michaelides, S., & Sitaraman, S. K. (1999). Die cracking and reliable die design for flip-chip assemblies. *IEEE Transactions on Advanced Packaging*, 22(4), 602-613
- [35] Wu, B., Yang, Y. H., Han, B., & Schumacher, J. (2018). Measurement of anisotropic coefficients of thermal expansion of SAC305 solder using surface strains of single grain with arbitrary orientation. *Acta Materialia*, 156, 196-204
- [36] Ghaffarian, R. (2000). Accelerated thermal cycling and failure mechanisms for BGA and CSP assemblies. *J. Electron. Packag.*, 122(4), 335-340.
- [37] Han, B., & Guo, Y. (1996). Determination of an effective coefficient of thermal expansion of electronic packaging components: A whole-field approach. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 19(2), 240-247
- [38] Barbini, D., & Meilunas, M. (2011). Reliability of lead-free LGAs and BGAs: Effects of solder joint size, cyclic strain and microstructure. *SMTA International Proceedings*, Fort Worth, Texas, 292
- [39] JEDEC Standard, "Temperature Cycling," Test Method JESD22-A104F, November 2020
- [40] Cramér, H. (1999). *Mathematical methods of statistics* (Vol. 43). Princeton University Press

- [41] Clech, J. P. (2015, September). Board, package and die thickness effects under thermal cycling conditions. In Proceedings of SMTA International (pp. 40-50)
- [42] Tee, T. Y., Ng, H. S., Yap, D., & Zhong, Z. (2003). Comprehensive board-level solder joint reliability modeling and testing of QFN and PowerQFN packages. *Microelectronics Reliability*, 43(8), 1329-1338
- [43] Farooq, M., Goldmann, L., Martin, G., Goldsmith, C., & Bergeron, C. (2003, May). Thermo-mechanical fatigue reliability of Pb-free ceramic ball grid arrays: Experimental data and lifetime prediction modeling. In 53rd Electronic Components and Technology Conference, 2003. (pp. 827-833).
- [44] Norris, K. C., & Landzberg, A. H. (1969). Reliability of controlled collapse interconnections. *IBM Journal of Research and Development*, 13(3), 266-271
- [45] Han, B., & Guo, Y. (1996). Determination of an effective coefficient of thermal expansion of electronic packaging components: A whole-field approach. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 19(2), 240-247.
- [46] Darveaux, R. (2005). Effect of assembly stiffness and solder properties on thermal cycle acceleration factors. In THERMINIC 2005 (pp. 192-203). TIMA Editions.
- [47] Clech, J. (2016). The combined effect of assembly pitch and distance to neutral point on solder joint thermal cycling life. In Proceedings of SMTA International (pp. 25-29).
- [48] Motalab, M., Cai, Z., Suhling, J. C., & Lall, P. (2012, May). Determination of Anand constants for SAC solders using stress-strain or creep data. In 13th InterSociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (pp. 910-922). IEEE.
- [49] Motalab, M., Mustafa, M., Suhling, J. C., Zhang, J., Evans, J., Bozack, M. J., & Lall, P. (2013, May). Correlation of reliability models including aging effects with thermal cycling reliability data. In 2013 IEEE 63rd Electronic Components and Technology Conference (pp. 986-1004). IEEE.
- [50] Vasudevan, V., & Fan, X. (2008, May). An acceleration model for lead-free (SAC) solder joint reliability under thermal cycling. In 2008 58th Electronic components and technology conference (pp. 139-145). IEEE.
- [51] Sun, F. Q., Liu, J. C., Cao, Z. Q., Li, X. Y., & Jiang, T. M. (2016). Modified Norris–Landzberg model and optimum design of temperature cycling alt. *Strength of Materials*, 48, 135-145.
- [52] Lall, P., Shirgaokar, A., & Arunachalam, D. (2012). Norris–Landzberg acceleration factors and Goldmann constants for SAC305 lead-free electronics. *Journal of Electronic Packaging*, 134(3), 031008.
- [53] Deshpande, A., Jiang, Q., Dasgupta, A., & Becker, U. (2019, May). Fatigue life of joint-scale SAC305 solder specimens in tensile and shear mode. In 2019 18th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm) (pp. 1026-1029). IEEE.
- [54] Cui, H. (2005, January). Accelerated temperature cycle test and Coffin-Manson model for electronic packaging. In Annual Reliability and Maintainability Symposium, 2005. Proceedings. (pp. 556-560). IEEE.
- [55] JEDEC Standard, "Stress-Test-Driven Qualification of Integrated Circuits," JESD47L, December 2022
- [56] Automotive Electronics Council, "Failure Mechanism Based Stress Test Qualification For Discrete Semiconductors In Automotive Applications," AEC-Q101-Rev E, March 2021
- [57] Wu, K. C., Lee, C. H., & Chiang, K. N. (2016, May). Characterization of thermal cycling ramp rate and dwell time effects on AF (Acceleration Factor) Estimation. In 2016 IEEE 66th Electronic Components and Technology Conference (ECTC) (pp. 251-256). IEEE.
- [58] R. V. Mises, "The mechanics of solids in the plastically-deformable state" (No. NAS 1.15: 88448), 1986.
- [59] "EPC2218A – Enhancement-mode power transistor," EPC2218A datasheet, Efficient Power Conversion
- [60] 「EPCの信頼性レポートのフェーズ14」、[オンライン] 入手先：<https://epc-co.com/epc/jp/設計サポート/ganデバイスの信頼性/reliabilityreportphase14>
- [61] JEDEC Standard, "Evaluation Procedure For Determining Capability To Bottom Side Board Attach By Full Body Solder Immersion Of Small Surface Mount Solid State Devices," JSED22-A12B, March 2018
- [62] Department of Defense Test Method Standard: Mechanical Tests – Die Shear Strength. Mil-Std-883e (Method 2019), May 3, 2018. [Online]. Available: <https://landandmaritimeapps.dla.mil/Downloads/MilSpec/Docs/MIL-STD-883/std883.pdf>
- [63] AEC-Q200 REV D: Stress Test Qualification for Passive Components (base document), Automotive Electronics Council, June 1, 2010, [Online]. Available: www.aecouncil.com
- [64] AEC-Q200-005 Rev A: Board Flex Test, Automotive Electronics Council, June 1, 2010, [Online]. Available: www.aecouncil.com

- [65] "\$1/W Photovoltaic Systems: white paper to explore a grand challenge for electricity from solar," U.S Department of Energy, August 2010
- [66] "SunShot 2030 for Photovoltaics (PV): Envisioning a Low-cost PV Future" by W. Cole, B. Frew, P. Gagnon, J. Richards, Y. Sun, J. Zuboy, M. Woodhouse, and R. Margolis, National Renewable Energy Laboratory, Golden, CO (2017).
- [67] "Enphase IQ 7-Based M-Series Microinverters," Enphase Energy data sheet, February 2023
- [68] "IQ8M and IQ8A Microinverters," Enphase Energy data sheet, April 2023
- [69] "SolarEdge Power Optimizer Module Embedded Solution, OPJ300-LV," SolarEdge data sheet, January 2023
- [70] "Power Optimizer Frame-Mounted P370/P401/P404/P500," SolarEdge data sheet, May 2023
- [71] "EPC2059 – Enhancement-mode power transistor," EPC2059 datasheet, Efficient Power Conversion
- [72] "EPC2218 – Enhancement-mode power transistor," EPC2218 datasheet, Efficient Power Conversion
- [73] "EPC2302 – Enhancement-mode power transistor," EPC2302 datasheet, Efficient Power Conversion
- [74] MSN weather data for Phoenix, Arizona
- [75] 「ゲート・ドライバ搭載のGaN FET互換アナログ・コントローラを使った同期バック・コンバータを設計する方法」、[オンライン] 入手先：<https://epc-co.com/epc/portals/0/epc/documents/application-notes/How2AppNote025%20How%20to%20Design%20Synchronous%20Buck%20Converter%20Using%20GaN%20FET-jp.pdf>
- [76] S. Zhang, S. Gajare, R. Garcia, "Using Test-to-Fail Methodology to Predict How GaN Devices Can Last More than 25 Years in Solar Applications", PCIM Asia 2023 Conference
- [77] Efficient Power Conversion Corporation, 「EPC9078：開発基板」、[オンライン] 入手先：<https://epc-co.com/epc/jp/製品/デモボード/epc9078-ja-jp>
- [78] Pozo, A., Zhang, S., and Strittmatter, R., 「EPCのeGaN®の信頼性試験：フェーズ10」, EPC Corp., El Segundo, CA, USA, 信頼性レポートの入手先：<https://epc-co.com/epc/jp/設計サポート/ganデバイスの信頼性/reliability-report-phase-10>
- [79] Pozo, A., Zhang, S., and Strittmatter, R., 「EPCのeGaN®の信頼性試験：フェーズ12」, EPC Corp., El Segundo, CA, USA, 信頼性レポートの入手先：<https://epc-co.com/epc/jp/設計サポート/ganデバイスの信頼性/reliabilityreportphase12>
- [80] Meneghini, M., et al., "GaN-based power devices: Physics, reliability, and perspectives," J. Appl. Phys. 130, 181101, 2021
- [81] Efficient Power Conversion Corporation, "EPC23012 – ePower™ Stage IC," EPC23102 datasheet. [Online]. https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC23102_datasheet.pdf
- [82] De Santi, C. et al, "Review on the degradation of GaN-based lateral power transistors," Advances in Electrical Engineering, Electronics and Energy, Vol. 1, 100018, 2021
- [83] Wu, Y. et al., "Activation energy of drain-current degradation in GaN HEMTs under high-power DC stress," Microelectronics Reliability, 54, pp. 2668–2674, 2014
- [84] Hu, C. et al., "Investigation of a Simplified Mechanism Model for Prediction of Gallium Nitride Thin Film Growth through Numerical Analysis," Coatings, 7, 43, 2017
- [85] Efficient Power Conversion Corporation, "EPC21601 – eToF Laser Driver IC," EPC21601 datasheet. [Online]. Available: https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC21601_datasheet.pdf