

# EPCのeGaN® FETの信頼性試験： フェーズ8



Chris Jakubiec, Rob Strittmatter Ph.D., and Chunhua Zhou Ph.D., Efficient Power Conversion社、カリフォルニア州エルセグンド

このレポートを含めて、Efficient Power Conversion (EPC) 社は、すべての発表された製品を網羅する8本の信頼性レポート・シリーズを公開しています。製品の具体的で詳細なストレス・テストでは、実地の何100万デバイス時間の結果が集められ、報告されています。製品の品質認定ストレス・テストに加えて、フィールドでの実績、デバイス動作寿命にわたる不具合、基板レベルの信頼性など、信頼性の他の分野においても適切な注意が必要です。このレポートの最初のセクションは、eGaN®デバイスのフィールド信頼性の実績をまとめたものです。2番目のセクションでは、製品の寿命にわたるストレス・テストについて報告し、最後のセクションでは、基板レベルの信頼性をまとめました。付録では、以前に公表した信頼性レポートから蓄積した製品特有のストレス・テストのデータ、および、フェーズ7レポートが発表された後に収集したデータが含まれています。

## パート1：フィールド信頼性の実績

eGaN® FETとICのフィールド・アプリケーションでの信頼性の概要は、フェーズ7レポートにまとめられています。優れたフィールド信頼性は、1 FIT (10億時間当たりの故障数) 以下の非常に低い故障率と、170億デバイス動作時間以上の蓄積によって実証されました。このレポートでは、eGaN®デバイスがエンド・ユーザーのアプリケーションで優れた信頼性が得られる理由だけでなく、成熟してきていますが、まだ破壊的であるこの技術を利用したときの学習曲線に沿って、改善のための検討領域についての詳細も追加しています。

### eGaN®技術の信頼性の優位点

シリコンにおけるパワーFETとICの製造に関する数10年の業界の経験は、ウエハーやチップのレベルで非常に高い歩留りが得られ、しかも信頼性の高いデバイスを製造できるという結果につながっています。しかし、環境からデバイスを保護するために、チップをパッケージに封止することは、機械的および熱的インタフェースをいくつか追加することになり、フィールドにおける潜在的な故障モードの数を増加させることとなります。EPCは、ウエハーの形態でありながら環境的に密封されているチップスケール・デバイスを開発することによって、従来のプラスチック・パッケージの必要性を排除しています。チップスケールのパワー・デバイスには、次のような利点があります。すなわち、熱抵抗の低減、形状の小型化、パッケージのインダクタンスと抵抗の排除、製造コストの低減、そして最終的には、より高い信頼性です。

パッケージに封止されたデバイスでは、パワーFETやICのフィールド故障のかなりの割合は、製造工程中、またはフィールドでの実際の動作中のいずれかの熱機械的応力によるものです。ワイヤー・ボンド、チップの取り付け、モールド化合物、リードフレーム、および基板のすべてが、潜在的

な故障モードにつながります。EPCのチップスケール・デバイスは、フィールドで従来のパッケージ・デバイスによって悩まされてきたこれらの不確定要素を排除します。加えて、EPCのデバイスは、湿気の侵入に対する保護、および耐湿性レベル1 (MSL1) 規格に準拠した制限のない在庫寿命というメリットを備えたガラスの保護層で覆われています。従来のパワー・パッケージと比べて、eGaN®チップスケール・パッケージのシンプルさを考慮すると、現在の優れたフィールド信頼性の実績は、驚くべきことではありません。

### フィールド故障を調べる

EPCは、すべての戻されたフィールド故障の根本原因の分析を徹底的に実施しました。2016年6月現在で、合計127件のフィールド故障を調べました。127件のフィールド故障のうち、37個のデバイスが、異常が検出されずに電気的検査に合格したので、良品として分類しました。フィールドからの戻り品のすべてを根本原因によって分類し、その内訳を下掲の図1に示します。次の3セクションでは、分析されたフィールド故障の種類の詳細を記述し、フィールドでのこのような問題を防止するための推奨を示します。

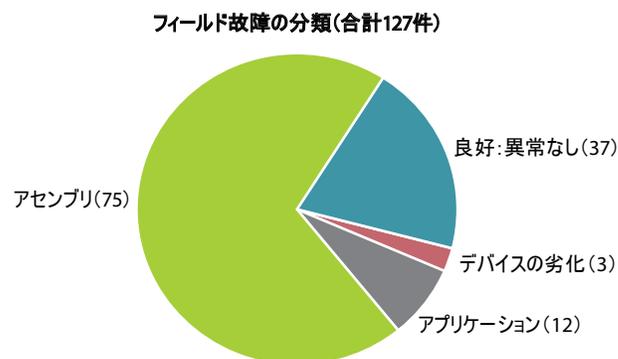


図1:フィールド故障に対する根本原因の分類別内訳。

### アセンブリの故障

これまで、チップスケール・パッケージは、低電力、低電圧のアプリケーション向けに用意されてきましたが、EPCは、大電力、大電圧のアプリケーションへの採用を先導してきました。eGaN®チップスケール・パッケージで従来のパワー・パッケージを置き換えるか、または組み合わせるアプリケーションでは、基板レベルの信頼性の高いアセンブリのための学習曲線を描くことができます。チップスケールの微細ピッチのはんだ形状 (400 μm ~1000 μm)、比較的低いスタンドオフの高さ (取り付け面とパッケージ本体下面との距離、100 μm以下)、および露出したチップには、適切なアセンブリ技術が必要になります。デバイスのアセンブリや取り扱い、この分類に記録された75件であり、フィールドからの戻りの最大数を占めました。

不十分な洗浄やフラックスの硬化と共に、アセンブリの間に放出されたはんだペーストとフラックスの量の不適切な制御に分類されたフィールド故障の件数は36件を占めていました。適切な洗浄と乾燥を実施していないフラックスは、はんだボール間の領域に蓄積し、導電性の漏れ経路を形成し、デバイスの故障につながる樹状突起形成の触媒となる可能性があります。この共通の問題を回避するために、チップ直下のすべての残留フラックスを洗浄し、デバイスに電源を投入する前に、高温乾燥硬化工程を実施することを推奨します。図2は、未硬化フラックス内で2つの端子を接続する樹状突起を示しています。

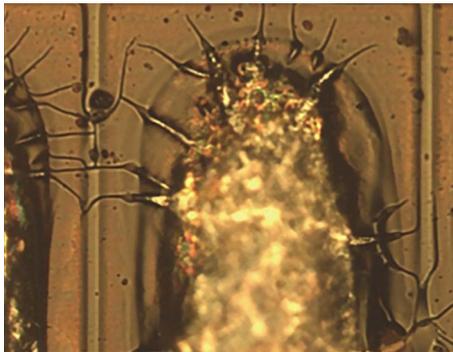


図2:eGaN® FETにおける残留フラックスによる樹状突起の形成。

チップの傾きの問題は、不適切なステンシル設計によって発生し、均一でないはんだペースト量がプリント回路基板のパッドの表面に広がることとなります。チップの傾きにつながるこのほかの要因には、アセンブリ、リフロー・プロファイル、プリント回路基板のはんだマスク設計などのばらつきがあります。

不適切なアセンブリの例を下掲の図3に、適切に実装されたeGaN®デバイスを図4に示します。EPCは、各デバイスに対して、はんだステンシル、プリント回路基板のランド・パターン、はんだスタンドオフの高さの推奨をそれぞれのデータシートに記載しています。はんだスタンドオフの高さを最適化することによって、残留フラックスを洗浄するためのスペースに余裕を持たせることができ、はんだ接合部に弾性コンプライアンスを加えることによって熱機械的応力を低減することもできます。したがって、全体的な温度サイクル特性が向上します。

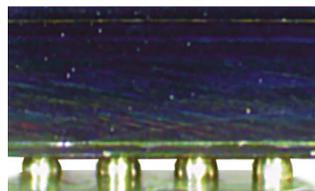


図3:傾いたチップが残留はんだフラックスをトラップ。 図4:適切に実装されたデバイス。

チップの角の欠けが、フィールドでの27件の故障の原因であることが分かりました。チップスケール・デバイスは、チップ周囲に成形されたプラスチックを除去しているので、チップを周囲に露出させることとなります。顧客が各デバイスを受け取ったときに機械的に許容可能であることを保証する最初のステップとして、EPCは、テープ・アンド・リールと出荷の前に、任意の機械的損傷をスクリーニングして排除するために、生産における光学検査ツールを自動化しました。ピック・アンド・プレースなどの自

動化ツールを使う顧客によるデバイスのアセンブリでは、チップの角の欠けやひび割れなどの機械的損傷を避けるように並べられ、プログラムされなければなりません。欠けに起因する27件の故障では、eGaN®デバイスの周りの部品を挿入するプリント回路基板の配置ツールがチップに当たったり、チップを傷つけたりすることを避けるための適切な間隔が取られていなかったことが分かりました。下の図5は、チップの欠けによるフィールド故障の光学顕微鏡画像の例です。

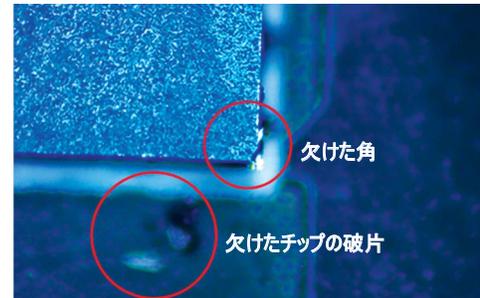


図5:eGaN® FETに隣接する部品を配置するときの間隔が不十分なときのピック・アンド・プレース器具によるチップの角の欠けを示すeGaN®のフィールド故障。

12件の故障は、デバイスのアセンブリ中に、プリント回路基板のパッド上のはんだペースト量が不適切だったことに関連することが分かりました。根本的な原因は、プリント回路基板製造時に「覆われていなかった」はんだパッド付近のビアであると結論しました。被覆には、開口したビアを覆うはんだマスク層を使って、はんだの流れに沿った経路を作らないようにします。パッドに隣接する覆われていないビアは、高温リフロー中に

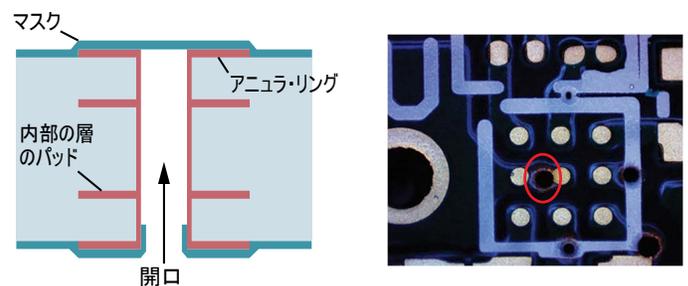


図6:はんだマスクで覆われたビアの図 (a) と、覆われなかったビアを示すプリント回路基板 (b)。

ビアの中にはんだペーストを引き込み、はんだパッド上の利用可能なはんだペーストの量が少なくなり、ビアがデバイスのはんだボールと接触してしまいます。図6は、覆われたビアの図と、ビアが覆われずに残っているプリント回路基板の光学画像の例です。

はんだペーストの種類、はんだステンシル、はんだフラックス、基板のきれいさ、ビア設計、はんだマスク、はんだ接合のスタンドオフの高さは、eGaN®デバイスのアセンブリや基板レベルの信頼性を確かなものにするために理解されなければならない重要なパラメータです。EPCは、適切なアセンブリやリワークに関して顧客を支援するためにウェブサイトでアセンブリのガイドやビデオを公開しています：[アセンブリの資料](#)

### アプリケーションでの故障

eGaN®デバイスは、シリコンのパワー・デバイスに比べて、はるかに高速なスイッチング速度と、より低い寄生容量を備えています。エンド・ユーザーのアプリケーションは、より高速なエッジ・レートや不注意による過渡電圧に対応する設計が必要です。

合計12件のフィールド故障では、この根本的な原因が、回路設計上の問題に関連していました。フィールド故障のうち11件は、あまりにも大きな寄生インダクタンスがある回路レイアウトによる電圧オーバーシュートに起因する電氣的オーバーストレスによる損傷でした。一般に、完全に動作不能なデバイスとして明確に分かる直流オーバーストレス条件とは対照的に、過渡的な過電圧は、漏れ電流、またはオン状態の抵抗の増加として観測されるデバイスの劣化につながります。

eGaN®デバイスは、容量が非常に小さく、スイッチングのエッジ・レートが非常に高速なので、共通ソース・インダクタンス (CSI)、ゲート・ソース間のループ・インダクタンス、および電力ループのインダクタンスを最小化するために、プリント回路基板を注意深くレイアウトしなければなりません (図7参照)。図8は、高周波アプリケーションにおいて、プリント回路基板のレイアウトのループ・インダクタンスを1.6 nHから0.4 nHに低減することによるスイッチング波形のオーバーシュートへの影響を示しています。高周波の電力ループ・インダクタンスによるピーク過渡電圧は、定常状態の値の100%から30%へと低減されます。

同様に、ゲート駆動回路における共通ソース・インダクタンスの増加と最適でない抵抗値は、デバイスの故障を引き起こす可能性がある電圧オーバーシュートやリングングを発生させます。ゲート駆動抵抗の最適化と、

ゲートのループ・インダクタンスの低減は、下掲の図9に見られるように、電圧オーバーシュートを非常に小さくすることになります。

eGaN® FETを使うプリント回路基板のレイアウトを最適化するためのガイドラインについては、次のEPCの資料を参照してください：[プリント回路基板レイアウトの最適化](#)

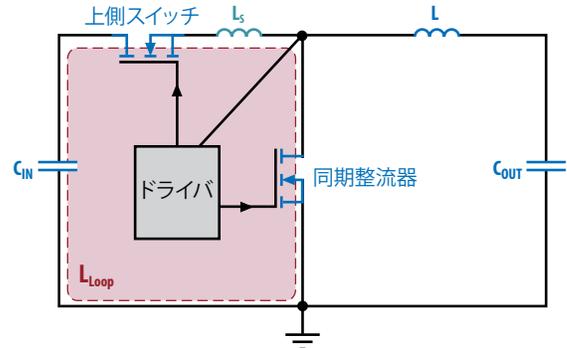
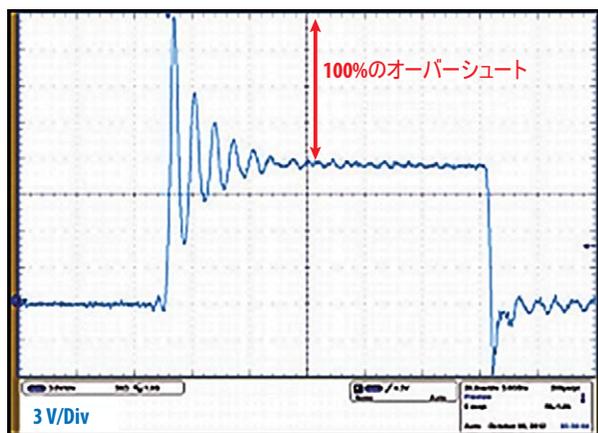
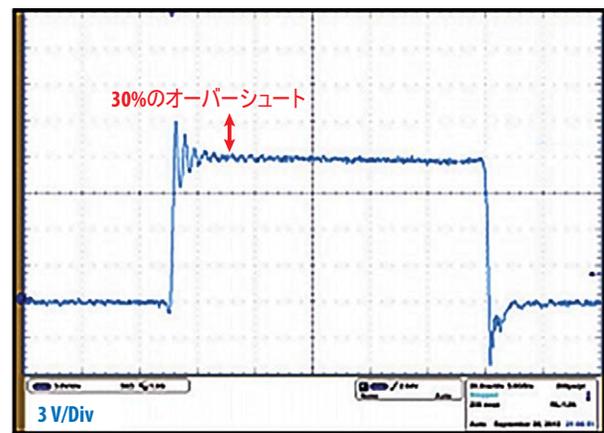


図7: 寄生インダクタンスを示した同期整流器 ( $L_S$ は共通ソース・インダクタンス) ( $L_{Loop}$ は高周波の電力ループ・インダクタンス)。

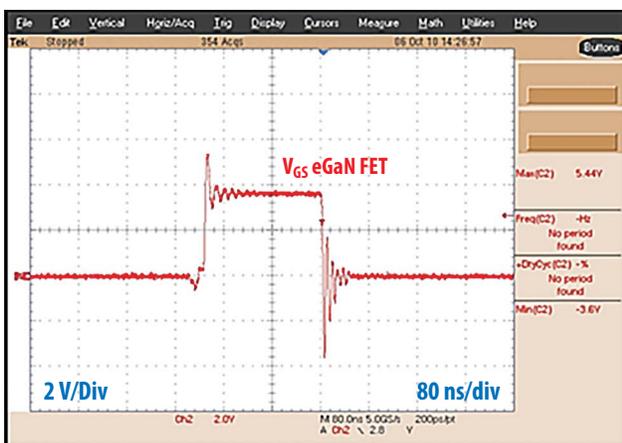


(a)

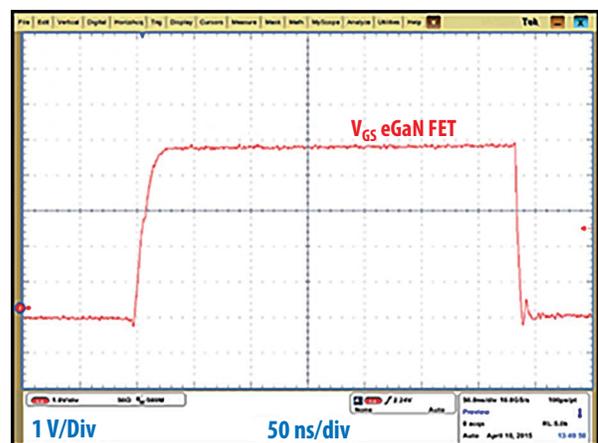


(b)

図8: (a) 電力ループのインダクタンス  $L_{Loop} = 1.6 \text{ nH}$  のときのeGaN® FET設計の高周波スイッチング波形。  
 (b) 電力ループのインダクタンス  $L_{Loop} = 0.4 \text{ nH}$  のときのeGaN® FET設計の高周波スイッチング波形。  
 EPCのeGaN® FETであるEPC2015の同期整流回路 ( $V_{IN} = 12 \text{ V}$ ,  $V_{OUT} = 1.2 \text{ V}$ ,  $F = 1 \text{ MHz}$ )



(a)



(b)

図9: (a) 最適化されていないゲート駆動回路。  
 (b) 最適化されたゲート駆動回路。  
 EPCのeGaN® FETであるEPC2010の同期整流回路

## デバイスの本質的な故障

デバイスの本質的な故障は、わずか3件ですが、根本的な原因を決めることは同様に重要です。170億デバイス時間以上で、これら3件のフィールド故障に基づいて計算されたFIT率は約0.24 FITS (60%の信頼区間) です。

動的オン抵抗 $R_{DS(on)}$ は、基本となる材料層でのキャリア・トラップの結果として、これまでの世代のGaNデバイスに良くない影響を与えるメカニズムです。導通に使われない電子を隔離してしまうトラップの発生によって、長時間にわたって高いドレイン電圧を受けたときに、このGaN FETのオン抵抗がシフトしてしまいます。この現象は、収容するために十分なガード・バンドのある設計を行うために、FETメーカーやエンド・ユーザーの両方に理解されなければなりません。EPCは、キャリアのトラップ濃度を減少させる材料特性を改善する努力を続けているので、動的 $R_{DS(on)}$ への影響を無視できるように制限しています。さらなる分析のために、EPCのウェブサイト上でフェーズ6と7の信頼性レポートを公開しています：[eGaN FETの信頼性](#)

eGaN®デバイスの全体的なフィールド信頼性の実績は、市場における任意の同等の従来のパワー・デバイスよりも良く、良好であることが実証されています。EPCのエンジニアは、パワーのチップスケールGaNなどの最先端の技術を使うことから生じる残りのいくつかのフィールドの問題における知識のギャップを埋めるために、顧客と協力し続けています。

## パートII: 初期寿命故障と摩耗故障の性能

デバイスの確率的故障率は、初期寿命、通常時、使い込んだ寿命末期などの製品のライフサイクル全体を通して十分に理解されることが重要です。比較的低くて、一定の故障率の通常動作時とは対照的に、初期寿命と寿命末期は、一般的に、より高い故障率になります。初期故障は、初期寿命故障試験 (ELFR: Early Life Failure Testing) によって検査されますが、エレクトロマイグレーション (EM) は、一般的に、動作寿命のかなり後期で現れる使い込みタイプの故障メカニズムです。

### 初期寿命故障率ELFR

初期寿命故障率の試験と目的は、フェーズ7の信頼性レポートで初めて公表されました。ELFRを評価するための前提は、比較的短時間 (通常は48時間) で大きなサンプル集団をテストすることです。このレポートには、これらの結果を蓄積し続け、eGaN®デバイスの信頼性を評価し自信を深めるために、統計データの大規模な組み合わせも含まれています。ゲートとドレイン・ソース

間の構造には両方とも、ELFR条件の下でストレスが加えられています。テストした個数が増加するに従って、ELFR試験から得られた推定故障率は、より正確に予測可能になります。このレポートでは、合計1万3199個がELFR試験され、故障はありませんでした。100 VデバイスのEPC2016Cを大量に試験ロットとして選択しました。表1は、ELFR試験の条件と結果をまとめたものです。

### エレクトロマイグレーション

エレクトロマイグレーション (EM) は、電子の電荷 (すなわち電流) が流れる運動量による導体中の原子の変位です。長時間にわたってデバイスに電流を流すとき、デバイスの金属線と接続ビアはEMを起こしやすくなり、電流密度が高くなってしまいます。図10に金属の導線上のエレクトロマイグレーションの影響の例を示します (注: 例はEPCの製品ではありません)。結果として、金属線は、ポイド、または各原子の凝縮 (押し出しやヒロック) を形成し、いずれも異なる故障モードにつながる可能性があります。金属線のポイドは、EM試験中にモニターされた主要なパラメータである抵抗の増加につながります。導体の組成物 (例えば、銅、アルミニウム、タングステンなど) の構成と、形状がEM特性に影響します。例えば、アルミニウムの粒子境界の形成がEMの弱点となる傾向があり、銅を追加することによって改善することができます。

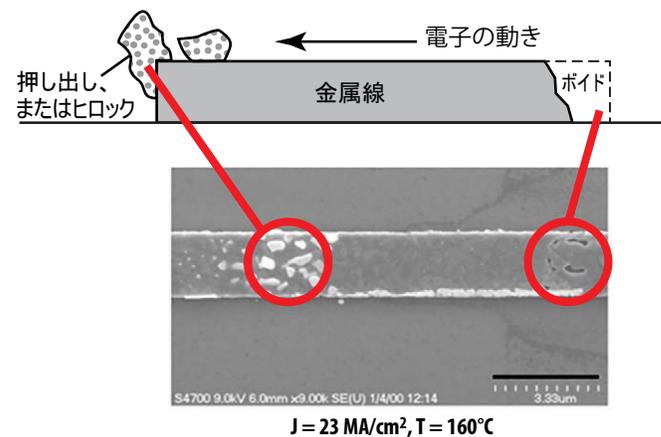


図10: 走査型電子顕微鏡で見た金属導体上のエレクトロマイグレーションの影響: ポイドや原子の凝縮が見られます[18から]。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障数	サンプル数 (サンプル数×ロット数)	継続時間 (時間)	ELFR (信頼度60%の上限)
HTRB_ ELFR	EPC2016C	100	M (2.11 x 1.63)	T = 150°C、 V <sub>DS</sub> = 80 V	0	1610 x 1 1621 x 1 1614 x 1 1121 x 1 800 x 3	48	110 ppm
HTGB_ ELFR	EPC2016C	100	M (2.11 x 1.63)	T = 150°C、 V <sub>GS</sub> = 5.75 V	0	1615 x 1 1578 x 1 1640 x 1	48	190 ppm

表1: ELFRの結果 (高温ゲート・バイアスHTGB (High temperature gate bias) と高温逆バイアスHTRB (High temperature reverse bias))

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	サンプル数 (サンプル数×ロット数)	継続時間 (時間)
EM	EPC2016C	100	M (2.11 x 1.63)	T = 150°C、I = 20 A	0	30 x 1	1000

表2: EPC2016Cのエレクトロマイグレーション試験の結果

エレクトロマイグレーション (EM) 試験は、多くの場合、絶縁された金属線やビアなどの試験構造の特定の組み合わせを用いることによって実施されます。EPCは、被試験デバイス (DUT) ・カードのプリント回路基板に実装されたチップはんだを備えたシステム基板レベルでEM試験を行っています。図11は、中央部に実装されたeGaN®チップスケールFETを搭載したDUTカードの例を示しています。EM試験チップは、はんだバンプ、金属層、ビアを通る専用の導電経路を提供するために作られました。

テストしたデバイスは、連続電流定格 18 A ( $T_A = 25^\circ\text{C}$ ,  $\theta_{JA} = 13.4$ ) の EPC2016C でした。すべてのデバイスに 150°C、20 A のストレスを 1000 時間、加えました。この抵抗は、テスト期間にわたってモニターされ、安定を維持しました。このデバイスは、加えられた EM ストレス条件に耐えることができたことを示しています。表2に、テスト条件と結果をまとめました。

EPCは、eGaN®デバイスの初期故障と寿命末期の使い込み特性の両方を継続的に調べています。このレポートでは、EPC2016Cに対する初期故障率とエレクトロマイグレーションのストレス・テストが示され、非常に良好な結果が得られました。将来の信頼性レポートでは、デバイスやストレス条件の広い範囲にわたってeGaN®デバイス特性の継続的なテストを示し、同時にデバイスが耐え得るストレスの限界も調べる予定です。

### パートIII: 基板レベルの信頼性と熱機械的な性能

EPCのチップスケール・パッケージの熱機械的試験は、個々のプリント回路基板のDUTカードに実装されたチップはんだでも実施します。FETとICのサプライヤの一般的な業界の慣行は、別個に2種類、すなわち、1つは部品レベルで、他の1つは、はんだで実装されたデバイスを搭載した基板レベルでストレス・テストを実施することです。ストレス・テストは、部品レベルまたは基板レベルの信頼性のいずれかを対象とするように選択されます。部品レベルと基板レベルの信頼性が各テストに対して同時に評価されるように、EPCのテスト条件は、すべてのストレス・テストがプリント回路基板にはんだで実装されたデバイスに対して実施されるという利点があります。湿気やはんだリフロー温度の特性を評価するためのテスト準備などは、本質的にEPCのデバイスのすべてのストレス・テストに含まれています。EPCの基板レベルの信頼性は、HTGB、HTRB、高温保存HTS (High Temperature Storage)、高温高湿逆バイアスH3TRB (High Temperature High Humidity Reverse Bias) などのテストの温度と湿度を高めたデータの何時間もの記録を作成します。基板レベルの信頼性を対象とする追加のストレス・テストには、温度サイクルTC (Temperature Cycling) と断続動作寿命IOL (Intermittent Operating Life) があります。



図11: EPC2016CのDUTカード。

### 断続動作寿命IOL

いくつかの製品の断続動作寿命IOL特性は、信頼性レポートのフェーズ7だけでなく、このレポートの付録にも新しいデータが示されています。IOLは、デバイスが所定の接合部温度に到達するまで、電力を印加することによって加熱され、その後、電力は、デバイスを周囲温度に冷却するために除去するという温度サイクルのストレス・テストです。EPCは、加速IOLストレス条件を調べるために実験を開始し、その後、故障までの熱サイクル数に基づく寿命予測モデルの開発に向けて努力しています。このアプローチは、いくつかの異なるピーク・プロファイル温度を使って、故障までテストしたデバイスと共に、熱サイクル中に、はんだ接合部に加えた計算された歪みエネルギーに基づく理論的寿命モデルを作成することです。

周期的な温度ストレス・テスト中のはんだ接合部における熱機械的せん断歪みは、次式で推定することができます[19から]。

$$\epsilon = \Delta\alpha * \Delta T(DNP/t)$$

ここで、 $\epsilon$ は、はんだ接合部におけるせん断歪み、 $\Delta\alpha$ は、チップとプリント回路基板との間のCTE (熱膨張率) のミスマッチ、 $\Delta T$ は、1サイクル中の最大温度変化、DNPは、チップの中心からはんだ接合部までの距離、 $t$ は、はんだ接合部のスタンドオフの高さです。この歪みの結果、はんだ接合部には、応力が発生し、歪み、温度、1サイクルの時間に応じて、一定量のプラスチック沿面の変形を受けます。4サイクルの温度プロファイルで、各サイクル、すなわち  $\Delta T_j = 100^\circ\text{C}$ ,  $\Delta T_j = 125^\circ\text{C}$ ,  $\Delta T_j = 138^\circ\text{C}$ , および  $\Delta T_j = 150^\circ\text{C}$  (EPC80xx: 2.1 mm x 0.9 mm) の間に接合部の温度差をテストしました。各温度プロファイルに対して、周期的な応力-歪みエネルギー密度は、“Acceleration Factors and Thermal Cycling Test Efficiency for Lead-Free SN-AG-CU Assemblies” [20]に示された方法を使って計算しました。図12に、 $\Delta T_j = 150^\circ\text{C}$ の温度プロファイルに対応したはんだ接合部におけるモデル化された応力-歪みの例を示します。このデバイスが温度サイクルを通して変化するとき、X軸とY軸は、はんだ接合部におけるせん断歪みとせん断応力の寄与を示します。ループの内側の領域は、1サイクル当たりの合計のプラスチック (沿面) の歪みエネルギー密度を表します。はんだ損傷の他の指標と比べて、歪みエネルギーは、はんだの疲労寿命を予測するための最も信頼できる指標であることが示されています。

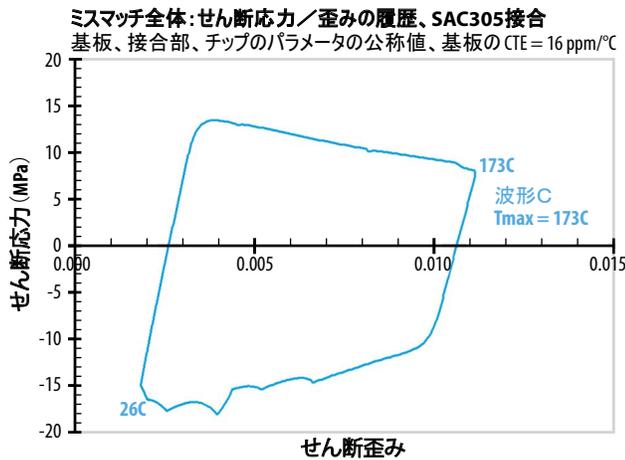


図12: IOLサイクル $\Delta T_j = 150^\circ\text{C}$ の間の計算されたはんだ接合部の歪みエネルギー密度 (EPC800x: 2.05 mm × 0.85 mm)。

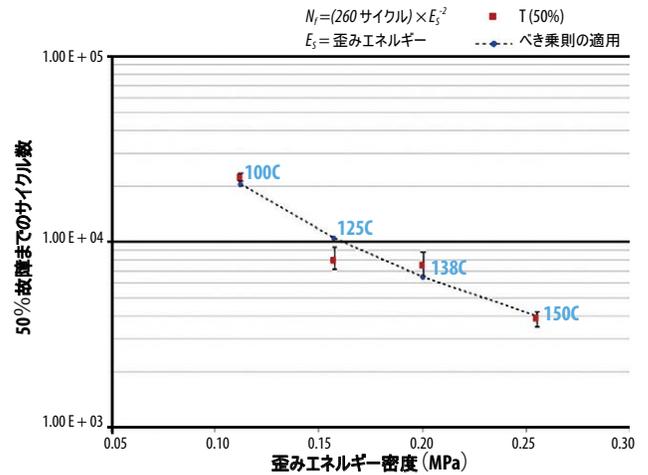


図13: IOLの熱モデル: 故障までのサイクル数対はんだ接合部の歪みエネルギー密度 (エラー・バーは、67%の信頼性を表します)。

全数の50%が故障するまで、各温度条件についてIOL試験を行い、歪みエネルギー密度は各条件に対して計算しました。算出された歪みエネルギー密度対50%故障のIOLサイクル数のプロットを図13に示します。べき乗則曲線 (指数は-2) が、このデータに最も合うことが分かりました。この結果、故障に対するサイクル数 ( $N_f$ ) を予測する次の一般式が得られます:

$$N_f = (260 \text{ cycles}) \times E_s^{-2}$$

ここで、 $E_s$ は歪みエネルギー。

予備的なモデルは今、故障の熱サイクル数の推定に使うことができるはんだ接合部の熱機械的応力試験向けに確立されています。さまざまなチップ・サイズ、 bumps形状、および材料のCTEミスマッチに対する歪みエネルギー密度は、同様に計算することができます。故障までのサイクル数の推定値を提供するために、モデルに入力することができます。EPCは、データの組み合わせを拡張し、これらの結果をさらに検証するために、同様の方法で他の製品をテストし続けています。

### 温度サイクル

EPCは、さまざまなはんだボール・アレイやチップ・サイズにわたる各デバイスを評価し、温度サイクル (TC) ・ストレスを使った実験の設計 (DOE: design of experiment) を行っています。この目的は、はんだボールの外形やチップ・サイズに関連するTC特性を比較することで、IOLで実施したことに同様に、熱サイクル数に対する寿命の予測モデルを作成することができます。IOL試験で確立されたモデルは、TCまたは任意の周期的な熱ストレス・テストにも適用できなければなりません。以下の表3は、デバイス・タイプとTCのDOEマトリックスの試験条件を示します。温度サイクルは、バイアスなし、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ 、および5分間の滞留時間のデバイスを使ってサーマル・チャンバ内で実施されます。次の信頼性レポートには、この結果と今後の寿命推定値が盛り込まれる予定です。

EPCは、チップスケール・パッケージが基板レベルで非常に信頼性が高いことを示す熱機械的な大量のデータを収集しました。はんだ bumpsのスタンドオフの高さを最大化し、CTEのミスマッチを最小限に抑え、はんだ bumpsからプリント回路基板への良好な導電性の冷却経路を提供することによって、eGaN®デバイスの基板レベルの信頼性を向上させることができます。

ストレス・テスト	型番	ボール・アレイ	ピッチ (x/y) $\mu\text{m}$	チップ・サイズ (mm x mm)	テスト条件	サンプル数 (サンプル数 × ロット数)
TC	EPC2036	2 x 2	450 / 450	S (0.95 x 0.95)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1
TC	EPC2040	2 x 3	400 / 400	S (0.95 x 1.35)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1
TC	EPC2106	3 x 3	450 / 450	M (1.35 x 1.35)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1
TC	EPC2103	5 x 15	400 / 450	XL (6.10 x 2.35)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1
TC	EPC2033	5 x 5	1000 / 500	XL (2.65 x 4.65)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1
TC	EPC80xx	2 x 4	450 / 450	S (2.10 x 0.95)	$-40^\circ\text{C} \sim 125^\circ\text{C}$	32 x 1

表3: 温度サイクルのDOEマトリックス

## 付録：製品の品質認定ストレス・テストのまとめ

EPCのeGaN® FETには、シリコン・ベースのパワーMOSFETにおいて一般的な条件の下で、広範なストレス・テストを実施しました。以下のテストが含まれます：

- 高温逆バイアス (HTRB: High temperature reverse bias) : 部品には、最大定格温度でドレイン-ソース間電圧が印加されます。
- 高温ゲート・バイアス (HTGB: High temperature gate bias) : 部品には、最大定格温度でゲート-ソース間電圧が印加されます。
- 高温保存 (HTS: High temperature storage) : 部品は、最大定格温度で加熱されます。
- 温度サイクル (TC: Temperature cycling) : 部品には、高温と低温の両極端が交互に加えられます。
- 高温高湿逆バイアス (H3TRB: High temperature high humidity reverse bias) : 部品は、ドレイン-ソース間電圧を印加され、高温の下で高湿に曝されます。
- バイアスなしの圧力釜 (オートクレーブ: AC、またはプレッシャ・クッカー試験) : 部品には、凝縮条件の下で、圧力、湿気、温度が加えられます。
- 耐湿性レベル (MSL: Moisture sensitivity level) : 部品には、湿気、温度、および、3サイクルのリフローが加えられます。
- 静電気放電 (ESD: Electrostatic discharge) : 部品には、人体モデル (HBM)、マシン・モデル (MM)、デバイス帯電モデル (CDM) の下で ESDが加えられます。
- 断続動作寿命 (IOL: Intermittent operating life) : 部品には、周期的なオン/オフの直流電力パルスを加えて、デバイスの接合部を所定の温度に加熱し、その後、オフ状態の接合部温度にします。

デバイスの安定性は、ストレスを加えた後、直流の電氣的試験で検証されます。電氣的パラメータは、時間ゼロで、室温における暫定的な読み出し点で測定されます。ゲート-ソース間の漏れ、ドレイン-ソース間の漏れ、ゲート-ソース間のしきい電圧、オン抵抗などの電氣的パラメータをデータシートの仕様と比較します。ある項目がデータシートの仕様を超えたときに、故障が記録されます。eGaN® FETには、可能なら、最新のJEDEC (半導体技術協会) 規格[1]を満たすようにストレスがかけられます。

部品は、FR5 (高TgのFR4)、またはポリイミドのアダプタ・カード上に実装されました。銅の2層を備えた厚さ1.6 mmのアダプタ・カードを使用しました。表面の銅の層は、1オンスまたは2オンスで、裏面の銅の層は1オンスでした。アダプタ・カード上に部品を実装するときに、米ケスター社の無洗浄フラックスNXG1タイプ3はんだSAC305[2]を使用しました。

## 統計的なストレス結果のまとめ

表4は、信頼性試験の結果のまとめで、故障率の複合統計的推測を与えます。合計800万デバイス-時間を超える集計結果において、不具合はゼロでした。不具合がないので、この統計は、信頼度60%での最悪ケースの上限を表しています。これらの上限値は、サンプルの数量によるのみ制限されており、EPCが信頼性データを収集し続ければ、下がり続けるでしょう。いくつかの適切なストレス・テストに対して、故障発生件数 (FIT) と平均故障時間 (MTTF) の両方を計算しました。これらの計算では、加速係数AF=1と仮定しているので、より厳しくない使用条件下での動作では、推定された故障率が、さらに低くなるでしょう。他のストレス・テストに対して、故障率 (ppmでの) は、関連するストレス期間と共に示しました。

ストレス・テスト	サンプル数	故障数	等価デバイス (時間)	故障の統計的上限 (信頼度60%)	備考
HTRB	1831	0	2832000	323 FIT (MTTF = 353 年)	$V_{DS} = 80\% V_{DS,max}$
HTGB	1848	0	3003000	305 FIT (MTTF = 374 年)	$V_{GS} \geq 5.5V$
TC	1040	0	1301500	NA	$\Delta T \geq 100^{\circ}C$
H3TRB	552	0	552000	1660 FIT (MTTF = 69 年)	—
ELFR_HTRB	8366	0	401568	110 ppm	初めの48時間
ELFR_HTGB	4833	0	231984	190 ppm	初めの48時間
IOL	385	0	150150	NA	—
<b>すべてのテストの合計</b>	<b>18855</b>	<b>0</b>	<b>8472202</b>		

表4 : 故障の複合統計的上限のまとめ

## 高温逆バイアス

標準的な品質検査の一環として、JEDEC規格のJESD22-A108 [3]に従って、サンプルには、1000時間のストレス期間に、最大定格温度でドレイン-ソース間の定格電圧の80%を印加しました。ストレス・テストの部品の種類は、40 V~300 Vの全耐圧範囲にわたっています。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTRB	<b>EPC2001C</b>	100	L (4.11 x 1.63)	T = 150°C、V <sub>DS</sub> = 80 V	0	77 x 2	3000
HTRB	<b>EPC2010C</b>	200	L (3.55 x 1.63)	T = 150°C、V <sub>DS</sub> = 160 V	0	77 x 2	3000
HTRB	<b>EPC2012C</b>	200	M (1.71 x 0.92)	T = 150°C、V <sub>DS</sub> = 160 V	0	77 x 1	1000
HTRB	<b>EPC2014C</b>	40	M (1.70 x 1.09)	T = 150°C、V <sub>DS</sub> = 32 V	0	77 x 1	2000
HTRB	<b>EPC2016C</b>	100	M (2.11 x 1.63)	T = 150°C、V <sub>DS</sub> = 80 V	0	77 x 3	2000
HTRB	<b>EPC2021</b>	80	XL (6.10 x 2.35)	T = 150°C、V <sub>DS</sub> = 64 V	0	77 x 1	1000
HTRB	<b>EPC2023</b>	30	XL (6.10 x 2.35)	T = 150°C、V <sub>DS</sub> = 24 V	0	77 x 1	1000
HTRB	<b>EPC2024</b>	40	XL (6.10 x 2.35)	T = 150°C、V <sub>DS</sub> = 32 V	0	60 x 1	1000
HTRB	<b>EPC2029</b>	80	XL (4.65 x 2.65)	T = 150°C、V <sub>DS</sub> = 64 V	0	77 x 1	1000
HTRB	<b>EPC2032</b>	100	XL (4.65 x 2.65)	T = 150°C、V <sub>DS</sub> = 80 V	0	77 x 2	1000
HTRB	<b>EPC2035</b>	60	S (0.95 x 0.95)	T = 150°C、V <sub>DS</sub> = 48 V	0	77 x 1	1000
HTRB	<b>EPC2036</b>	100	S (0.95 x 0.95)	T = 150°C、V <sub>DS</sub> = 80 V	0	77 x 1	1000
HTRB	<b>EPC8004</b>	40	S (2.05 x 0.85)	T = 150°C、V <sub>DS</sub> = 32 V	0	77 x 1	2000
HTRB	<b>EPC800x</b>	40	S (2.05 x 0.85)	T = 150°C、V <sub>DS</sub> = 40 V	0	77 x 3	1000

表5: 高温逆バイアス試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 高温ゲート・バイアス試験

部品には、JEDEC規格のJESD22-A108[3]に従って、1000時間のストレス期間に、最大定格温度でゲート-ソース間にバイアス電圧5.75 Vまたは5.5 Vを印加しました。ストレス・テストの部品の種類は、40 V~300 Vの全耐圧範囲にわたっています。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTGB	<b>EPC2001C</b>	100	L (4.11 x 1.63)	T = 150°C、V <sub>GS</sub> = 5.75 V	0	77 x 2	3000
HTGB	<b>EPC2010</b>	200	L (3.55 x 1.63)	T = 150°C、V <sub>GS</sub> = 5.75 V	0	77 x 2	3000
HTGB	<b>EPC2012C</b>	200	M (1.71 x 0.92)	T = 150°C、V <sub>GS</sub> = 5.75 V	0	77 x 1	1000
HTGB	<b>EPC2014C</b>	40	M (1.70 x 1.09)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	2000
HTGB	<b>EPC2015C</b>	40	L (4.11 x 1.63)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	3000
HTGB	<b>EPC2016C</b>	100	M (2.11 x 1.63)	T = 150°C、V <sub>GS</sub> = 5.75 V	0	77 x 3	2000
HTGB	<b>EPC2021</b>	80	XL (6.10 x 2.35)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2023</b>	30	XL (6.10 x 2.35)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2029</b>	80	XL (4.65 x 2.65)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2032</b>	80	XL (4.65 x 2.65)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2035</b>	60	S (0.95 x 0.95)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2036</b>	100	S (0.95 x 0.95)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC2038</b>	100	S (0.95 x 0.95)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	1000
HTGB	<b>EPC8004</b>	40	S (2.05 x 0.85)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 1	2000
HTGB	<b>EPC800x</b>	40	S (2.05 x 0.85)	T = 150°C、V <sub>GS</sub> = 5.5 V	0	77 x 3	1000

表6: 高温ゲート・バイアス試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 高温保存試験

部品は、JEDEC規格のJESD22-A103[4]に従って、最大定格温度に加熱しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTS	EPC2001C	100	L (4.11 x 1.63)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC2016C	100	M (2.11 x 1.63)	T = 150°C、空气中	0	77 x 2	1000
HTS	EPC2021	80	XL (6.10 x 2.35)	T = 150°C、空气中	0	25 x 1 77 x 1	1000
HTS	EPC2022	100	XL (6.10 x 2.35)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC2023	30	XL (6.10 x 2.35)	T = 150°C、空气中	0	25 x 1	1000
HTS	EPC2029	80	XL (4.65 x 2.65)	T = 150°C、空气中	0	25 x 3	1000
HTS	EPC2032	80	XL (4.65 x 2.65)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC800x	40	S (2.05 x 0.85)	T = 150°C、空气中	0	77 x 3	1000

表7: 高温保存試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 温度サイクル

部品には、JEDEC規格のJESD22-A104[5]に従って、(-40°Cと+125°C)、または(0°Cと+100°C)のいずれかの間の温度サイクルを、それぞれ合計1000サイクル、または1500サイクル実施しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (サイクル数)
TC	EPC2001C	100	L (4.11 x 1.63)	-40°Cから+125°C、空气中	0	35 x 3	1000
TC	EPC2010C	200	M (3.55 x 1.63)	-40°Cから+125°C、空气中	0	35 x 1	1000
TC	EPC2021	80	XL (6.10 x 2.35)	0°Cから+100°C、空气中	0	77 x 1	1500
TC	EPC2021	80	XL (6.10 x 2.35)	-40°Cから+125°C、空气中	0	77 x 1	500
TC	EPC2022	80	XL (6.10 x 2.35)	-40°Cから+125°C、空气中	0	77 x 1	500
TC	EPC2023	30	XL (6.10 x 2.35)	0°Cから+100°C、空气中	0	77 x 1	1500
TC	EPC2023	30	XL (6.10 x 2.35)	-40°Cから+125°C、空气中	0	25 x 1	500
TC	EPC2029	80	XL (4.65 x 2.65)	-40°Cから+125°C、空气中	0	35 x 2 77 x 1	1000
TC	EPC2032	100	XL (4.65 x 2.65)	-40°Cから+125°C、空气中	0	77 x 2	1000
TC	EPC800x	40	S (2.05 x 0.85)	-40°Cから+125°C、空气中	0	77 x 3	1000
TC	EPC800x	40	S (2.05 x 0.85)	-40°Cから+125°C、空气中	0	35 x 1	1000

表8: 温度サイクル試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 断続動作寿命

部品には、MIL-STD-750-1[22]に従って、接合部の温度差100°C以上で電力サイクルのバイアスをかけました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (サイクル数)
IOL	EPC800x	40	S (2.05 x 0.85)	Tj_off = +25°C, Tj_on = +125°C, delta_Tj = 100°C	0	77 x 3	10000
IOL	EPC2001C	100	L (4.11 x 1.63)	Tj_off = +25°C, Tj_on = +125°C, delta_Tj = 100°C	0	77 x 1	6000
IOL	EPC2032	100	XL (4.65 x 2.65)	Tj_off = +25°C, Tj_on = +125°C, delta_Tj = 100°C	0	77 x 1	3000

表9: 断続動作寿命 (IOL) 試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 高温高湿逆バイアス

部品には、JEDEC規格のJESD22-A101[6]に従って、1000時間のストレス期間に、蒸気圧49.1 PSIAの下で、85%RH、85°Cにおいてドレイン-ソース間にバイアスを加えました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
H3TRB	EPC2001C	100	L (4.11 x 1.63)	T = 85°C, RH = 85%, V <sub>DS</sub> = 80 V	0	25 x 1	1000
H3TRB	EPC2010	200	L (3.55 x 1.63)	T = 85°C, RH = 85%, V <sub>DS</sub> = 100 V	0	50 x 1	1000
H3TRB	EPC2012	200	M (1.71 x 0.92)	T = 85°C, RH = 85%, V <sub>DS</sub> = 100 V	0	50 x 1	1000
H3TRB	EPC2015	40	L (4.11 x 1.63)	T = 85°C, RH = 85%, V <sub>DS</sub> = 40 V	0	50 x 1	1000
H3TRB	EPC2016C	100	M (2.11 x 1.63)	T = 85°C, RH = 85%, V <sub>DS</sub> = 80 V	0	25 x 2	1000
H3TRB	EPC2022	100	XL (6.10 x 2.35)	T = 85°C, RH = 85%, V <sub>DS</sub> = 80 V	0	50 x 1 25 x 1	1000
H3TRB	EPC2023	30	XL (6.10 x 2.35)	T = 85°C, RH = 85%, V <sub>DS</sub> = 24 V	0	77 x 1	1000
H3TRB	EPC2029	80	XL (4.65 x 2.65)	T = 85°C, RH = 85%, V <sub>DS</sub> = 64 V	0	25 x 1	1000
H3TRB	EPC2032	100	XL (4.65 x 2.65)	T = 85°C, RH = 85%, V <sub>DS</sub> = 80 V	0	25 x 1	1000
H3TRB	EPC2033	150	XL (4.65 x 2.65)	T = 85°C, RH = 85%, V <sub>DS</sub> = 100 V	0	25 x 2	1000
H3TRB	EPC800x	40	S (2.05 x 0.85)	T = 85°C, RH = 85%, V <sub>DS</sub> = 40 V	0	25 x 3	1000

表10: 高温高湿逆バイアス試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 圧力釜 (オートクレーブ、またはバイアスなしのプレッシャ・クッカー)

部品は、JEDEC規格のJESD22-A102[7]に従って、96時間のストレス期間に、蒸気圧29.7 PSIAの下で、121°Cにおいて100%RHに曝しました。ストレスの間、デバイスには、電気的なバイアスは加えていませんでした。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
AC	EPC2001C	100	L (4.11 x 1.63)	T = 121°C, RH = 100%	0	25 x 1	96
AC	EPC2016C	100	M (2.11 x 1.63)	T = 121°C, RH = 100%	0	25 x 2	96

表11: 圧力釜 (オートクレーブ) 試験

## 耐湿性レベル

部品は、168時間のストレス期間に、85°Cで85%RHに曝しました。さらに、この部品には、IPC / JEDECの合同規格J-STD-020[8]に従った鉛フリー・リフローを3サイクル実施しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
MSL1	EPC2001C	100	L (4.11 x 1.63)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168
MSL1	EPC2029	80	XL (4.65 x 2.65)	T = 85°C、RH = 85%、リフロー3回	0	25 x 2 77 x 2	168
MSL1	EPC2032	80	XL (4.65 x 2.65)	T = 85°C、RH = 85%、リフロー3回	0	77 x 1	168
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	77 x 3	168
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168

表12: 耐湿性レベル試験

注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 静電気放電

部品は、JEDEC規格JESD22A-114[9]の人体モデル (HBM) と、JESD22A-115[10]のマシン・モデル (MM)、JESD22C-101[11]のデバイス帯電モデル (CDM) に従って、HBM、MM、CDMによるESDを実施しました。チップ・サイズの範囲をカバーするために、テストにはEPC2001とEPC800xを選びました。IPC/JEDECの合同規格J-STD-020[8]。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC2001	100	L (4.11 x 1.63)	2ピン間、G-S	(±) 400 V	(+) 500 V	1A
HBM	EPC2001	100	L (4.11 x 1.63)	2ピン間、G-D	(±) 1500 V	(-) 2000 V	1C
HBM	EPC2001	100	L (4.11 x 1.63)	2ピン間、D-S	(±) 2000 V	(+) 3000 V	2
MM	EPC2001	100	L (4.11 x 1.63)	2ピン間、G-S	(±) 200 V	(-) 400 V	B
MM	EPC2001	100	L (4.11 x 1.63)	2ピン間、G-D	(±) 400 V	(+) 600 V	C
MM	EPC2001	100	L (4.11 x 1.63)	2ピン間、D-S	(±) 600 V	—	クラスC以上

表13: 静電気放電試験EPC2001

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC2001C	100	L (4.11 x 1.63)	2ピン間、G-S	(±) 3000 V	(-) 4000 V	2
HBM	EPC2001C	100	L (4.11 x 1.63)	2ピン間、G-D	(±) 2000 V	(-) 3000 V	2
HBM	EPC2001C	100	L (4.11 x 1.63)	2ピン間、D-S	(±) 2000 V	(+) 3000 V	2
CDM	EPC2001C	100	L (4.11 x 1.63)	2ピン間、すべてのピン	(±) 1000 V		C3

表14: 静電気放電試験EPC2001C

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC800x	40	S (2.05 x 0.85)	2ピン間、G-S	(±) 350 V	(-) 500 V	1A
HBM	EPC800x	40	S (2.05 x 0.85)	2ピン間、G-D	(±) 350 V	(+) 500 V	1A
HBM	EPC800x	40	S (2.05 x 0.85)	2ピン間、D-S	(±) 500 V	(+) 1000 V	1B
CDM	EPC800x	40	S (2.05 x 0.85)	2ピン間、すべてのピン	(±) 500 V	(-) 500 V	1C
MM	EPC800x	40	S (2.05 x 0.85)	2ピン間、G-S	(±) 25V	(+) 50 V	A
MM	EPC800x	40	S (2.05 x 0.85)	2ピン間、G-D	(±) 100 V	(-) 200 V	A
MM	EPC800x	40	S (2.05 x 0.85)	2ピン間、D-S	(±) 50 V	(+) 100 V	A

表15: 静電気放電試験EPC800x 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

## 参考文献:

- [1] <https://www.jedec.org>
- [2] Kester NXG1 Lead-Free No-Clean Solder Paste Data Sheet Rev: 13Oct10
- [3] JEDEC STANDARD Temperature, Bias, and Operating Life (<https://www.jedec.org>)
- [4] JEDEC STANDARD High Temperature Storage Life (<https://www.jedec.org>)
- [5] JEDEC STANDARD Temperature Cycling (<https://www.jedec.org>)
- [6] JEDEC STANDARD Steady State Temperature Humidity Bias Life Test (<https://www.jedec.org>)
- [7] JEDEC STANDARD Accelerated Moisture Resistance (<https://www.jedec.org>)
- [8] IPC/JEDEC Joint Standard Moisture/Reflow (<https://www.jedec.org>)
- [9] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM) (<https://www.jedec.org>)
- [10] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM) (<https://www.jedec.org>)
- [11] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Charged Device Model (CDM) (<https://www.jedec.org>)
- [12] JEDEC Standard No. 74A Early Life Failure Rate Calculation Procedure for Semiconductor Components (<https://www.jedec.org>)
- [13] Edward Dudewicz and Satya Mishra, "Modern Mathematical Statistics", John Wiley and Sons, 1988.
- [14] MIL-PRF-19500P Standard, "General Specifications for Semiconductor Devices", (<http://www.everyspec.com>)
- [15] Arrhenius/FIT Rate Calculator, Maxim Integrated, <https://www.maximintegrated.com/en/design/tools/calculators/general-engineering/qafits.cfm>
- [16] Alex Lidow, Johan Strydom, Michael de Rooij, David Reusch, "GaN Transistors for Efficient Power Conversion", Second Edition, John Wiley and Sons, 2015.
- [17] JEDEC STANDARD Stress-Test-Driven Qualification of Integrated Circuits (<https://www.jedec.org>)
- [18] D.K. Schroder (n.d.), "Electromigration", Retrieved from (<http://schroder.personal.asu.edu/Electromigration.pdf>)
- [19] Bongtae Han and Yifan Guo, "Determination of an Effective Coefficient of Thermal Expansion of Electronic Packaging Components: A Whole-Field Approach", IEEE Transactions on Components, Packaging, and Manufacturing Technology – Part A, Vol. 19, No. 2, June 1996.
- [20] Jean-Paul Clech, "Acceleration Factors and Thermal Cycling Test Efficiency for Lead-Free SN-AG-CU Assemblies", EPSI Inc., 2005.
- [21] Department of Defense Test Method Standard Environmental Test Methods for Semiconductor Devices Part 1: Test Methods 1000 Through 1999 (<http://www.everyspec.com>)