

# プリント回路基板レイアウトの最適化



David Reusch博士、アプリケーション部門ディレクタ、Efficient Power Conversion Corporation

以前に発表した記事 [1] では、特性への寄生成分の影響を議論しました。eGaN<sup>®</sup> FETは、小さい性能指数FOM (figure of merit)、パッケージの小さい寄生成分、低いループ・インダクタンスを組み合わせることによって、より低い定格電圧のMOSFETを上回りました。従来のプリント回路基板のレイアウトを採用する場合、eGaN FETのプリント回路基板のレイアウトは、寄生成分が支配的でした。このホワイト・ペーパーでは、eGaN FETベースのPOL (負荷点) バック (降圧型) ・コンバータ用のプリント回路基板レイアウトの最適化を検討し、従来の設計と比較し、さらに寄生成分を低減するための新しい最適なレイアウトを提案します。最適なレイアウトは、従来の設計に比べて、効率を改善し、スイッチング速度を高速化し、デバイスの電圧オーバーシュートを低減します。eGaN FETベースのPOLバック・コンバータは、スイッチング周波数 1 MHz、入力電圧範囲12 V~28 V、出力電圧1.2 V、最大出力電流 20 Aで動作します。

## はじめに

eGaN FETは、ランド・グリッド・アレイ (LGA) 形式で、端子の付いたウエハー・レベル・チップスケール・パッケージ (WLCSPP) で提供されています。これらのデバイスのいくつかは、分離したゲート戻りのソース・ピンを備えていませんが、図1に示すように、非常に低いインダクタンスのLGAのはんだバーを多数備えています。これらの部品は、ゲート・ループとパワー・ループの両方への「スター」接続点として機能するゲートに最も近いソース・パッドを割り当てることによって、ゲート戻りの専用のピンまたはバーを備えたものと同じ方法で扱うことができます。このとき、図1に示すように、ゲート・ループとパワー・ループのレイアウトは、反対方向または直交方向に電流を流すことによって分離されています。

デバイスの片側でドレイン端子とソース端子をインタリーブすることによって、反対方向の電流による多くの小さいループは、磁界の自己キャンセルによって全体のインダクタンスを減少させるように生成されます。図2 (a) に示されたプリント回路基板のトレースだけでなく、図2 (b) に示すような垂直方向のLGAはんだバーや層間の接続ビアにも当てはまります。複数の小さな磁界キャンセル・ループが形成されると、全磁気エネルギー、すなわち、インダクタンスが大幅に低減されます。部分的なループ・インダクタンスをさらに低減するには、中心線からデバイスの両側にドレイン電流とソース電流を引き出し、磁界キャンセル効果を複製することによって可能になります。これは、各導体内の電流を低減し、蓄積されたエネルギーをさらに低減し、より短い電流経路にしてインダクタンスを一段と低減することによって機能します。

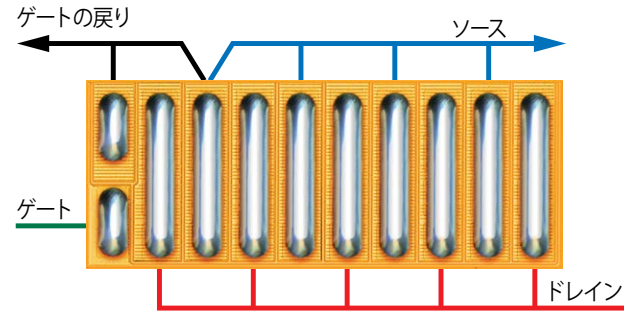


図1: 共通ソース・インダクタンスを最小化するデバイス電流の流れの方向を示すLGA形式のGaNトランジスタ。

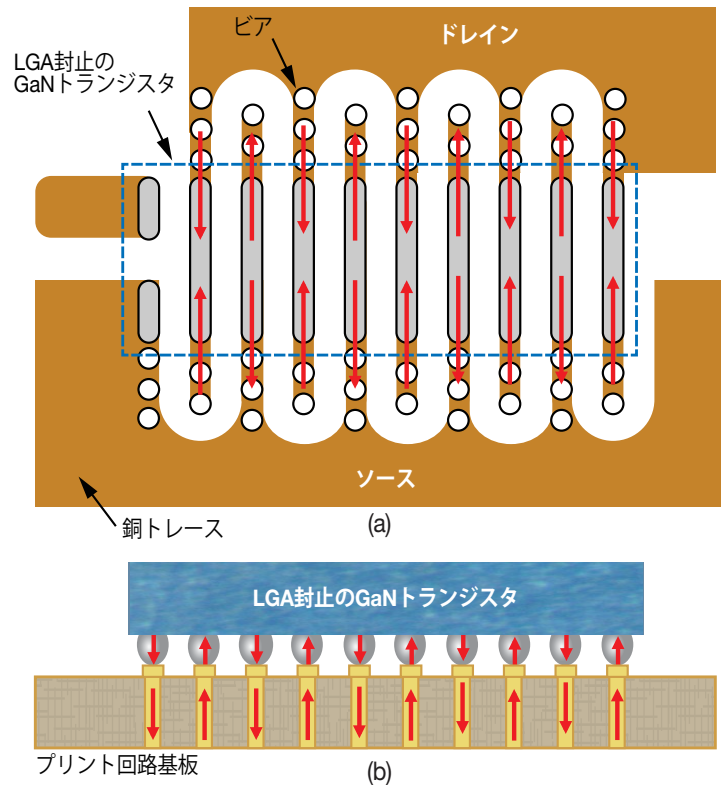


図2: プリント回路基板に実装されたLGA封止のGaNトランジスタ。表面図 (a) と側面図 (b) の赤色の矢印は、交互にした電流の流れを示します。

eGaN FETが提供するパッケージの寄生成分を大幅に低減することで、共通ソース・インダクタンスは、最小化され、もはや主な寄生の損失の寄与要因ではなくなります。プリント回路基板のレイアウトによって左右される高周波ループ・インダクタンスが損失の主要因となり、高周波特性にはGaN FETのレイアウトが重要になります。これを確認するには、同じような共通ソース・インダクタンスの異なるレイアウト、そして、異なる高周波ループ・インダクタンスを比較して、提案されたプリント回路基板レイアウトによるループ・インダクタンスが低減することを確認します。

図3 (a) に示す実験プロトタイプから得られる効率曲線から、効率へのレイアウトの影響は、1MHzにおけるeGaN FETで見ることができます。高周波ループ・インダクタンスを約0.4 nHから2.9 nHへと増やすと、損失が増加する結果となり、効率は4%以上低下します。高周波ループ・インダクタンスの別の影響は、ループ・インダクタンスによって、電圧オーバーシュートが大きくなることです。高周波ループ・インダクタンスを減らすと、電圧オーバーシュートが小さくなり、入力電圧能力が大きくなり、EMI (電磁干渉) 雑音が低減しました。図3 (b) と図3 (c) は、高周波ループ・インダクタンスが1.6 nHおよび0.4 nHの設計に対するスイッチング・ノード波形を示します。ここで、電圧オーバーシュートは、入力電圧の100%から30%へと減少しました。

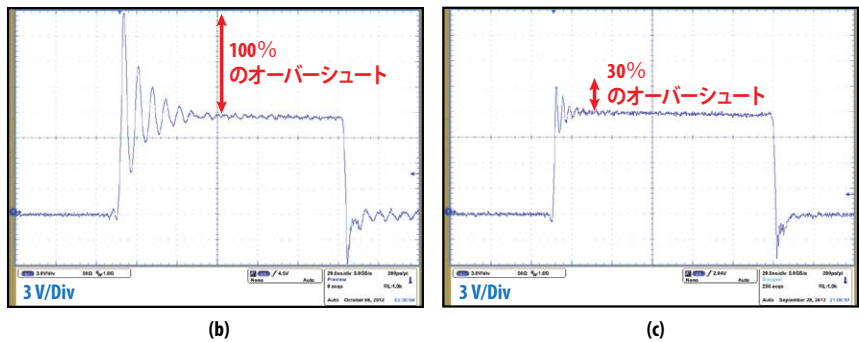
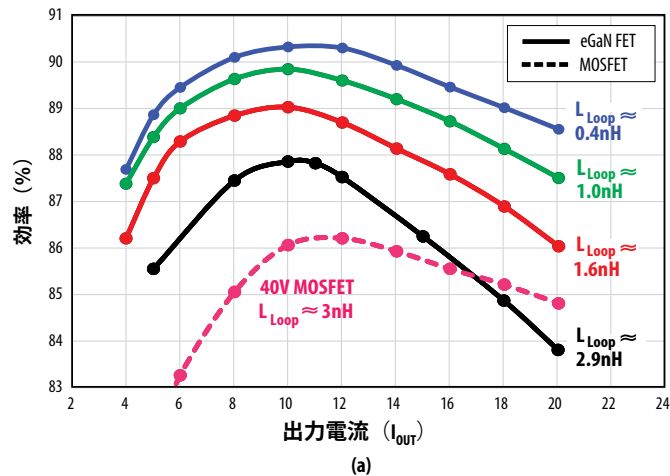


図3: (a) 同様の共通ソース・インダクタンスの設計に対する高周波ループ・インダクタンスの効率への影響  
 (b)  $L_{LOOP} \approx 1.6 \text{ nH}$ 、および (c)  $L_{LOOP} \approx 0.4 \text{ nH}$ のときのeGaN FET設計のスイッチング・ノード波形  
 ( $V_{IN} = 12 \text{ V}$ ,  $V_{OUT} = 1.2 \text{ V}$ ,  $f_{SW} = 1 \text{ MHz}$ ,  $L_{BUCK} = 150 \text{ nH}$ , eGaN FETの上側のスイッチ: EPC2015, eGaN FETの同期整流器: EPC2015, MOSFETの上側のスイッチ: BSZ097N04LSG, MOSFETの同期整流器: BSZ040N04LSG)

### eGaN FETの横型パワー・ループに対する従来のプリント回路基板のレイアウトの比較

最初の従来のプリント回路基板のレイアウトは、高周波ループのサイズを最小化するために、プリント回路基板の同じ面に入力コンデンサとデバイスを近接して配置しています[2]。この設計における高周波ループは、プリント回路基板の同じ面に含まれており、これは、1つの層の基板面の上を流れるパワー・ループなので、横型のパワー・ループと考えられます。横型パワー・ループ内に配置されたeGaN FETの設計を作成し、部品の配置や高周波パワー・ループを図4に示しました。ここで、高周波ループを赤色で示しています。この設計では、コイルは、上側のスイッチと同期整流器との間にビアを使って内部層を介して接続されています。ドライバは、共通ソース・インダクタンスを最小化するために、eGaN FETに近接して配置され、各設計の間で共通ソース・インダクタンスが一定になるように維持しています。これは、高周波ループ・インダクタンスの影響だけの比較を可能にします。

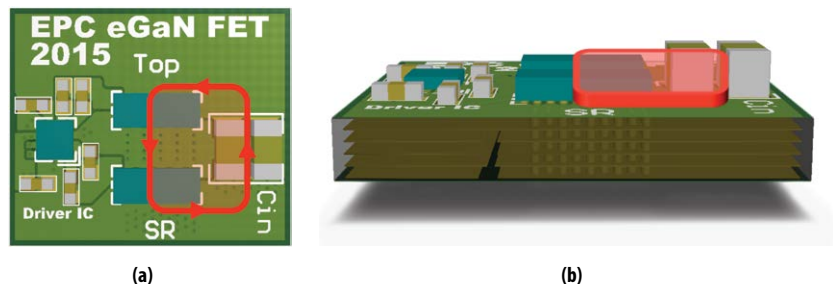


図4: eGaN FETの表面図 (a) と側面図 (b) に示した従来の横型パワー・ループ

ループの物理的サイズを最小化することは、寄生インダクタンスを低減するために重要ですが、内層の設計も重要です。横型パワー・ループ設計では、1番目の内層は、「シールド層」として機能します [3]。この層は、高周波パワー・ループによって生成された磁界から回路をシールドするために重要な役割を果たします。パワー・ループは、シールド層の内側に、パワー・ループと反対方向に電流を誘起する磁界を発生させます。シールド層の電流は、元のパワー・ループの磁界を打ち消すような磁界を発生させます。最終的には、シールド内での渦電流損失の増加という犠牲を払って、寄生インダクタンスの低減につながる磁界のキャンセルという結果になります。パワー・ループに近接した完全なシールド面を持つことは、最高の特性を実現できます。

横型パワー・ループ設計では、高周波ループ・インダクタンスは、パワー・ループが表面の層に含まれるようにして、基板の厚さへの依存を小さくすべきです。横型の設計は、パワー・ループから1層目の内層に含まれているシールド層への距離に大きく依存します [4]。横型パワー・ループのループ・インダクタンスを最小化するため、パワー・ループとシールド層との距離が最小化されなければなりません。

**縦型パワー・ループ**

2番目の従来のプリント回路基板レイアウトでは、入力コンデンサとデバイスをプリント回路基板の反対側に配置します。このコンデンサは一般的に、物理的なループ・サイズを最小化するためにデバイスのすぐ下に配置されます (図5)。パワー・ループを接続するビアを介して基板を通過して、パワー・ループが基板面に垂直に通過するので、このレイアウトは、縦型パワー・ループと考えられます。縦型パワー・ループに配置されたeGaN FET設計が作成されます。図5は部品の配置や高周波パワー・ループを示し、高周波ループを赤色で示しています。再び、コイルの接続を可能にするデバイス間に空間が残されています。

縦型パワー・ループ設計では、パワー・ループの縦型構造によってシールド層は存在しません。シールド面の使用とは対照的に、縦型パワー・ループは、インダクタンスを低減する自己キャンセル法を使います。プリント回路基板レイアウトにおいて、基板の厚さは、一般的に、基板の表面と裏面のトレースの横方向の長さよりもはるかに薄くなっています。横型パワー・ループと比較した場合、基板の厚さが薄くなるほど、ループの面積が大幅に小さくなり、表面の層と裏面の層に反対方向に流れる電流は、磁界の自己キャンセルを提

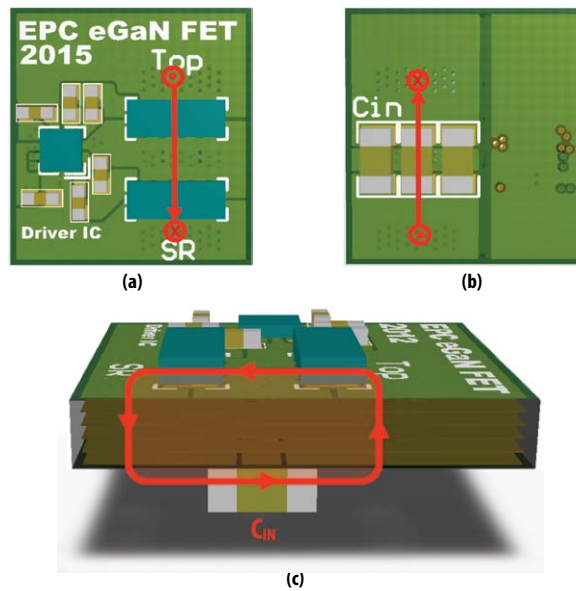


図5：eGaN FETの表面図 (a)、裏面図 (b)、側面図 (c) に示した従来の縦型パワー・ループ

	横型ループ	縦型ループ	最適ループ
1つの面のプリント回路基板設計の可能性	あり	なし	あり
磁界の自己キャンセル	なし	あり	あり
基板の厚さに対するインダクタンスの独立性	あり	なし	あり
シールド層の必要性	あり	なし	なし

表1：従来の設計と最適な設計によるプリント回路基板レイアウトのパワー・ループの特徴

供するので、寄生インダクタンスをさらに低減します。

縦型パワー・ループ設計において、パワー・ループは、プリント回路基板の表面の層と裏面の層に含まれると同時に、ループ・インダクタンスは、基板の厚さに大きく依存します。シールド層を必要とせず、内部の第1層とパワー・ループの間の距離がインダクタンスにほとんど影響しません。縦型パワー・ループのループ・インダクタンスを最小化するために、基板の厚さは、最小化されなければなりません。

**寄生成分を低減するためのeGaN FETの最適レイアウト**

優れた性能指数FOMから得られる高いスイッチング速度を有効利用するために、eGaN FETでは、内部インダクタンスが低だけでなく、超低インダクタンスで設計することができる先進的なランド・グリッド・アレイ (LGA) パッケージが開発されました。ループ・サイズの縮小、磁界の自己キャンセル、基板の厚さと独立の一定のインダクタンス、1つの面のプリント回路基板設

計、多層構造の高効率といった利点を実現するために、改良されたレイアウトがeGaN FET向けに提案されています。この設計は、パワー・ループの戻り経路として図6 (b) に示すような内部の第1層を利用します。この戻り経路は、磁界の自己キャンセルと共に、物理的に最小のループ・サイズを可能にし、表面の層のパワー・ループの直下に位置しています (図6 (a))。側面図 (図6 (c)) は、多層プリント回路基板における低プロファイルの自己キャンセル・ループ作成の概念を示す図です。従来の設計と提案された最適設計の特徴の比較が表1です。

改善されたレイアウトは、上側のeGaN FETのドレイン接続の隣に配置された正の入力電圧端子を備え、上側のデバイスに近接して入力コンデンサを配置します。eGaN FETは、横型および縦型のパワー・ループの場合と同じ位置に配置されます。同期整流用eGaN FETのLGAのフィンガと一致するように配置されたスイッチング・ノードとグラウンド・ビアをインタリーブした配列が2個のeGaN FETの間に配置されています。このインタリーブされたスイッチング・ノードとグラウンド・ビアは、同期整流器の裏面に複製

されます。これらのインタリーブされたビアは、3つの利点を提供します。

- (1) 2個のeGaN FETの間にビアを配置して、寄生インダクタンスの低減につながるように、高周波ループ・インダクタンスの経路の長さを短くします。
- (2) 同期整流用eGaN FETの下にビアを配置して、同期整流用eGaN FETのフリーホイール期間中の抵抗を低減するために追加のビアを提供し、導通損失を低減します
- (3) ビアのインタリーブが逆方向に流れる電流を設定し、渦電流や近接効果の低減を可能にし、交流の導通損失を低減します。

**実験結果**

広範囲のアプリケーション向けの従来の横型設計と縦型設計、および提案された最適パワー・ループの特性を比較するために、4つの分離した基板ビルドを作成しました。この設計では、基板の全体的な厚さと、表面の層と基板内部の第1層との間の距離（内部層の間の距離）を変化させます。一部のレイアウトは、変化させないままにしました（図4、図5、図6を参照）、そして、すべての設計は、2オンス銅の厚さを備えた4つの層で構成しました。

基板の厚さと内部の第1層の距離の変化に対する高周波ループ・インダクタンスの値をシミュレーションした結果を図7 (b) に示します。このデータから、横型パワー・ループでは、基板の厚さは、高周波ループ・インダクタンスにほとんど影響せず、一方、内部の第1層の距離（パワー・ループからシールド層への距離）は、インダクタンスに大きく影響することが分かります。縦型パワー・ループの場合、内部の第1層の距離は、設計のインダクタンスにほとんど影響を与えず、基板の厚さを31ミル（1ミルは0.0254 mm）から62ミルへと2倍にしたとき、基板の厚さは、最大80%の大きさでインダクタンスに影響します。

提案された最適なレイアウトでは、基板の厚さにほとんど依存せず、内部の第1層の距離に強く依存することを示すことから、この設計は、横型パワー・ループの特性と同じです。この設計は、シールド層の除去によってループ・インダクタンスを大きく低減し、パワー・ループの物理的サイズを小さくします。すなわち、縦型パワー・ループ設計と同様の特性が得られます。従来の設計の両方の利点を組み合わせ、欠点を制限することで、提案された設計は、従来の最高の横型または縦型のパワー・ループと比べて、インダクタンスを65%程度の低減することができます。

基板の厚さと内部の第1層の距離の構成が異なる3つのループ・レイアウトに対する電力損失を図8に示します。このデータから、同じような寄生インダクタンスに対して、横型ループの電力損失が、縦型ループや最適ループよりも大きいことが分かります。横型パワー・ループの損失が大きくなった原因は、縦型ループや提案された最適パワー・ループでは必要としないシールド層による損失の増加によるものです。実験的なハードウェアによって、ループ・インダクタンスの増加と大きな電力損失の予測された傾向が実証されます。

パワー・ループを小さくするために最小の市販パッケージである3mm×3mmのTSDSON-8を縦型パワー・ループに利用したシリコンの実装と比べて、3つの提案された設計の効率の結果を図9に示しま

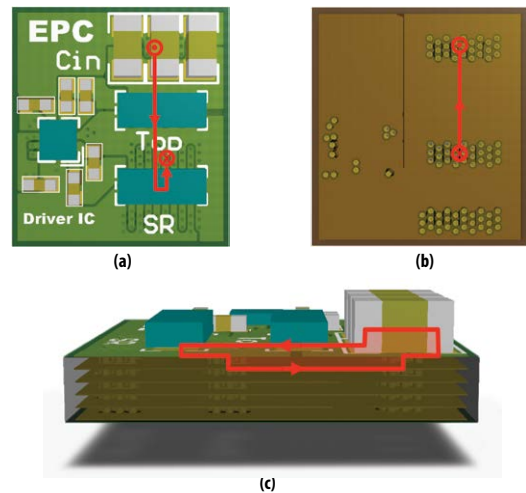


図6：eGaN FETに対して提案された最適なパワー・ループ

- (a) 表面図
- (b) 内部の第1層の表面図
- (c) 側面図

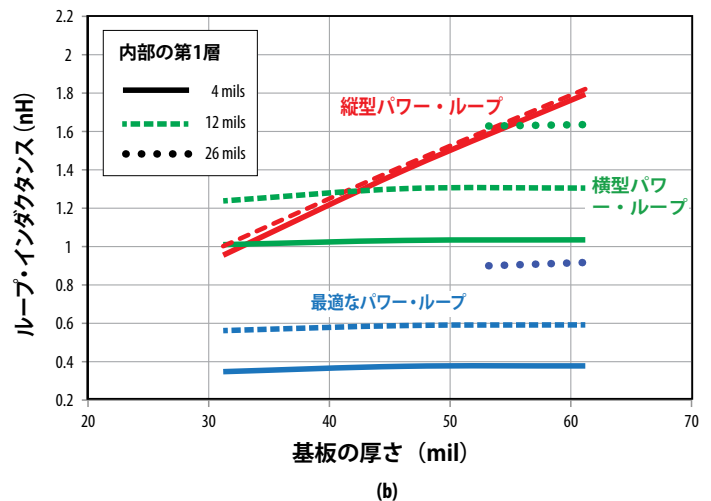
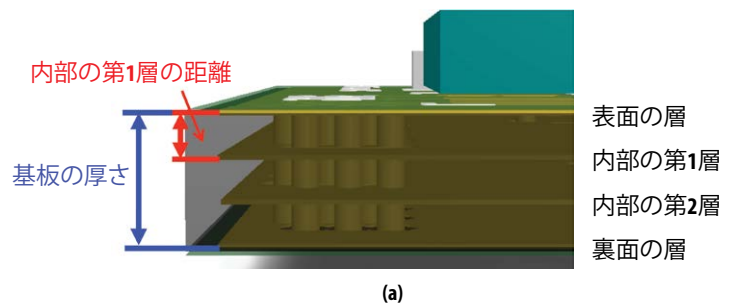


図7：(a) 実験的な設計における基板の厚さと内部の第1層の距離を示したプリント回路基板の断面図

(b) 基板の厚さと内部の第1層の距離が異なるときの横型、縦型、および最適なパワー・ループに対する高周波ループ・インダクタンスのシミュレーション値

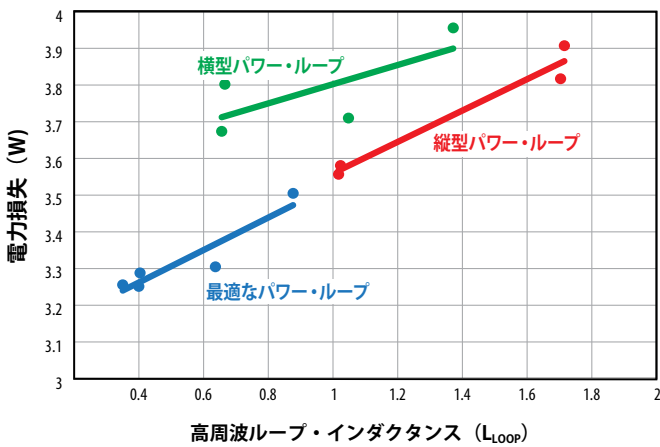


図8: 横型、縦型、および最適なパワー・ループ設計の実験による電力損失のプロット。

( $V_{IN}=12\text{ V}$ ,  $V_{OUT}=1.2\text{ V}$ ,  $I_{OUT}=20\text{ A}$ ,  $f_{SW}=1\text{ MHz}$ ,  $L_{BUCK}=300\text{ nH}$ , 上側のスイッチ: EPC2015、同期整流器: EPC2015)

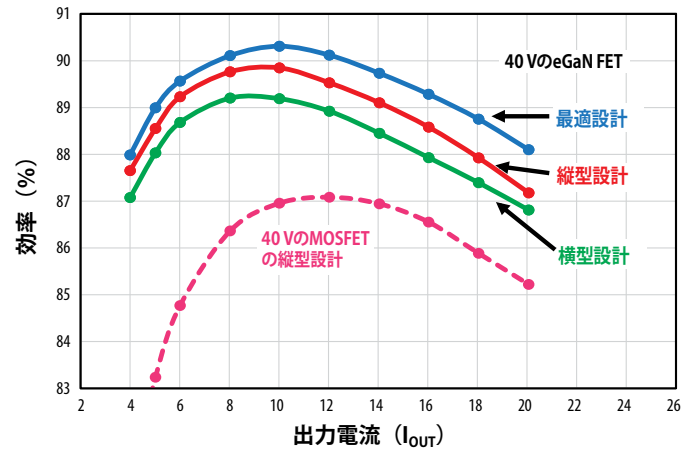


図9: 異なるループ設計における効率の比較

( $V_{IN}=12\text{ V}$ ,  $V_{OUT}=1.2\text{ V}$ ,  $f_{SW}=1\text{ MHz}$ ,  $L_{BUCK}=300\text{ nH}$ , 基板の厚さ=31ミル、内部の第1層の距離=4ミル、eGaN FET: 上側のスイッチ: EPC2015、同期整流器: EPC2015、MOSFET: 上側のスイッチ: B5Z097N04LSG、同期整流器: B5Z040N04LSG)

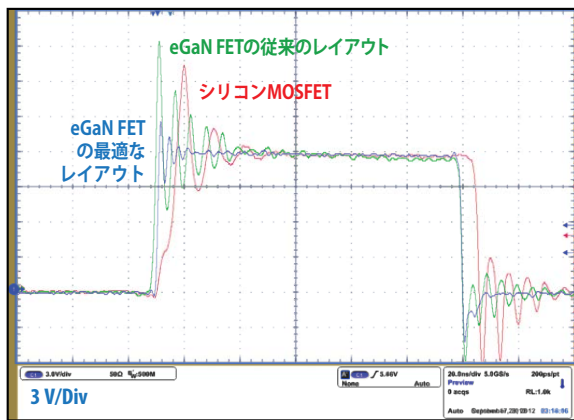


図10:  $V_{IN}=12\text{ V}$ における最適なeGaN FET設計、従来のeGaN FET設計、およびMOSFET設計のスイッチング・ノード波形 ( $V_{OUT}=1.2\text{ V}$ ,  $I_{OUT}=20\text{ A}$ ,  $f_{SW}=1\text{ MHz}$ ,  $L_{BUCK}=300\text{ nH}$ , 40 VのeGaN FET: 上側のスイッチ: EPC2015、同期整流器: EPC2015、MOSFET: 上側のスイッチ: B5Z097N04LSG、同期整流器: B5Z040N04LSG)



図11: 最適な設計を利用した開発基板EPC9107 (上側のスイッチ: EPC2015、同期整流器: EPC2015、ドライバ: LM5113)

す。シリコンMOSFETの設計では、高周波ループ・インダクタンスは、eGaN FETを使用した同様のパワー・ループの1 nHと比べて、測定では約2 nHでした。これは、ループ設計を支配するシリコンMOSFETの大きなパッケージ・インダクタンスによります。eGaN FETの優れたFOMとパッケージの結果として、パワー・ループのすべての構造がシリコンMOSFETのベンチマーク設計を上回っています。最適なパワー・ループのeGaN FETでは効率が大幅に改善されます。シリコンMOSFETと比較した場合、全負荷時の効率で3%の改善が得られました。

eGaN FETの異なる設計において、最適パワー・ループは、縦型パワー・ループや横型パワー・ループに対して全負荷時の効率で、それぞれ0.8%と1%の改善が得られます。設計のすべてのテストにおいて、最適なレイアウトは、最高の効率とデバイスの最小の電圧オーバーシュートを実現できます。

eGaN FETの従来のレイアウト、eGaN FETの最適なレイアウト、シリコンMOSFETのベンチマークに対するスイッチング波形を図10に示します。シリコンMOSFETのベンチマークと比較すると、GaNFETの設計は両方とも、スイッチング速度が大きく向上しています。従来の縦型レイアウトのeGaN FETの場合、ループ・インダクタンスと高いスイッチング速度の組み合わせは、大きなスパイク電圧を生じます。最適なレイアウトのeGaN FETは、40 VのシリコンMOSFETのベンチマークと比較すると、電圧オーバーシュートが40%低減し、スイッチング速度が500%速くなっています。パッケージの寄生インダクタンスが低いeGaN FETでは、このレイアウトは、高速でのスイッチング、デバイスのオーバーシュートの制限、効率の改善のために重要です(図11)。

eGaN FETの最適レイアウトで、オーバーシュートの低減と高効率化によって、このコンバータは、低耐圧のデバイスでも、はるかに大きな入力電圧を処理する能力を備えています。このコンバータは、入力電圧12 V、19 V、24 V、28 Vで動作し、この効率の曲線を図12に示します。MOSFET設計における電圧オーバーシュートによって、その動作は、12 V、19 V、24 Vに制限されました。

高性能eGaN FETの導入は、従来のシリコンMOSFET技術で可能な特性よりも、高い周波数と高い効率でスイッチングできる可能性を提供します。改善されたFOMと、パッケージの寄生成分が小さいことを組み合わせることで、eGaN FETは、完全にデバイスの能力を利用するための極端に低い高周波ループ・インダクタンスのレイアウトを可能にします。高周波ループ・インダクタンスの特性への影響を評価するために、同じ最小の共通ソース・インダクタンスで、従来の横型と縦型のパワー・ループの複数の設計が作成され、比較されました。

従来のプリント回路基板レイアウトの制限を克服するために、最適なレイアウトがeGaN FETの最高性能を得るために提案されています。最適なレイアウト手法を使用することによって、eGaN FET技術の利点は、一層強化され、さらなる効率向上と大電圧動作能力を提供します。

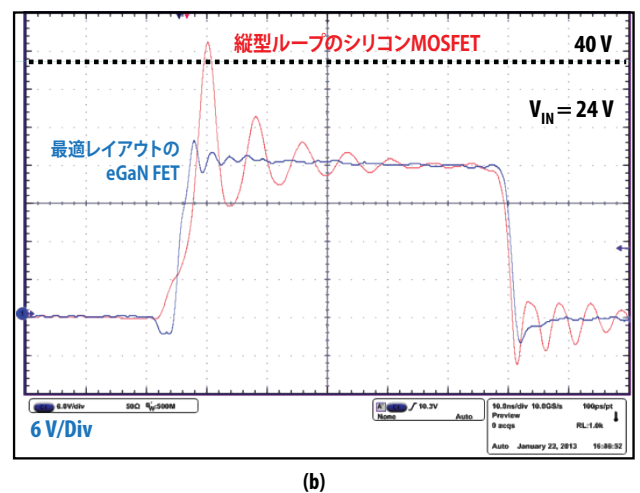
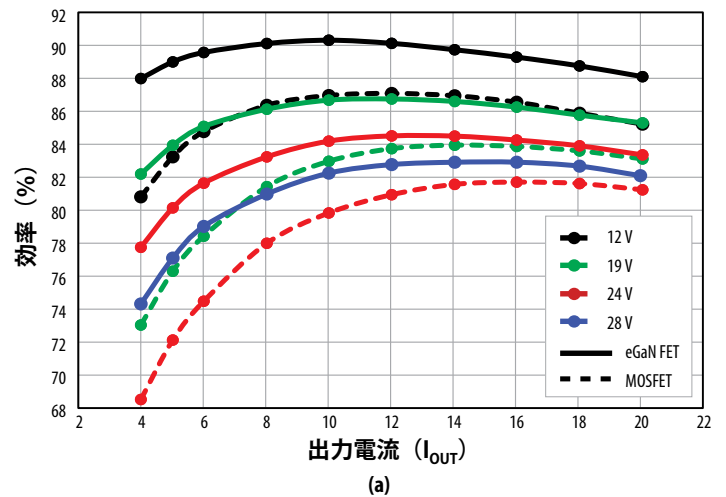


図12：(a) 入力電圧の変動に対するeGaN FETの最適なレイアウトとMOSFETとの効率の比較

(b)  $V_{IN} = 24$  V、 $I_{OUT} = 20$  Aでのスイッチング・ノードの波形 ( $V_{OUT} = 1.2$  V、 $f_{SW} = 1$  MHz、 $L_{BUCK} = 300$  nH、eGaN FET：上側のスイッチ：EPC2015、同期整流器：EPC2015、MOSFET：上側のスイッチ：BSZ097N04LSG、同期整流器：BSZ040N04LSG)

### 参考文献

- [1] D. Reusch, "eGaN-Silicon Power Shoot-Out Vol. 13, Part 1: Impact of Parasitics on Performance" Power Electronics Technology, March 2013.
- [2] Application Report SLPA010 – "Ringing Reduction Techniques for NexFET High Performance MOSFETs," November 2011.
- [3] Michele Lim, "Low Temperature Co-fired Ceramics Technology for Power Magnetics Integration", Ph.D. Dissertation, Virginia Tech, 2008.
- [4] D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," APEC 2013, March 2013.